

修士学位論文

ATLAS 前後方ミュオントリガーシステム  
Sector Logic 及びオンラインソフトウェアの開発

神戸大学大学院 自然科学研究科 物理学専攻  
粒子物理研究室

062S108N

門坂 拓哉

Takuya Kadosaka

2008年2月8日

## 概要

CERN(欧州合同原子核共同研究機構)において ATLAS 実験が開始間近となっている。最新のスケジュールによると、LHC(Large Hadron Collider) からビームが出るのは 2008 年夏の予定である。

ATLAS 実験とは LHC の衝突点に設置される ATLAS 検出器を用いて、素粒子の質量の起源を担うヒッグス粒子の発見や、標準理論の枠組みの外に予言されている超対称性粒子の発見を目指している実験である。我々が構築している前後方ミュオントリガーシステムは、衝突点での反応事象を選別するため、ミュオンを用いてトリガーを生成するシステムであり、新物理の発見に重要な役割をもっている。

現在、ATLAS 検出器のコミッショニング(動作検証)が行われており、前後方ミュオントリガーシステムのコミッショニングを我々が行っている。システムのインストール作業は配線などの最終段階であり、コミッショニングと平行して進めている。

本論文で主に述べる Sector Logic とは、ミュオントリガーシステムの 1 部で、トリガー情報を集めて最終的なトリガーを発行する役割を持つ。本論文では、Sector Logic の開発について、また制御・モニタリングなどのオンラインソフトウェアの開発についてを主に論ずる。

# 目次

第 1 章	序論	1
第 2 章	ATLAS 実験	3
2.1	LHC の概要	3
2.2	ATLAS の目指す物理	4
2.2.1	標準理論 Higgs 粒子	5
2.2.2	超対称性粒子	9
2.2.3	超対称性 Higgs 粒子	9
2.2.4	ミューオンの関係する物理のまとめ	10
2.3	ATLAS 検出器	11
2.3.1	内部飛跡検出器	12
2.3.2	カロリメータ	13
2.3.3	ミューオン・スペクトロメータ	13
2.3.4	マグネットシステム	17
2.4	ATLAS 実験でのトリガー & DAQ システム	18
2.4.1	ATLAS 実験のトリガー & DAQ スキーム	19
2.4.2	LVL1	20
2.4.3	LVL2	23
2.4.4	EF	24
第 3 章	TGC システム	25
3.1	TGC システムの配置	25
3.1.1	ビッグウィール	26
3.1.2	トリガーセクターとサブセクター	26
3.1.3	EI/FI	26
3.2	TGC の概要	27
3.2.1	動作原理	27
3.2.2	TGC の構造	27
3.2.3	TGC からのシグナル	30
3.3	TGC システムでのトリガー判定	31
第 4 章	TGC システムの読み出し	33
4.1	システム全体	33
4.1.1	トリガー系	34
4.1.2	リードアウト系	35
4.1.3	コントロール系	36
4.2	TGC エレクトロニクスの設置	37
4.3	エレクトロニクスの詳細	39

4.3.1	ASD Board	39
4.3.2	PP ASIC	39
4.3.3	SLB ASIC	40
4.3.4	JRC	43
4.3.5	TGC DCS	43
4.3.6	PS Board	44
4.3.7	SPP Board	45
4.3.8	PS Pack	45
4.3.9	HPT	45
4.3.10	SL	46
4.3.11	SSW	48
4.3.12	ROD	49
4.3.13	HSC	50
4.3.14	CCI	50
4.4	オンラインソフトウェア	50
4.4.1	オンラインソフトウェアの概要	50
4.4.2	TGC エレクトロニクスのコントロール	52
<b>第 5 章</b>	<b>Sector Logic</b>	<b>55</b>
5.1	Sector Logic の基本設計	55
5.1.1	システムからの制約と設計思想	55
5.1.2	$R-\Phi$ コインシデンス	56
5.1.3	トラックセレクション	59
5.2	Sector Logic ボードの仕様	60
5.2.1	概要	60
5.2.2	Sector Logic FPGA 内部設計	65
5.2.3	Glink Monitor FPGA 内部設計	69
5.2.4	VME Access CPLD 内部設計	69
5.3	Sector Logic の検査システムの構築	70
5.3.1	量産試作ボード検査システム構築	70
5.3.2	制御ソフトウェア	74
5.3.3	量産ボード検査と結果	74
5.4	オンラインソフトウェアの開発	75
5.4.1	Sector Logic 制御ソフトウェアの開発	75
5.4.2	Sector Logic モニタリングツールの開発	76
5.5	ATLAS 宇宙線コミッショニングにおける Sector Logic の機能検証	77
5.5.1	ATLAS 宇宙線コミッショニング概要	77
5.5.2	コントロール系の検証	81
5.5.3	リードアウト系の検証	82
5.5.4	トリガー系の検証	83
<b>第 6 章</b>	<b>まとめ</b>	<b>85</b>

# 目次

2.1	LHC 加速器の構成	3
2.2	LHC における 4 つの衝突点	3
2.3	CMS	4
2.4	Alice	4
2.5	LHC-B	4
2.6	Higgs 生成のファイマンダイアグラム	6
2.7	標準模型での Higgs 粒子の生成断面積	6
2.8	Higgs 崩壊分岐比の質量依存	8
2.9	Higgs 粒子の $10\text{fb}^{-1}$ での発見能力	8
2.10	Higgs 粒子の $30\text{fb}^{-1}$ での発見能力	8
2.11	4 ミューオン状態から Higgs 粒子を再構成	10
2.12	ATLAS 検出器	11
2.13	内部飛跡検出器の構造	12
2.14	カロリメータの構造	13
2.15	ミュオン・スペクトロメータ	14
2.16	ミュオン・スペクトロメータ (R-Z 断面図)	14
2.17	MDT の構造	15
2.18	CSC の構造	16
2.19	RPC の構造	16
2.20	TGC の構造	17
2.21	マグネットの構造	18
2.22	$\eta$ と磁場積分強度の関係	18
2.23	X-Y 平面の磁束の構造 ( $z=10.5\text{m}$ )	18
2.24	Trigger & DAQ システム	19
2.25	LVL1 トリガー処理の流れ	21
2.26	TTCpartition	23
3.1	R-Z 断面での TGC のレイアウト	25
3.2	M3 (pivot) での TGC の配置と区分	26
3.3	EI/FI での TGC の配置と区分	26
3.4	アノードワイヤでのタウンゼント型電子なだれの原理	27
3.5	TGC の平面図	28
3.6	TGC の断面図	28
3.7	ワイヤサポート	29
3.8	TGC の Triplet (左) と doublet (右) の構造	29
3.9	TGC 各層でのワイヤグループの重ね方	30
3.10	TGC の時間分布	30

3.11	ストリップの overlap 領域でのマスク	31
3.12	$p_T$ 測定の原理	32
4.1	TGC エレクトロニクスのシステム概要	34
4.2	TGC エレクトロニクスのトリガー系	35
4.3	TGC トリガーの判定方法	35
4.4	TGC エレクトロニクスのリードアウト系	36
4.5	TGC からのリードアウトのスキーム	36
4.6	TGC エレクトロニクスのコントロール系	37
4.7	PS-Pack の構成と配置	38
4.8	TGC エレクトロニクスの配置	38
4.9	TGC エレクトロニクスの配置 (R-Z 断面)	38
4.10	ASD Board	39
4.11	ASD ASIC のブロック図	39
4.12	PP ASIC のブロック図	40
4.13	SLB のブロック図	41
4.14	Wire Doublet SLB の場合のコインシデンスマトリックス	42
4.15	デクラスタリング	42
4.16	JRC 内部の模式図	43
4.17	DCS	44
4.18	PS Board の構成図	44
4.19	PS Board	44
4.20	Service Patch Pane	45
4.21	PSpack	45
4.22	HPT ワイヤ ブロック図	46
4.23	HPT ストリップ ブロック図	46
4.24	HPT Board	47
4.25	SL	47
4.26	SL ブロック図	48
4.27	SL での処理の流れ	48
4.28	SSW	49
4.29	Test ROD	49
4.30	HSC	50
4.31	CCI	50
4.32	オンラインソフトウェア環境	51
4.33	DAQ の GUI	51
4.34	Controll Line	53
4.35	TGCJSegment	53
5.1	SSC の概念図	57
5.2	TGC overlap 領域を含む SSC	58
5.3	Pivot Doublet(M3) 1/12 セクターの TGC	58
5.4	TGC overlap 領域を含む SSC の分割	59
5.5	トラックセレクションの全体図	60
5.6	SL ボード	61

5.7	HPT ボードと SL ボードの関係	63
5.8	Sector Logic FPGA 内部機能ブロック	65
5.9	KEK 回路室のテストベンチ	70
5.10	トリガー系動作試験のセットアップ	72
5.11	リードアウト系動作試験のセットアップ	73
5.12	量産ボード検査の流れ	75
5.13	Information Service 概念図	76
5.14	トリガーレートモニター GUI	77
5.15	USA15 エレキハットにインストールされた SL ボード	77
5.16	UX15 での HSC クレートのケーブルリング	77
5.17	P2 run で使用した TGC	78
5.18	TGC システムのセットアップ	79
5.19	P2 run 後半でのトリガーレート	80
5.20	ローカルな環境での Latency	81
5.21	無効なデータの例	83
5.22	トリガー系のデータとヒットプロファイル	84

# 表目次

2.1	LHC 加速器の主なパラメーター . . . . .	4
2.2	ATLAS 実験におけるミュオン検出器の構成 . . . . .	15
2.3	TTC で使われる主な信号 . . . . .	22
4.1	モジュールへのアクセス . . . . .	54
5.1	SL ボード (Endcap・Forward 共通) の仕様 . . . . .	60
5.2	SL Endcap ボードの主要な IC . . . . .	62
5.3	SL Forward ボードの主要な IC . . . . .	62
5.4	HPT のチップ別の出力と SL の入力口の対応 . . . . .	63
5.5	LUT の必要メモリー量と FPGA の搭載メモリー量 . . . . .	64
5.6	HPT からの入力信号 . . . . .	66
5.7	Hit ID (wire) と SSC の対応 . . . . .	66
5.8	Hit ID (strip) と Pivot Chamber と SSC 対応 . . . . .	67
5.9	MUCTPI への出力 . . . . .	68
5.10	量産ボード検査の結果 . . . . .	75
5.11	TGC のパラメータ . . . . .	79
5.12	P2 run でのおよその平均トリガーレート . . . . .	79
5.13	コミッショニング Milestone Phase2 Run における Latency . . . . .	81
5.14	256000 回の VME アクセス試験結果 . . . . .	82

# 略語一覽

ADC: Analog-Digital Converter  
ALICE: A Large Ion Collider Experiment  
ASD: Amplifier Shaper Discriminator  
ASIC: Application Specific Integrated Circuit  
ATLAS: A Toroidal LHC Apparatus

BCID: Bunch Crossing Identifier  
BGA: Ball Grid Array

CAN: Controller Area Network  
CASTOR: CERN Advanced STORAGE  
CCI: Crate Control Interface  
CMS: the Compact Muon Solenoid  
COTS: Component Off The Shelf  
CPLD: Complex Programmable Logic Device  
CSC: Cathod Strip Chamber  
CTM: Commissioning Trigger Module  
CTP: Central Trigger Processor

DAC: Digital-Analog Converter  
DCS: Detector Control System

EF: Event Filter  
EI: Endcap Inner  
eLMB: embeded Local Monitor Box

FElink: Front End link  
FI: Forward Inner  
FIFO:First-In First-Out  
FPGA: Field Programmable Gate Array

G-link: Gigabit rate optical link

HPT: High-Pt Board  
HSC: High-Pt Star Switch Controller

I2C: Inter Integrated Circuit

IP: Interaction Point

JRC: JTAG Route Controller

JTAG: Joint Test Action Group (Boundary scan)

L1A: Level-1 trigger Accept

L1ID: Level-1 trigger IDentifier

LEP: Large Electron Positron collider

LHC: Large Hadron Collider

LVDS: Low Voltage Differential Signaling

LSlink: Local Slave link

LUT: Look Up Table

MDT: Monitor Drift Tube

MUCTPI: Muon Central Trigger Processor Interface

PP: Patch Panel

PPG: Pulse Pattern Generator

PSB: Patch panel Slave board Board

PT4: ProtoType module version.4

PT5: ProtoType module version.5

QFP: Quad Flat Package

QGP: Quark Gluon Plasma

RCD: ROD Crate DAQ

ROB: Read Out Buffer

ROD: Read Out Driver

ROI: Region Of Interest

ROS: Read Out System

RPC: Resistive Plate Chamber

RTC: Radiation Tolerance Criteria

SCT: SemiConductor Tracker

SD: Strip Doublet chamber

SEE: Single Event Effect

SEU: Single Event Upset

SEL: Single Event Latchup

SL: Sector Logic

SLAC: Stanford Linear Accelerator Center

SLB: Slave Board

SLC: SLAC Linear Collider

SPP: Service Patch Panel

SRAM: Static Random Access Memory

SRL: Simulated Radiation Level

SSC: Sub-Sector Cluster

SSW: Star Switch

ST: Strip Triplet chamber

TGC: Thin Gap Chamber

TID: Total Ionizing Dose

TRT: Transition Radiation Tracker

TTC: Timing Trigger Control

TTL: Transistor-Transistor Logic

VME: Versa Module Europe

WD: Wire Doublet chamber

WT: Wire Triplet chamber

# 第1章 序論

CERN(欧州合同原子核共同研究機構)においてLHC(Large Hadron Collider)の稼動が2008年夏と間近に迫っている。LHCは、全長約27km、重心系で14TeVのエネルギーを実現する世界最大の陽子陽子衝突加速器であり、未知のエネルギー領域での新しい物理が期待されている。とりわけ注目されているのが、素粒子標準模型において未発見であるHiggs粒子の探索と、標準模型を超えた模型で予言されている超対称性粒子(SUSY粒子)の探索であり、これらの新粒子の存在の有無は今後の素粒子物理学の大きな分岐点となる。

LHCの衝突点の一つに設置されるのがATLAS検出器である。ATLAS検出器は、全長44m、高さ25mの非常に大きな検出器であり様々な粒子検出器、マグネットシステムの集合体である。ATLAS検出器は汎用検出器で、衝突点を中心に、ソレノイド磁石とその内部飛跡検出器、カロリメータ、ミュオン・スペクトロメータなどから構成され、新しい物理事象に対して様々な角度から検証可能である。

LHCでの衝突頻度は40.08MHzであり、このような高頻度な反応事象の中で新粒子生成などの興味のある事象のみを取るために、ATLASでは3段階のトリガーを用いてデータ収集を行う。この3段階のトリガーはLVL1(Level1)、LVL2(Level2)、EF(Event Filter)と呼ばれ、LVL1はハードウェアトリガー、LVL2、EFはソフトウェアトリガーである。

我々が構築している前後方ミュオントリガーシステム(TGCシステム)はLVL1にあたるもので、TGC(Thin Gap Chamber)と呼ばれるガス検出器とTGCの読み出し回路などのエレクトロニクスから構成される。TGCは、高エネルギー実験でよく使われるMWPC(Multi-wire Proportional Chamber)型チェンバーの1種であり、ワイヤとストリップが直交しており、粒子の軌跡の2次元読み出しが可能である。ワイヤ面とカソード間の間隔(1.4mm)がワイヤ間の間隔(1.8mm)よりも狭くなっているところに特徴がある。ワイヤの間隔が狭いのは電子のドリフト時間を短くし、衝突間隔(バンチクロッシング間隔)(25ns)に対応できるようにするためである。TGCの読み出し回路は、いくつかの機能ごとにモジュール化されており、TGCから読み出したデータはそれらを順序にしたがって処理される。また、これらの回路はバンチクロッシング周期と同じ40.08MHzのクロックで動作する。

TGCシステムはレプトンであるミュオンを検出しトリガーを生成するわけであるが、これは、標準模型でのHiggs粒子の質量が120GeV以上である場合に、多くの崩壊モードにレプトンが含まれることや、SUSY粒子にレプトンを含む崩壊モードが存在することが予測されていることを考えると、ATLAS実験のなかでTGCシステムは非常に重要な役割を担っていると言える。

本論文の題目にあるSector Logicとは、TGCシステムの1部で、上流モジュールからからの軌跡情報を集めてTGCシステムにおける最終的なトリガーを発行する。TGCシステムのトリガー論理のなかでSector Logicの役割は2つあり、1つは、前段階まで独立に扱われていたストリップとワイヤのヒット位置情報のコインシデンス処理を行うと同時にミュオンの $p_T$ を6段階の値で評価すること( $R-\Phi$ コインシデンス)。そして、もう1つは、コインシデンス処理

され  $p_T$  が得られた軌跡候補から、より高い  $p_T$  をもつ軌跡候補を最大で 2 つ選ぶこと (トラックセレクション) である。Sector Logic は以下のシステムから制約を受ける。

- LHC の衝突周期である 40.08MHz に同期して、デッドタイムレスで動作をしなければならない。
- それぞれのバンチで独立して結果を出さなければならない。
- 入力から出力までに許される Latency(遅延) は、最大で 200ns(8CLK) で、Latency はいつも一定でなければならない。
- 入射ミューオンの運動量測定で用いられる 6 段階の閾値は、探索する物理や測定条件により実験中に自由に変更が出来なければならない。

これらの制約を考慮して、

- パイプライン処理を使用し、Latency を一定に保つ。
- 論理回路の実装に FPGA ( Field Programmable Gate Array ) や CPLD ( Complex Programmable Logic Device ) を採用し、柔軟性を持たせる。
- $p_T$  の評価に Look-Up-Table(LUT) を使用する。

という基本設計に至った。Sector Logic 回路は、VME9U のスレーブモジュールで、VMEbus のインタフェース、入出力のインタフェースと CPLD、FPGA、ASIC ( Application Specific Integrated Circuit)、PROM(Programmable Read Only Memory) などの IC で構成される。

Sector Logic の開発は、以前から本研究室で行われており、基板の設計、試作品の作成などが行われてきた。今回、Sector Logic に関して、ハードウェア記述言語 (HDL) での論理回路の設計、制御ソフトウェアの開発、量産試作品検査、量産品の検査などを経て、CERN でのインストールに至った。また、現在、TGC システムを含む ATLAS 検出器の構築も最終段階で、個々のシステムが、量産、インストールを経て、コミッショニング (動作検証) 段階に移り、各検出器の統合運転など積極的におこなっている。Sector Logic に関しても、コミッショニングにおいて動作検証やオンラインソフトウェアの開発を進めてきた。

本論文の主題として第 5 章で、これらの開発、検査、動作検証を論ずる。第 2 章で LHC と ATLAS の概要、第 3 章、第 4 章では前後方ミューオントリガーシステム (TGC システム) について説明する。第 6 章にまとめとする。

## 第2章 ATLAS 実験

この章では ATLAS 実験の概要について述べる。

まず、LHC の概要を、そして、ATLAS 実験で発見が期待される物理を説明する。その上で、本論分に関するミューオンに関する物理をまとめる。

次に、物理からの要求を満たすための各検出器について簡単に説明する。最後に、ATLAS 実験でのトリガー方法の全体像を説明する。

### 2.1 LHC の概要

LHC は 2007 年実験開始を目指して、スイスとフランスの国境にある CERN において地下 100m に建設中の大型陽子陽子衝突型加速器である。2000 年まで稼動していた、電子陽電子衝突型加速器 LEP と同じトンネル内に LHC は建設され、その周長はおよそ 27km である。図 2.1 に LHC の概要図を載せる。

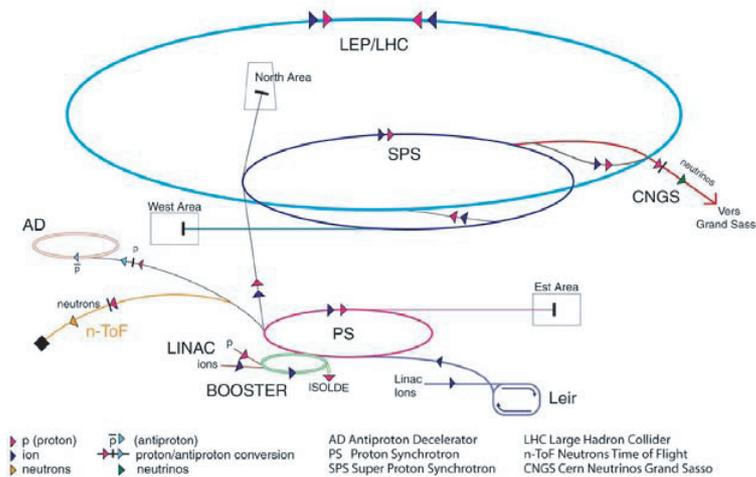


図 2.1: LHC 加速器の構成

陽子はメインリングまでに PS (Proton Synchrotron) と SPS (Super Proton Synchrotron) によって  $450\text{GeV}$  に加速されてから、LHC のメインリングで  $7\text{TeV}$  まで加速される。[1]

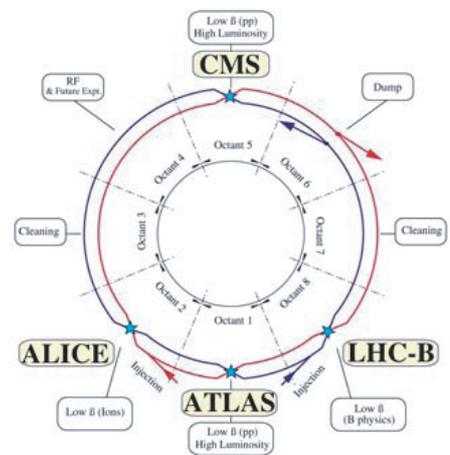


図 2.2: LHC における 4 つの衝突点

LHC の衝突点にはそれぞれ ATLAS、CMS、Alice、LHC-B といった検出器が置かれる。[1]

LHC の最大の特徴は、 $14\text{TeV}$  という世界最高の重心系エネルギーである。一般にエネルギーが大きくなるとエネルギー損失が大きくなるが、LHC はハドロンコライダーであるため、電子陽電子コライダーと比べ、粒子がリング内を回る時のシンクロトロン放射光によるエネルギー損失が少ない\*。その原理によって、 $14\text{TeV}$  を実現できる。LHC トンネル内に多数の超伝導電

\*単位長当たりの放射光によるエネルギーの損失は  $\gamma^4/\rho^2$  に比例する。ここで  $\gamma = E/mc^2$ 、 $\rho$  は加速器の曲率半径。陽子の質量は電子の質量の 1840 倍なので、放射光エネルギー損失は同じエネルギーの電子の  $10^{13}$  分の 1 となる。



ここでは、ATLAS 実験で観測が期待される物理について簡単に説明する。期待されるのは、主に Higgs と超対称性に関する物理である。そしてその結果、ミューオンが関係する物理が非常に重要であることを認識していただく。

## 2.2.1 標準理論 Higgs 粒子

Higgs 粒子は、ボソンとフェルミオンに質量を与える未知の粒子である。ATLAS 実験の主要な目的のひとつはこの Higgs 粒子の発見であり、ATLAS 検出器は、質量 100GeV から 1TeV の広範囲で Higgs 粒子を探索する能力を持つ。

### Higgs 粒子の生成過程

Higgs 粒子は重い粒子と結合しやすいため、主に次に挙げる 4 つの生成過程が考えられる。それぞれのファインマンダイアグラムを図 2.6 に、生成断面積と質量の関係を図 2.7 に示す。

1.  $gg \rightarrow H$  (gluon fusion)

トップクォークやボトムクォークのループを介した過程で、最も断面積が大きい。その反面、Higgs 粒子が崩壊して出来る粒子以外に大きな  $p_T$  (運動量) を持つ粒子がなく、バックグラウンドとの選別が非常に難しい。

$H \rightarrow \gamma\gamma, ZZ(\rightarrow llll), W^+W^-(l\nu l\nu)$  だけが、有望な崩壊過程である。

2.  $qq \rightarrow qqH$  (W/Z fusion)

クォークから放出されたゲージボソンから Higgs 粒子が生成されている。断面積も比較的大きく、反跳したクォークに起因する大きな  $p_T$  を持つジェットが 2 本観測される特徴があり、イベントの選別が比較的行きやすい。さらに、イベントに関わる 2 つのクォークの間ではカラー交換が行なわれないので、QCD バックグラウンドによる影響は少ない。従って、この生成過程では、様々な崩壊過程での Higgs 粒子の探索が期待されており、現在盛んに研究が進められている。

3.  $qq \rightarrow (W/Z)H$  (W/Z associate production)

クォークの対消滅で生成されたゲージボソンから、更に Higgs 粒子が放射される過程。終状態にゲージボソン (W/Z) が観測される特徴がある。このゲージボソンがレプトンに崩壊した場合は、シグナルとバックグラウンドの識別が容易にできる。

4.  $qq/gg \rightarrow ttH$  (top associate production)

対生成されたトップクォークから、Higgs 粒子が放出される過程。断面積は小さいが、特徴のあるトップクォークペアを終状態に含んでいるので、QCD バックグラウンドを減らすことができる。またこの反応には、トップクォークの湯川結合 (Higgs とクォークとの結合) という重要な情報を含んでいる。

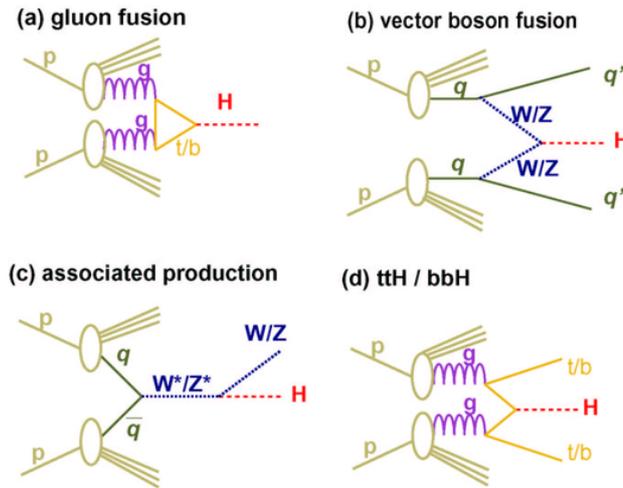


図 2.6: Higgs 生成のファイマンダイアグラム

主な生成過程。Higgs 粒子は重たい粒子と結合しやすい。

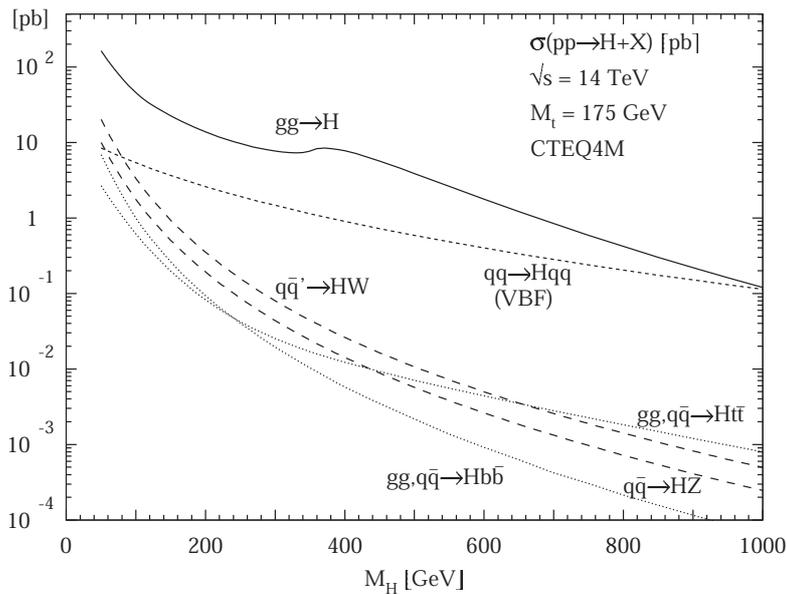


図 2.7: 標準模型での Higgs 粒子の生成断面積

横軸は Higgs 粒子の質量。縦軸は断面積である。gluon fusion がもっとも生成断面積が大きい。[2]

### Higgs 粒子の崩壊過程

次に Higgs 粒子の崩壊過程について述べる。崩壊過程の分岐比は図 2.8 に示すように Higgs の質量に依存しており、各領域で特徴的な崩壊過程が存在する。以下にそれぞれの崩壊過程を簡単に説明する。

1.  $H \rightarrow \gamma\gamma$  ( $m_H < 150$  GeV)

この質量領域では、実は  $b\bar{b}$ 、 $c\bar{c}$ 、 $\tau^+\tau^-$  が支配的であるが、陽子陽子衝突から引き起こされる QCD ジェットバックグラウンドと区別することが難しい。そこで希崩壊ではあるが  $H \rightarrow \gamma\gamma$  を観測し、不変質量  $M_{\gamma\gamma}$  分布を求めると、Higgs 粒子の質量が鋭いピークとして存在する。エネルギー及び角度分解能の優れた電磁カロリメータが必要となる。

2.  $H \rightarrow \tau\tau$  ( $m_H < 150$  GeV)

Higgs 粒子が軽い場合、発見に有効とされているのがこのチャネルである。 $\gamma\gamma$  よりも崩壊確立が高く、W/Z fusion の生成過程を考えることでバックグラウンドと区別することができる。この場合、Higgs のピークはバックグラウンドである Z のピークのテールに現れる。 $\tau$  の崩壊にはニュートリノが含まれるので  $E_T^{miss}$  の精度が重要になる。

3.  $H \rightarrow ZZ^* \rightarrow 4l^\pm$  (120GeV~180GeV)

このモードは、最も綺麗なピークが得られるモードの一つである。一つのレプトン対に対しては、不変質量  $m_Z$  に等しいという条件を課することが出来るが、 $Z^*$  が仮想粒子であるため、もう一方のレプトン対の不変質量には制限が無い。そのため、検出器には運動量、エネルギーに対する高い分解能が求められる。

バックグラウンドとしては、 $ZZ^*$ 、 $Z\gamma^*$ 、 $t\bar{t}$ 、 $Zb\bar{b}$  がある。このうち  $ZZ^*$ 、 $Z\gamma^*$  は減らすことは出来ないが、生成断面積もそれほど大きくない。 $t\bar{t}$ 、 $Zb\bar{b}$  はそれぞれレプトン対が、Z 起源または  $Z^*$  起源であるという条件をつけることによって取り除くことが出来る。

4.  $H \rightarrow ZZ \rightarrow 4l^\pm$  (180GeV~800GeV)

このモードが最も綺麗なピークを得られる。2組のレプトン対の不変質量が共に  $m_Z$  に等しいという条件を課すことが出来るため、信頼性の高いモードである。ただし、Higgs 粒子の質量が大きくなるにつれ崩壊幅が急激に大きくなるため、有効性が落ちる。

5.  $H \rightarrow ZZ \rightarrow ll\nu\nu$  (400GeV~)

この領域では、このモードの方が  $H \rightarrow ZZ \rightarrow 4l^\pm$  よりも分岐比が約 6 倍も高い。 $\nu\nu$  の不変質量は再構成することは出来ないが、これに起因する消失横方向エネルギー  $E_T^{miss}$  を精密に測定することが必要になる。

6.  $H \rightarrow WW \rightarrow lvjj, H \rightarrow ZZ \rightarrow lljj$  (600GeV~)

この領域ではこれらのモードが  $H \rightarrow ZZ \rightarrow 4l^\pm$  に比べて、 $H \rightarrow WW \rightarrow lvjj$  は約 150 倍、 $H \rightarrow ZZ \rightarrow lljj$  は約 20 倍の分岐比を持つ。これらのモードでは、バックグラウンドと区別するために Higgs 粒子が W/Z 融合過程によって生成された場合を考える。この過程では、散乱角前方にクォークによる 2 つのジェットが特徴的で、このジェットを指標とすることでバックグラウンドを排除することが出来る。

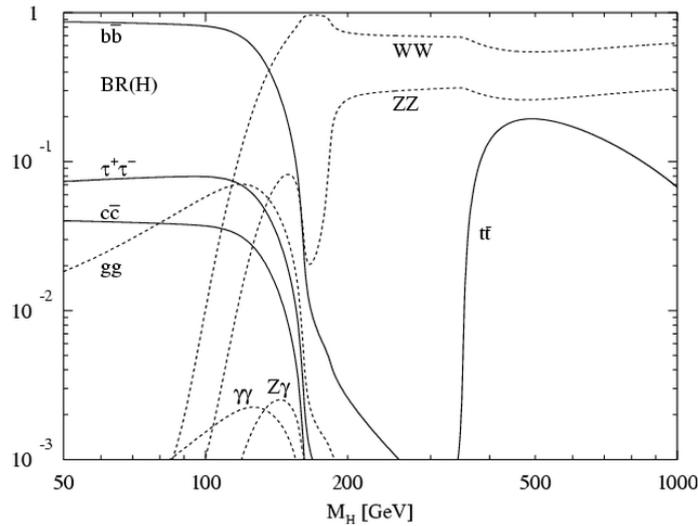


図 2.8: Higgs 崩壊分岐比の質量依存

横軸は Higgs 粒子の質量。縦軸は崩壊分岐比である。期待するイベントの崩壊分岐比が大きいに越したことはないが、バックグラウンドを考えると違うチャンネルが有効だったりする。[2]

### Higgs 粒子の発見能力

図 2.9 と図 2.10 に、それぞれ LHC が 1 年および 3 年走って積分ルミノシティを  $10\text{fb}^{-1}$ 、 $30\text{fb}^{-1}$  溜めた時点での ATLAS 測定器の標準模型 Higgs 粒子の発見能力を示す。予想される Higgs の事象の数をバックグラウンドの事象の数の平方根で割ったものであり、縦軸の値が高い程、Higgs の事象があったときに、それがバックグラウンドでは説明できないことを示している。これを見ると、ATLAS 測定器は上限値である  $115\text{GeV}$  から  $1\text{TeV}$  の領域までカバーしており、 $5\sigma$  以上の確からしさで Higgs 粒子を発見出来ることがわかる。

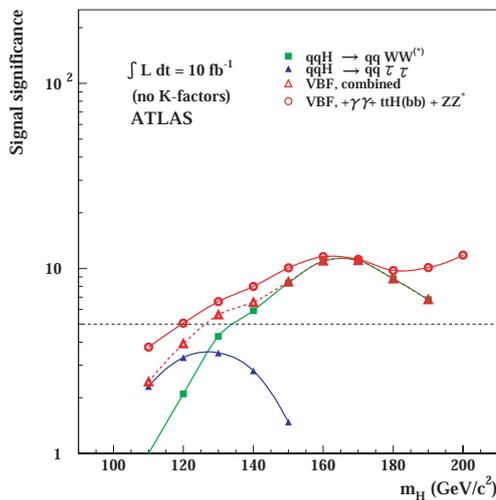


図 2.9: Higgs 粒子の  $10\text{fb}^{-1}$  での発見能力

横軸は Higgs 粒子の質量。縦軸は確実性である。1 年間の run で LHC は約  $10\text{fb}^{-1}$  のデータをためることが可能である。そのときの ATLAS 検出器における発見能力である。[3]

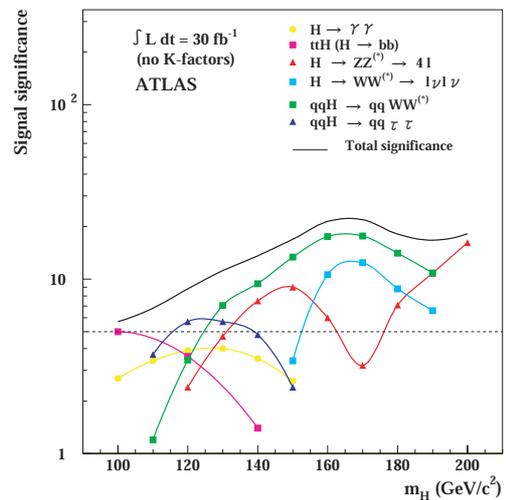


図 2.10: Higgs 粒子の  $30\text{fb}^{-1}$  での発見能力

横軸は Higgs 粒子の質量。縦軸は確実性である。3 年間の run で LHC は約  $30\text{fb}^{-1}$  のデータをためることが可能である。そのときの ATLAS 検出器における発見能力である。[3]

## 2.2.2 超対称性粒子

素粒子物理学の究極の目標は重力を含めた力の統一であり、超対称性 (SUSY) の発見はこれに向けての大きい一歩であると最も有力視されている。LEP でのゲージ理論の精密検証の結果、超対称性による力の大統一の可能性が示されている。

この超対称性は、ボソンとフェルミオンを交換する。つまり通常知られているボソンやフェルミオンに対し、スピンの  $1/2$  だけ異なりスーパーパートナーと呼ばれる超対称性粒子の存在を预言する。例えば、クォークやレプトン (フェルミオン) のスーパーパートナーとして、スクォーク ( $\tilde{q}$ ) やスレプトン ( $\tilde{l}$ ) (ボソン) があり、グルーオン (ボソン) のスーパーパートナーとして、グレイノ ( $\tilde{g}$ ) (フェルミオン) がある。もし、この理論が正しければ、LHC では強い相互作用をするスクォークやグレイノの対が大量に生成され、超対称性粒子の発見が期待される。

R パリティ保存則を課すと、超対称性粒子は必ず対で生成され、次々と崩壊を繰り返す。崩壊仮定によっては比較的重いニュートラリーノ ( $\tilde{\chi}_{2,3,4}^0$ ) やチャージノ ( $\tilde{\chi}_{1,2}^\pm$ ) が生成されることがある。そして、最終的に超対称性粒子のなかで最も軽い質量を持つ LSP (Lightest SUSY Particle) になる。この LSP の候補としては最軽量ニュートラリーノ ( $\tilde{\chi}_1^0$ ) が考えられるが、この粒子は直接観測にかからない。しかし、解析に於いて消失横方向エネルギー  $E_T^{miss}$  として現れるので、ジェットと共に  $E_T^{miss}$  を指標として探索を行う。主な崩壊として以下の 3 つがある。

### 1. Multijets+ $E_T^{miss}$ モード

$$\begin{aligned}\tilde{g} &\rightarrow q\tilde{q}\tilde{\chi}_1^0 \rightarrow \text{jets} + E_T^{miss} \\ \tilde{q} &\rightarrow q\tilde{\chi}_1^0 \rightarrow \text{jets} + E_T^{miss}\end{aligned}$$

### 2. 2レプトン・モード

$$2\tilde{g} \rightarrow 2(q\tilde{q}\tilde{\chi}_i^\pm) \rightarrow 2(q\tilde{q}\tilde{W}^\pm\tilde{\chi}_1^0) \rightarrow 2(\text{jets} + l^\pm + E_T^{miss})$$

### 3. 3レプトン・モード

$$\tilde{\chi}_1^\pm\tilde{\chi}_2^0 \rightarrow lv\tilde{\chi}_1^0 + ll\tilde{\chi}_1^0 \rightarrow 3l + E_T^{miss}$$

## 2.2.3 超対称性 Higgs 粒子

超対称性理論の中で最も単純な MSSM (Minimal Supersymmetric extension of Standard Model) では、2 つの Higgs 2 重項が要求され、結果的に 5 つの Higgs 粒子が導入される。この 5 つはそれぞれ、 $H^\pm$  (荷電スカラー)、 $h$  (中性軽スカラー)、 $H$  (中性重スカラー)、 $A$  (中性擬スカラー) である。これらの Higgs 粒子の質量は 2 つのパラメーター  $\tan\beta$ 、 $m_A$  で表される。

以下に、MSSM 中性 Higgs 粒子の崩壊モードで観測が期待されるものを説明する。

### 1. $H/A \rightarrow \tau\tau$

標準 Higgs 粒子の場合はこのモードは分岐比が低く観測に適さないが、MSSM では高い分岐比が期待される。生成された  $\tau$  粒子の両方がレプトンに崩壊するチャンネルと、一方はハドロンに崩壊するチャンネルの 2 種類のモードが利用できる。

2.  $H/A \rightarrow \mu\mu$

$H/A \rightarrow \tau\tau$  に比べて、分岐比は  $(m_\mu/m_\tau)^2$  倍低いですが、精度よく測定が行えることから  $\tau\tau$  モードでの測定を補う役割が期待される。

3.  $H \rightarrow hh$

崩壊モードは、 $hh \rightarrow b\bar{b}b\bar{b}$  が支配的だが、このモードでは効率の良いトリガーが行えないため、 $hh \rightarrow \gamma\gamma b\bar{b}$  チャンネルで観測されることが期待される。イベントレートは低いですが、2つの異なる Higgs 粒子の反応という意味で非常に興味深い。

4.  $A \rightarrow Zh$

2つの Higgs 粒子が関係した反応として興味深い。 $Zh \rightarrow llb\bar{b}$  など  $Z$  の崩壊で生じる2つのレプトンでトリガーを行う方法が有効である。

### 2.2.4 ミューオンの関係する物理のまとめ

標準理論 Higgs 粒子を考える場合、崩壊過程として Higgs 粒子の質量が  $120\text{GeV} \sim$  の崩壊モードでは多くのモードでレプトンが入ってくることがわかる。これは検出するにあたって、ミューオンが重要になってくることを示唆している。たとえば、標準理論 Higgs 粒子の質量が  $150\text{GeV}$  だとしたときのシミュレーションを図 2.11 に載せる。

また、超対称性粒子においても、2レプトン・モード、3レプトン・モードとあるように、やはりミューオンは重要なデータを提供する。さらに、超対称性が存在した場合には超対称 Higgs 粒子の探索にも適したモードを持つ。

このようにミューオンは新しい物理を探索する上で非常によいプローブとなることがわかる。

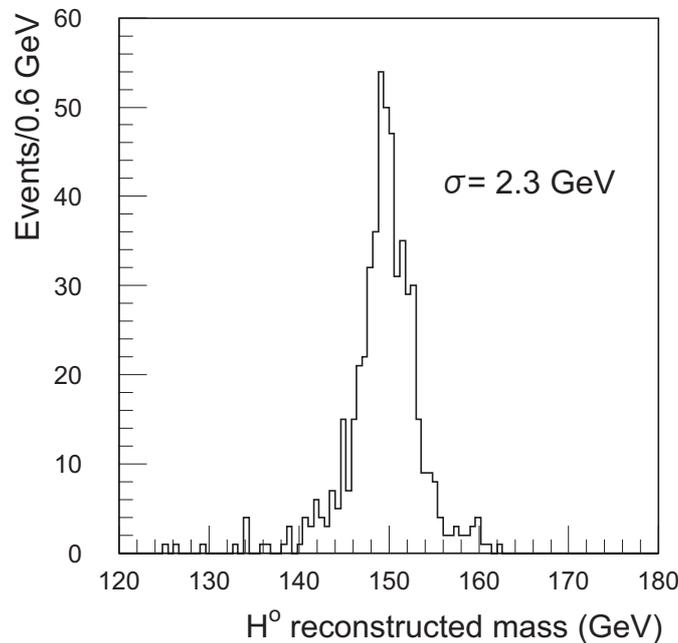


図 2.11: 4 ミューオン状態から Higgs 粒子を再構成

横軸は Higgs 粒子の質量。縦軸はイベント数である。 $H \rightarrow ZZ \rightarrow \mu^+\mu^-\mu^+\mu^-$  を標準理論 Higgs 粒子の質量が  $150\text{GeV}$  だとしてシミュレーションした図。ひとつの  $\mu$  ペアには  $Z$  の質量と一致するという条件を入れている。[4]

## 2.3 ATLAS 検出器

ここでは ATLAS 検出器の全体像と各検出器の概要について説明する。

ATLAS 検出器は、上記の物理を発見するために汎用性を持たせた直径 22m、長さ 44m の円筒形で、総重量は 7,000t という巨大な検出器である。その全体図を図 2.12 に示す。検出器は内側から内部飛跡検出器、カロリメータ、ミュオン・スペクトロメータから構成され、検出器の間にはマグネットシステムが設置されている。前述の物理を発見するためには、LHC の高いルミノシティにおいても、フォトン、電子、ミュオン、ジェット、 $E_T^{miss}$  などの信号を高速かつ正確に処理できる必要がある。そこで ATLAS 検出器は以下のような特徴の下で設計されている。

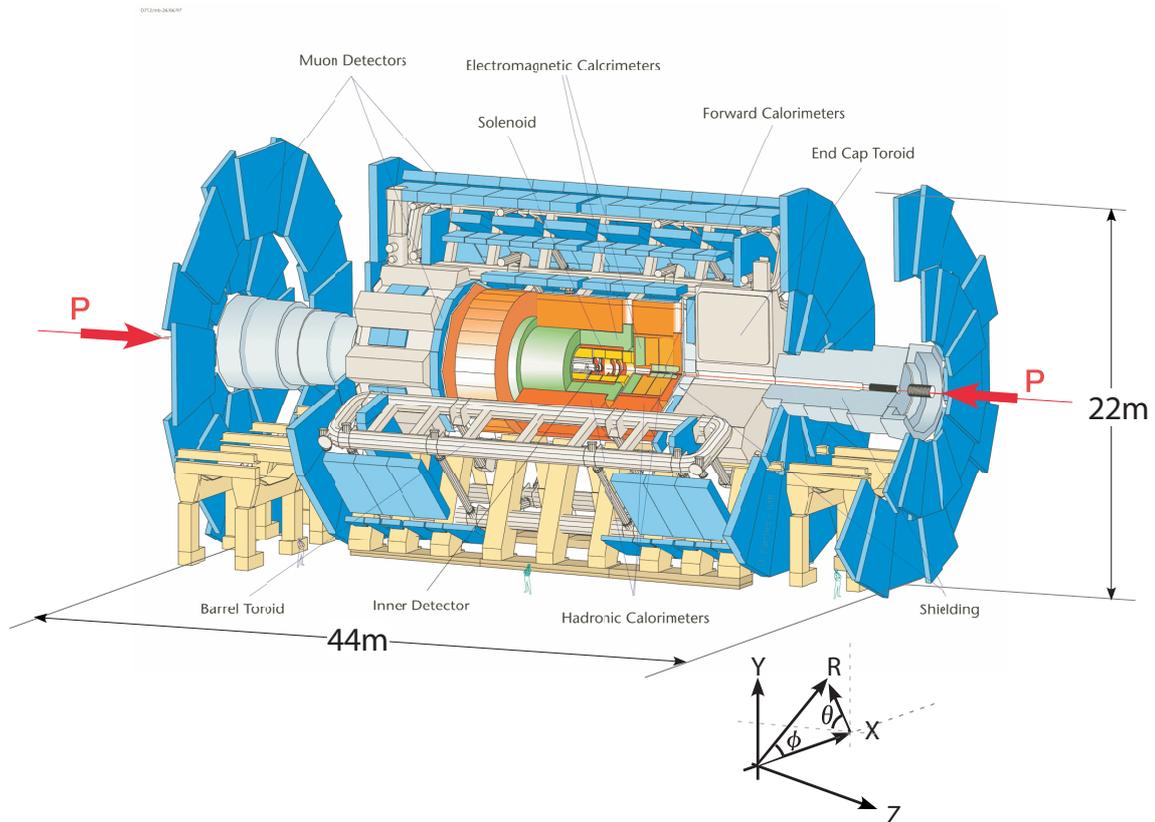


図 2.12: ATLAS 検出器

ATLAS 検出器は直径 22m、長さ 44m の円筒形をした、巨大な検出器である。座標系の取り方は図のようにになっている。[1]

- 電磁カロリメータによる電子とフォトンのエネルギーと位置の高精度測定と、ハドロンカロリメータによる高精度なジェットと消失横方向エネルギー  $E_T^{miss}$  の測定
- カロリメータの広範囲のラピディティ  $\eta^\dagger$  と完全な方位角  $\phi$  のカバー
- 内部検出器の情報に頼らずに、ミュオンスペクトロメータの情報だけでミュオンの運動量  $p$  を測定することが可能

$^\dagger \eta$  は正確には擬ラピディティ。  $\theta$  をビーム軸とのなす角とすると  $\eta = -\ln(\tan \theta/2)$  で定義される。陽子陽子非弾性散乱で生じる粒子の生成微分断面積  $d\sigma/d\eta$  が、広い  $\eta$  の領域に渡ってほぼ一定である

- 飛跡検出器によるレプトンの運動量測定、短寿命粒子の崩壊点探索
- 高頻度のイベントを逃すことなく処理するシステム
- 超伝導空芯トロイド磁石 (Toroidal Magnet) を用いることで、ミューオンを低い  $p_T$  まで測定でき、かつ広いラピディティ領域をカバー
- 10年以上稼働し続けるための、耐放射線性

円筒型の ATLAS 検出器は、バレルと呼ばれる円筒の筒に相当する ( $|\eta| < 1$ ) 領域と、エンドキャップと呼ばれる円筒のふたに相当する部分 ( $1 < |\eta|$ ) の2つの領域に分けられる。さらにエンドキャップは、円筒の円の中心 (ビーム) 付近より外側 ( $1 < |\eta| < 1.9$ ) の領域を Endcap<sup>‡</sup>、円の中心付近 ( $|\eta| > 1.9$ ) を Forward と分けて呼ぶこともある。

以下で検出器とマグネットについて簡単に説明する。

### 2.3.1 内部飛跡検出器

内部飛跡検出器はビームの衝突点に最も近い場所に設置され、2Tの磁場をつくる超伝導ソレノイドの内部に位置する。図 2.13 に内部飛跡検出器の構造を示す。内部飛跡検出器は内部から順に、ピクセル検出器 (Pixel)、シリコン・トラッカー (SCT)、遷移輻射トラッカー (TRT) の3つで構成されている。

ピクセル検出器は、最内層にある半導体検出器である。これは1つの要素が  $50\mu\text{m} \times 300\mu\text{m}$  の高分解能の半導体検出器である。この検出器の精度によって、バーテックスの精度が決められる。SCTはマイクロストリップと呼ばれる細長い有感領域をシリコン上に施した半導体検出器である。TRTは、半径4mmのストローチューブ検出器で、トラッキングの他に遷移輻射<sup>§</sup>を利用した電子の同定も行う。これらの検出器はいずれも非常に厳しい放射線下に置かれるので、高い放射線耐性が必要である。

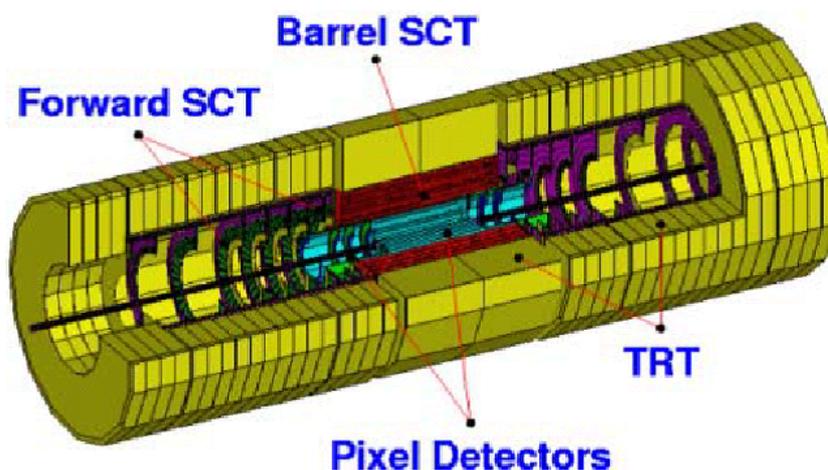


図 2.13: 内部飛跡検出器の構造

内部飛跡検出器は内側からピクセル検出器、SCT、TRT と構成されている。[4]

<sup>‡</sup>本論文ではバレル部とエンドキャップの区別をカタカナで表記し、Endcap と Forward の区別を英語で表記する。

<sup>§</sup>遷移放射は、誘電率の異なる2つの媒介境界を荷電粒子が通過する時に起こる放射。遷移放射の全エネルギーは、ローレンツ因子  $\gamma$  に比例する

### 2.3.2 カロリメータ

カロリメータの主な役割は、電子や  $\gamma$  線、ジェットなどのエネルギー、角度の測定である。ATLAS 実験に使用される 4 種類のカロリメータは、電磁カロリメータとハドロンカロリメータの 2 つのカテゴリーに分けられ、広い  $|\eta|$  領域をカバーする。図 2.14 にその構造を示し、以下に各カロリメータについて簡単に説明する。

- 電磁カロリメータ

電磁カロリメータは、アコーディオン構造の鉛の吸収体と液体アルゴンからなり、放射線耐性に優れている。セントラル・ソレノイド・マグネットの外側に設置されバレル/エンドキャップ領域をカバーし（図 2.14 の黄色部分）、電子と光子の同定に用いられる。

- ハドロンカロリメータ

バレル部（ピンクの線で囲われた部分）は鉄の吸収体とタイル状のシンチレータからなるカロリメータが用いられる。放射線強度がより高いエンドキャップ部（赤い部分）は、銅の吸収体と液体アルゴンからなるカロリメータが用いられる。更に、放射線強度の高いフォワード部（緑部分）は銅とタングステンの吸収体と液体アルゴンからなるカロリメータが用いられる。これらは電磁カロリメータの外側に設置され、ハドロンの同定、エネルギー測定、ジェットの再構成などを行う。

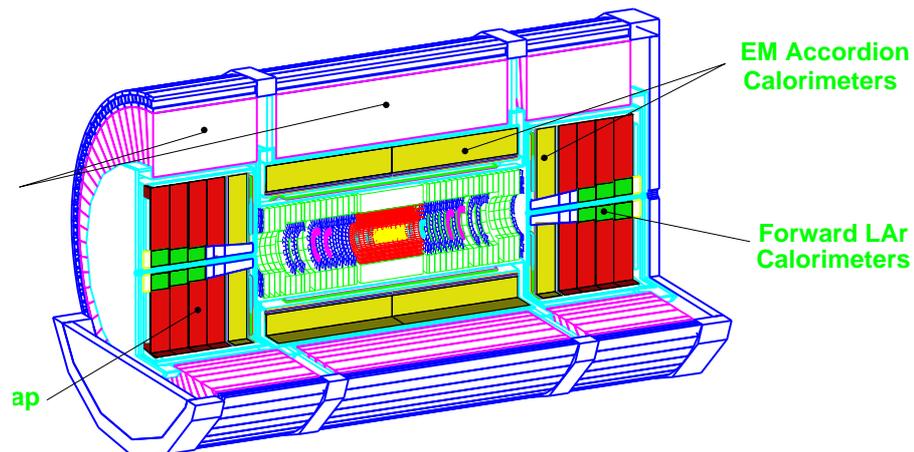


図 2.14: カロリメータの構造

カロリメータは電磁カロリメータとハドロンカロリメータという 2 つのカテゴリから成り立っている。電磁カロリメータは鉛吸収体と液体アルゴンの組からなり、ハドロンカロリメータは鉄の吸収体とシンチレータ、銅の吸収体と液体アルゴン、そして銅とタングステンの吸収体と液体アルゴンの組から成り立つ。[4]

### 2.3.3 ミューオン・スペクトロメータ

終状態に荷電レプトンを含む物理現象は、測定装置で捉えやすい。その中でもミューオンは物質の透過力が高く、寿命が長い為に、ATLAS 検出器の外側でも他の検出器に影響されことなく検出することが出来る。ミューオン・スペクトロメータは、軌跡精密測定用の MDT (Monitor Drift Tube) および CSC (Cathod Strip Chamber) と、トリガー用の RPC (Resistive Plate Chamber)、TGC (Thin Gap Chamber) の 4 種類の検出器とトロイダル磁石から構成され、ATLAS 検出器の一番外側に設置される検出器である。ミューオン・スペクトロメータの全体図

を図 2.15 に示す。図のように MDT はバレル部とエンドキャップ部の両方に設置され、CSC は、フォワードの内側に設置される。RPC はバレル部を、TGC はエンドキャップをカバーする。

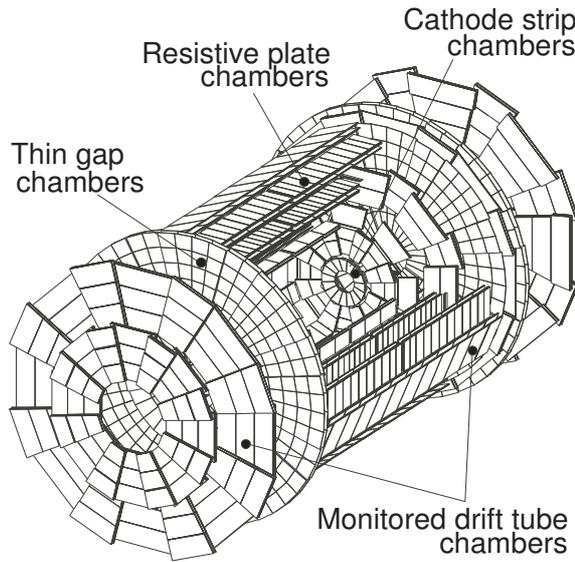


図 2.15: ミューオン・スペクトロメータ

ミューオン・スペクトロメータは MDT、CSC、RPC、TGC から成り立つ。[4]

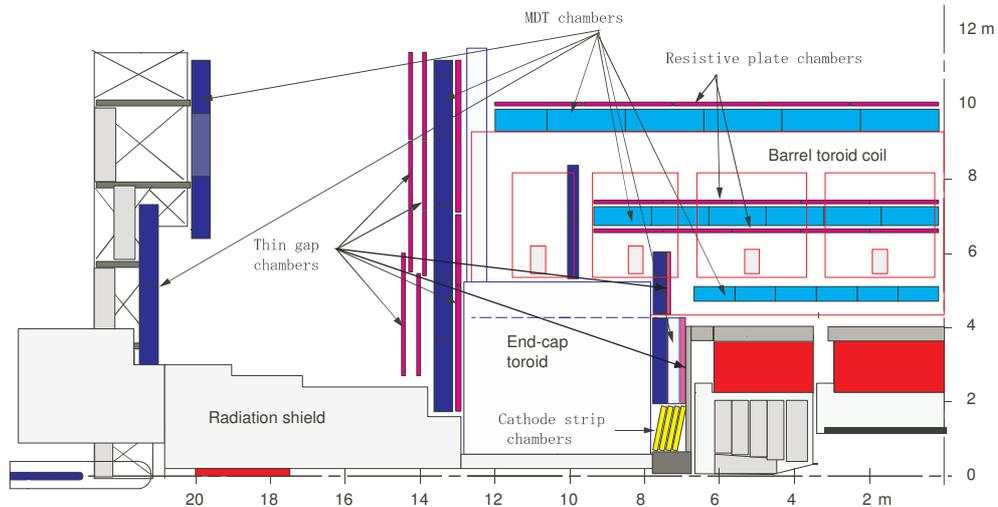


図 2.16: ミューオン・スペクトロメータ (R-Z 断面図)

MDT はバレル部とエンドキャップ部に置かれ、CSC はフォワードの内側に置かれる。RPC はバレル部に置かれ、TGC はエンドキャップに置かれる。[4]

図 2.16 の R-Z 断面図にあるように、それぞれの検出器は 3 層に重ねられて設置される。超伝導空芯トロイダルコア磁石がバレル部 (図中の赤線の四角)、エンドキャップ部 (図の下側中央の青線の四角) に検出器に内包されるように置かれ、それぞれに  $\phi$  方向の磁場を作っている。この  $\phi$  方向の磁場によって R-Z 平面内で曲げられたミューオンの曲率を、3 層の検出器で測定してその運動量を測定する。この R-Z 平面での R 方向の座標を第 1 座標と呼ぶ。理想的に

はミュオンは  $\phi$  方向の磁場によって R-Z 平面内で曲がるはずだが、現実には磁場の大きさが一様ではないために  $\phi$  方向にも曲がる。トリガー用の 2 つの検出器 (TGC, RPC) は、この  $\phi$  方向の座標 (第 2 座標と呼ばれる) を測定する役目も持っている。表 2.2 に、これら 4 種類のチェンバーの特徴を示す。

表 2.2: ATLAS 実験におけるミュオン検出器の構成

	役割	$ \eta $ の領域	特徴	チャンネル数
MDT	トラッキング (R-Z) 運動量測定	0 ~ 3.0	30mm $\phi$ のドリフトチューブ 位置分解能 $\sigma_x = 60\mu\text{m}$	$3.7 \times 10^5$
CSC	トラッキング (3-dim) 運動量測定	2.0 ~ 3.0	カソードストリップ読み出し MWPC 位置分解能 $\sigma_x = 50\mu\text{m}$	$6.7 \times 10^4$
RPC	トリガー 第 2 座標測定 ( $\phi$ )	0 ~ 1.05	平行平板ガス検出器 時間分解能 $\sigma_t = 1\text{ns}$	$3.5 \times 10^5$
TGC	トリガー 第 2 座標測定 ( $\phi$ )	1.05 ~ 2.4	狭いギャップのワイヤチェンバー 時間分解能 $\sigma_t = 4\text{ns}$	$3.2 \times 10^5$

## MDT

MDT はバレル部、エンドキャップ部の広いラピディティ領域をカバーし、R-Z 方向成分を精密に測定することができる。その構造は図 2.17 に示すような、チューブ径 30mm、ワイヤ径 50 $\mu\text{m}$  のドリフトチューブを積層したものであり、位置をドリフト時間と、シグナルの大きさから求めている。位置分解能は 60 $\mu\text{m}$ 、総チャンネル数は 30 万チャンネルである。

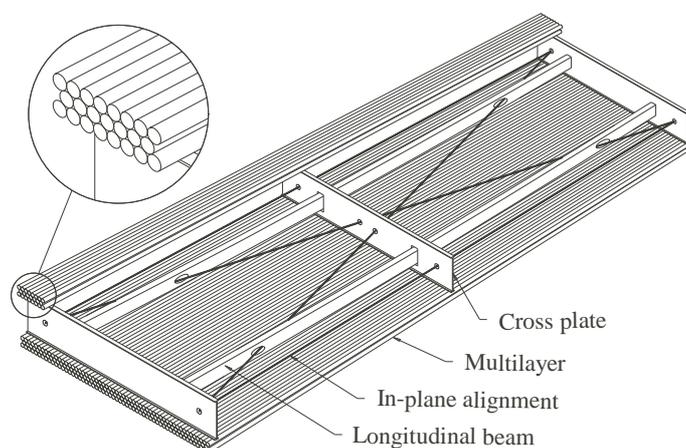


図 2.17: MDT の構造

直径 30mm のドリフトチューブ。ドリフトチューブをフレームに固定した構造をしている。[4]

## CSC

CSCは放射線の多い高ラピディティ領域  $|\eta| \geq 2$  に置かれる運動量精密測定用のカソードストリップ読み出しMWPCである。図2.18のような構造になっており、ワイヤ間隔が2.54mm、ストリップ間隔が5.08mmである。ドリフト時間は30nsec以下であり、位置分解能は $60\mu\text{m}$ となっている。

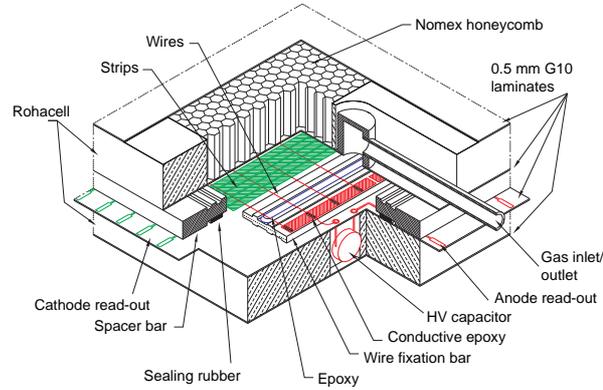


図 2.18: CSC の構造

カソードストリップ読み出しのMWPC。中性子感度が低くなっているのもひとつの特徴。[4]

## RPC

RPCはバレル部 ( $|\eta| < 1.05$ ) に設置され、R-z、R- $\phi$  平面での位置を測定しトリガー判定を行う。

構造はストリップを用いた検出器を2層に重ねた構造で、ストリップ間隔は $2.00 \pm 0.02\text{mm}$ である。RPCの構造を図2.19に示す。

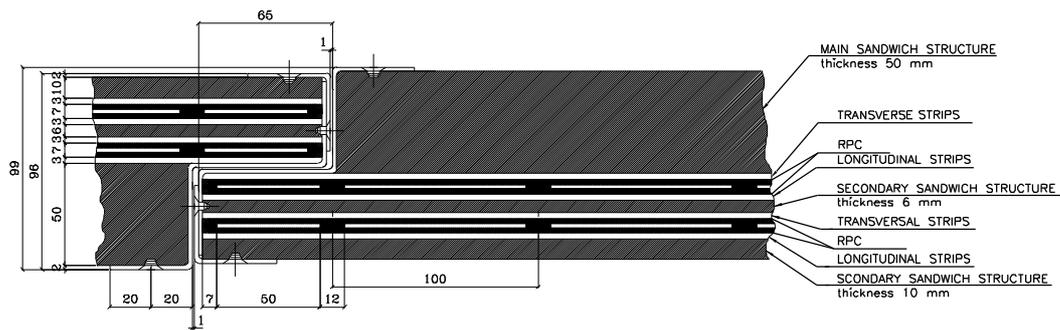


図 2.19: RPC の構造

ストリップは直行しており、2次元読み出しが可能。[4]

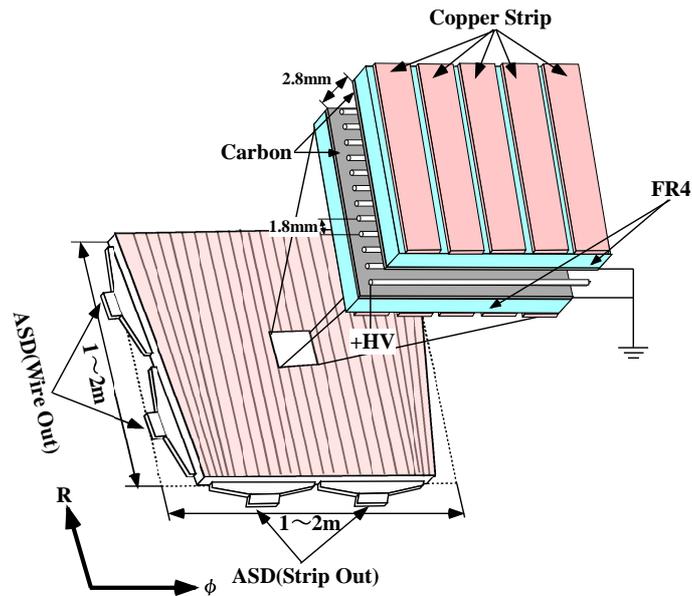


図 2.20: TGC の構造

アノードのワイヤとカソードのストリップを用いて、2次元読み出しが可能。

## TGC

本論文のテーマとなっているシステムである。TGC に関する詳細は次章で論じるので、ここでは簡単に紹介する。

TGC の構造を図 2.20 に示す。ワイヤは直径  $50\mu\text{m}$  の金メッキタングステン線で、 $1.8\text{mm}$  の間隔で張られている。ワイヤとカソードの間隔は  $1.4\text{mm}$  と狭く、 $10^6$  の高いゲインと速い応答を特徴とする。

### 2.3.4 マグネットシステム

ATLAS のマグネットは、中央のソレノイド磁石、バレル部、エンドキャップ部それぞれのトロイダル磁石の3つからなり、いずれも超伝導磁石である。マグネットの構造を図 2.21 に示す。両トロイダル磁石は、8つのコイルがビーム軸に対して8回対称になるように配置されており、積分磁場強度はバレル部で  $2\sim 6\text{Tm}$ 、エンドキャップ部で  $4\sim 8\text{Tm}$  である。ラピディティ  $\eta$  の値に対するトロイダル磁場の積分強度を図 2.22 に示す。トロイダル磁場は  $\phi$  方向成分が主だが、磁場の不均一性は避けられないため、 $R$  方向成分も存在する (図 2.23)。

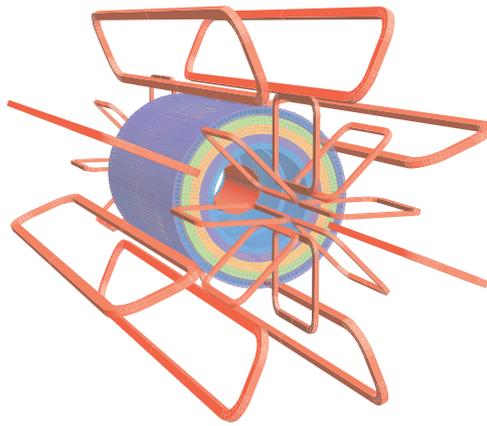


図 2.21: マグネットの構造

中央にソレノイド磁石があり、バレル部とエンドキャップ部にはトロイダル磁石を設置している。[4]

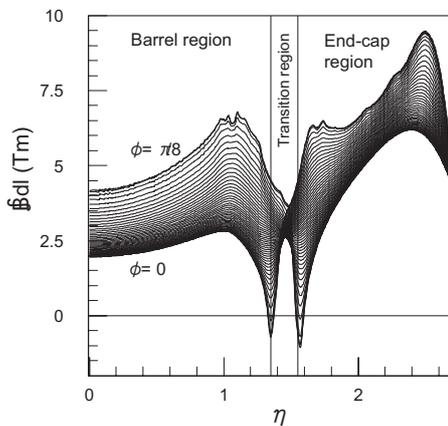


図 2.22:  $\eta$  と磁場積分強度の関係

バレル部では 1~6Tm、エンドキャップ部では 4~8Tm である。[4]

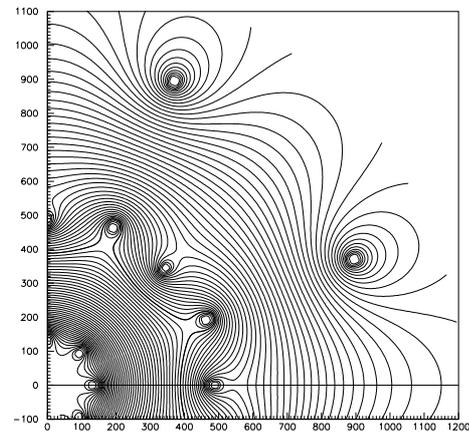


図 2.23: X-Y 平面の磁束の構造 ( $z=10.5\text{m}$ )

磁場は R 方向にも存在している。[4]

## 2.4 ATLAS 実験でのトリガー & DAQ システム

LHC の最高ルミノシティ時には、40.08MHz のビーム衝突ごとに平均 23 個の陽子の衝突が起こり、イベントレートは約 1GHz にもなる。1 イベントを記録するのに必要なデータ量は、~1.5MByte と見積もられているが、記憶装置、計算機資源の制限から、300Mbyte/s 位でしか記録はできない。そこで、膨大なバックグラウンドを含んでいる 1GHz で起こるイベントの中から物理的に重要なイベントだけを効率よく選び出すことが必要とされる。ATLAS 実験では 3 段階でそのレートを下げて、最終的に 200Hz 程度までおとしてデータを記録する。ここではそのトリガーと DAQ システムについて述べる。

特に、LVL1 トリガーは TGC がトリガーとして働く部分であり、実験ではタイミングなどを決める重要な部分である。

## 2.4.1 ATLAS 実験のトリガー & DAQ スキーム

ATLAS 実験のトリガーシステムは図 2.24 に示すように LVL1、LVL2、EF の 3 段階のトリガーを設け段階的にレートを落としていく。データは各検出器からの情報を基に、各システムで段階的に処理され、最終的に興味のあるイベントのみが記憶装置に保存される。

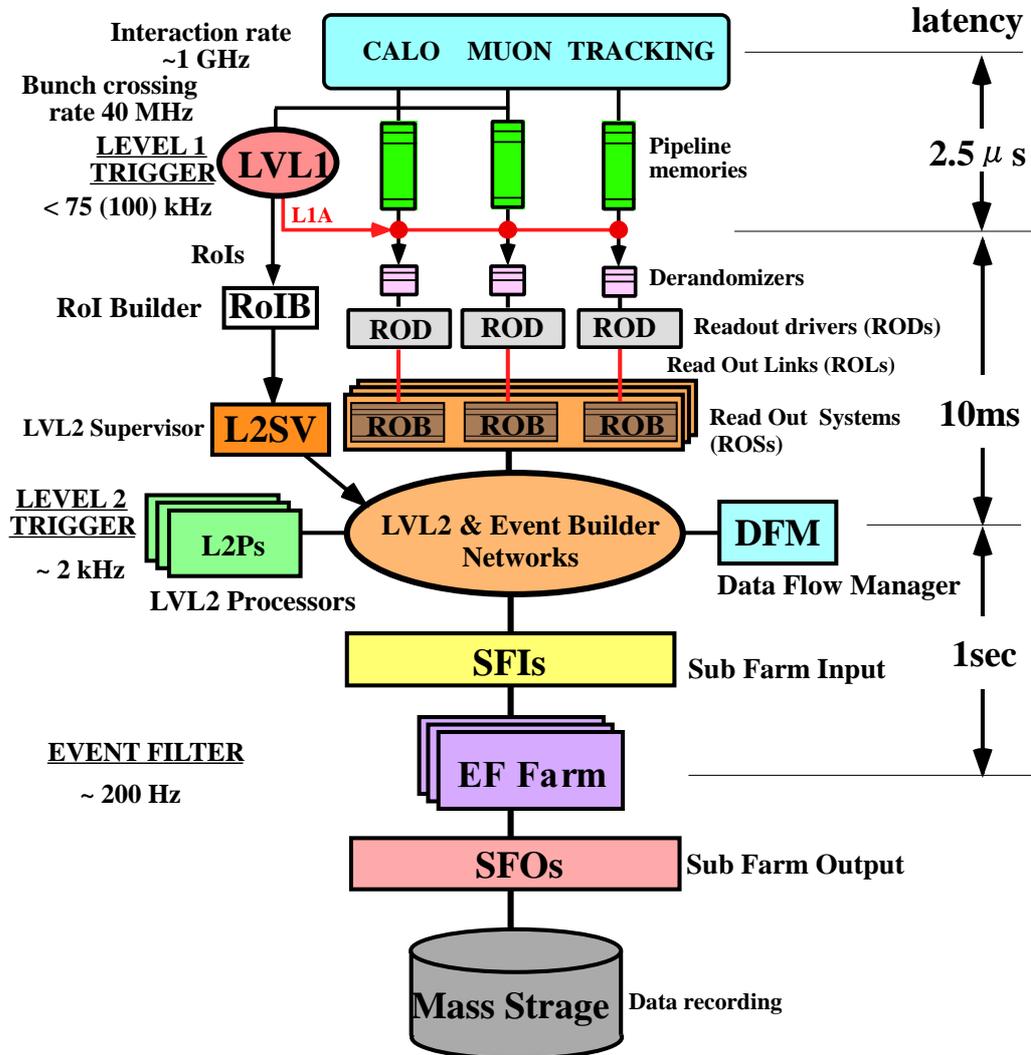


図 2.24: Trigger & DAQ システム

ATLAS では膨大なバックグラウンドが予想されている。そのバックグラウンドを落とし、物理的に重要なイベントを取り出すために、3 段階のトリガーを用いてデータを選別している。LVL1 はハードウェアによってなされ、LVL2 と EF はソフトウェアによるトリガーである。[6]

検出器からの信号は、まず各チャンネルごとに、各検出器に設置される LVL1 バッファと呼ばれるパイプラインメモリに保持され、LVL1 のトリガー判定の結果である L1A (Level1 Accept) 信号を受け取るまで待つ。LVL1 判定はカロリメータとミュオン検出器の一部 (RPC と TGC) のみを用いてなされる。パイプラインメモリは L1A 信号がくるまでの  $2.5 \mu s$  の間はすべての信号を保持するため、最低 100 イベント分を保持できるように設計されている。L1A を受け取っ

た信号は、デランダムマイザー (Derandomizer)<sup>†</sup>に送られる。L1A は不規則にやってくるため、デランダムマイザーは不規則にやってくる信号を一時的に保持し、順次 ROD (Read Out Driver) に送る。このときデータは圧縮され、信号の情報と共に BCID (バンチ ID) やどの L1A を受け取ったかを示す L1ID (LVL1ID) の情報も送られる。ROD は、集めたデータをイベントごとに処理し、BCID や L1ID の整合性を確認して、S-Link (Simple Link Interface) と呼ばれる規格の ROL (Read Out Link) を通して ROB (Read Out Buffer) へと送られる。ROB を複数持つ一つのシステムを ROS (Read Out System) と呼ぶ。ROB では LVL2 判定が行われるまでデータを保持している。LVL2 はカロリメータとミュオン検出器および内部検出器の情報を用いて行うが、この時点では LVL1 トリガーで与えられる ROI 内の各検出器の情報を用いて判定される。このときの処理時間は 10ms 以内と決められている。ROB から送られた信号は、イベントビルダーにて EF でトリガー判定を待つ。EF では、すべての検出器の完全な情報を使ってトリガー判定がなされる。そしてトリガー判定がなされたデータが最終的に記録される。この間の時間は 1s 以下と決められている。

## 2.4.2 LVL1

LVL1 トリガーは 40.08MHz のイベントレートを 75kHz に落とすためのトリガーである。図 2.25 に示すように、LVL1 トリガーシステムは、カロリメータ、トリガー用ミュオン検出器 (TGC、RPC)、MUCTPI (Muon Trigger to CTP Interface)、CTP (Central Trigger Processor)、TTC (Timing, Trigger and Control distribution system) から構成されている。基本的には 75kHz だが 100kHz までのアップグレードが可能ないように設計されている。カロリメータからは、 $e/\gamma$ 、 $E_T^{miss}$ 、 $\tau$ 、Jet のエネルギー等の情報、ミュオン検出器からは高い  $p_T$  の値を持ったミュオンの情報が、CTP に送られる。ここで、粒子の衝突からトリガー判定をして、フロントエンドのエレクトロニクスへトリガーを送るまでの処理時間 (レイテンシーと呼ばれる) は  $2.5\mu\text{sec}$  以内でなければならない。そのため、情報量が多く、処理に時間のかかる内部飛跡検出器からの情報は利用せず、トリガー用ミュオンチェンバー (RPC、TGC) からの位置と  $p_T$  の情報と、精度を落としたカロリメータからのエネルギー情報によってトリガーをかける。各検出器からの情報は CTP に集められ、トリガー判定の結果 L1A (Level1 Accept) 信号が出される。この L1A は TTC システムによって各検出器に配られる。

---

<sup>†</sup>デランダムマイザーは、ランダムで起こるイベントを一定の間隔で読み出せるようにするメモリである。

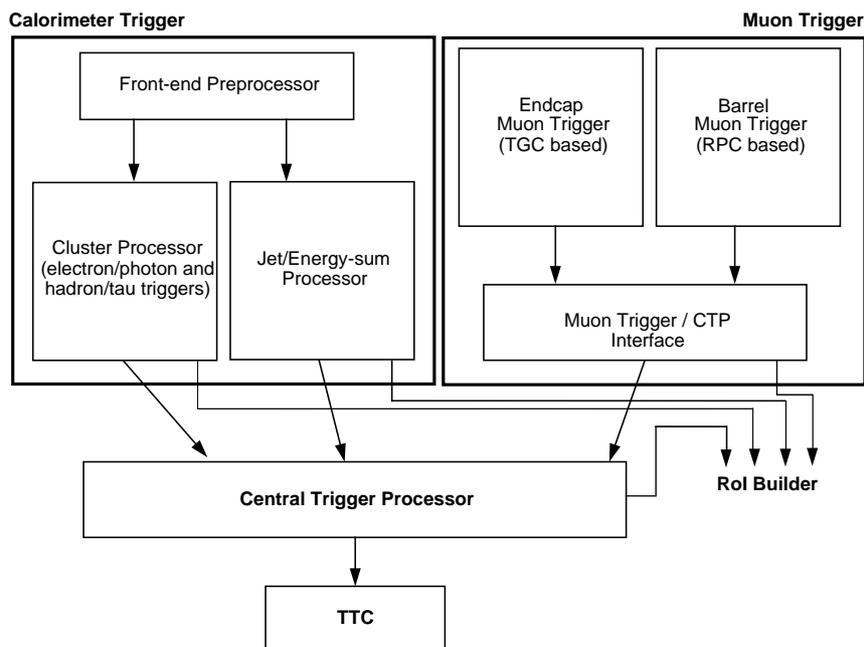


図 2.25: LVL1 トリガー処理の流れ

LVL1 トリガーはカロリメータとミュオンからの情報からなされる。カロリメータとミュオンの情報は CTP によって判定され、TTC によって ATLAS 検出器に配られる。[5]

### Cluster Processor & Jet/Energy-sum Processor

カロリメータで検出された信号は、Calorimeter Processor においてアナログからデジタルに変換され、BCID などが付加された後、Cluster Processor と Jet/Energy-sum Processor に送られる。Cluster Processor は high- $p_T$  を持った  $e/\gamma$ 、ハドロン  $/\tau$  を担当し、Jet/Energy-sum Processor は Jet や high- $E_T$  および  $E_T^{miss}$  などを扱う。それぞれは粒子の種類ごと独立に閾値の設定を行うことができる（6~8 段階）。また、Jet に関しては Jet のサイズなども設定可能である。これらの情報は、粒子の種類の情報などと共に CTP にトリガーが送られる。

### MUCTPI

MUCTPI は TGC と RPC の情報を CTP に渡す役割を担う。RPC と TGC は各々セクタと呼ばれる単位ごとに  $p_T$  の大きなミュオンの候補を挙げて、MUCTPI に送る。TGC の場合のセクタは、Forward 領域で円の 24 等分、Endcap 領域で円の 48 等分された領域であり、各領域からは 1 イベントに対して最大二つの候補が挙げられる。各候補の情報は、領域を表す RoI (Region of Interest) と  $p_T$  の二つである。MUCTPI はこれらのトラックの候補を受け取り、境界部分での処理<sup>||</sup>を行ってから、ミュオンの候補についての情報を、CTP へ送る。またその情報は LVL2 トリガーに送るため、RoIB (RoIBuilder) に渡される。

<sup>||</sup>TGC と RPC の重なった部分で、一つのミュオンが両方の検出器に候補を出した場合、二つの候補になってしまうが、両方合わせて一つの候補と判定する

## CTP

CTPの役割はカロリメータとミュオン情報の統合して、最終的なLevel1トリガーの判定を行うことである。カロリメータでは、 $e/\gamma$ 、 $\tau$ /ハドロン、ジェットのそれぞれに対し、数段階の閾値が設けてあり、同様にミュオン検出器では、ミュオンの $p_T$ について、数段階の閾値が設けてある。CTPは最高96種類のトリガー項目を設定出来て、CTPが受け取る閾値を越えた情報とそのトリガー条件とを比較することで、L1Aの有無を決定する。トリガー判定が終わると、CTPはTTCシステムに対して、L1Aとトリガーの情報を送信する。CTPでのレイテンシーは4バンチ(100nsec)以下と決められている。

## TTC

TTCシステムは、フロントエンドの各エレクトロニクスの同期をとるために、BCclockやL1Aなどの信号を分配するシステムである。大きな役割としては、clockやorbit等加速器からのタイミング情報を取得して、ATLAS測定器全体をビームに同期させることである。また、TTCは各検出器固有のテストやキャリブレーション用のコマンドを受信し、実行する役割も担う。表2.3にTTCが扱う主な信号を挙げる。

表 2.3: TTC で使われる主な信号

信号名	主な特徴と機能
BC Clock	Bunch-Crossing signal。各エレクトロニクスを LHC のビーム衝突頻度 (40.08MHz) に同期させるためのクロック。
L1A	Level 1 Accept。CTP から送られてくる。
BCR	Bunch Counter Reset BCID (データがどの BCID に属するかを示す) のリセットに使用。
ECR	Event Counter Reset。L1ID のカウンター (データがどの L1A に属するかを示す) のリセットに使用。
EVID (L1ID)	EVent IDentifier。ROD、ROB でのバンチクロッシングのチェックに使用。L1ID (LVL1ID) と同じ。
BCID	Bunch-Crossing IDentifier。ROD、ROB での Level1ID のチェックに使用。

TTCはATLAS実験全体で見た場合、いくつかのpartitionに分割されており、例えば、TGCの場合は左右のエンドキャップで、それぞれ1つのpartitionを成している。以前は、各エンドキャップで実験ホール用のpartitionとROD用のpartitionの2つのpartitionからなっていたが、1つのpartitionにまとめられた。

1つのTTCpartitionはTTCviと呼ばれるVMEインターフェイスを中心に構成される。TTCで扱う信号はclockなどの全検出器に共通に使用される信号の他、テストパルスを発生させる信号など各検出器に固有な信号も扱う。またこれらの信号はひとつのTTCviに属するシステムには全て共通なものとなるため、partitionは各検出器毎に分けられる。しかし、各検出器の中でも設置される場所の違い等により、特にコミッショニング時やtest runの場合に異なったトリガーが要求される。このような理由で各検出器の中でもpartitionが分けられる。

一つのTTCpartitionはTTCviと、LTP(Local Trigger Processor)、TTCvx、RODbusyの4つのモジュールを必ず持つ。図2.26にTTCpartitionを示す。LTPは、partitionの外部からのTTC

で扱う信号を全て受信する。LHCからは40.08MHzのBCクロックと周期88.924 $\mu$ secのORBIT信号を、CTPからはL1A信号を受信する。L1AとORBITはTTCviへ送信され、クロックはTTCvxへ送信される。

TTCviは受信したL1Aやテスト信号をTTCvxに送信し、TTCvxは受信した情報を加工した後、オプティカルリンクによってフロントエンドに設置されるTTCrxと呼ばれるASIC (Application Specific Integrated Circuit) まで分配する。TTCviからTTCvxに渡される信号は、A-Channel、B-Channelという2種の信号に分配される。A-Channelで扱われるデータはL1Aだけであるが、B-ChannelではTTCrxに同期コマンド、非同期コマンドを送付することが出来、前者はテストパルスの発生等に用いられ、後者はパラメーターの設定などに用いることが出来る。TTCrxでは、受信した信号をフロントエンドに配置される各エレクトロニクスに分配する。また、RODbusyモジュールは、TTCpartition内に属するRODからのbusyを集め結果をLTPに渡す。LTPが受け取ったbusyはCTPに渡される。

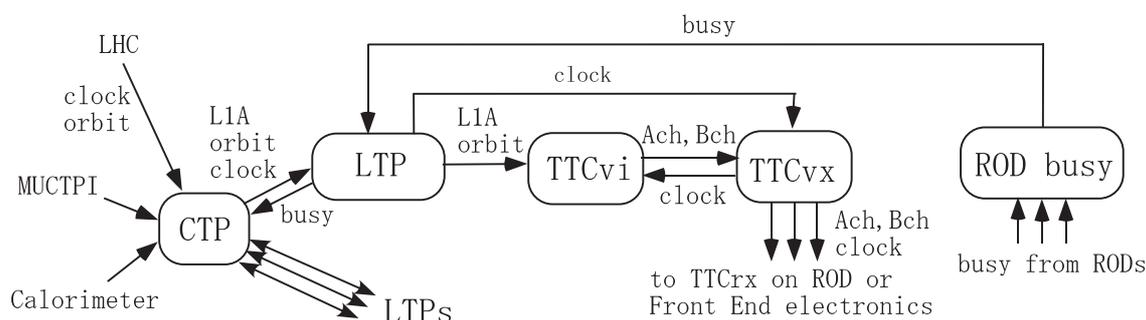


図 2.26: TTCpartition

一つのTTCpartitionはTTCviと、LTP、TTCvx、RODbusyの4つのモジュールを持つ。

### 2.4.3 LVL2

LVL2トリガーではイベントレートは75kHzから3kHz程度に落とされる。カロリメータ、MDTからの情報、内部飛跡検出器からの完全な位置情報に基づいて、より精度を上げて処理を行うが、効率を良くするため、LVL1トリガーの情報により選定されたRoI (Region of Interest) と呼ばれる領域のみの情報を用いてトリガー判定が行われる。RoIとは大きい運動量を持ったジェット、電子、ミューオンなどが検出された領域である。

複数のLVL1の結果がRoIB (RoI Builder)に渡され、そこでRoIが決定される。RoIは他のLVL1の情報と共にL2SV (LVL2 SuperVisor)に渡される。L2SVは受け取ったRoI及びLVL1の情報からLVL2判定をするため、負荷分散アルゴリズムに従い、幾つかのL2P (LVL2 Processor)をそのイベントのトリガー判定に割り当てる。割り当てられたL2Pは、LVL2ネットワークを介して必要なイベント情報をROSから受け取り、LVL2判定を行う。その結果、LVL2 Accept信号はL2SVに戻されDFM (Data Flow Manager)に渡される。

LVL2は3kHzでトリガーを出し、L2Pには最大で500台程度のPCが使われる予定で、それらで平行にLVL2判定の処理を行う。1イベントにかかる処理時間は10msec以下とされている。また、LVL2判定はその精度をソフトウェアで自由に変えられるため、精度を落とせば10msecより高速にLVL2判定を行うことも出来る。

LVL2 Accept信号がDFMに送られると、DFMは負荷分散アルゴリズムに従ってデータを受け取るSFI (Sub Farm Input buffer)を割り当てる。SFIはイベントビルダーネットワーク(物理

的にはLVL2ネットワークと同じもの)を介してROSからデータを受け取り、フォーマットに従ってイベント構築を行う。構築されたイベントはEFに送られるためにSFI内のバッファに保持される。

#### 2.4.4 EF

EF(Event Filter)でのトリガーにより最終的なイベントレートが200Hzまで落とされる。EFでは全検出器の完全な情報を用いてトリガー判定がなされる。

EFは全体で1600台程度のPCで構成される大規模なプロセッサ・ファームであり、幾つかの独立したEF sub farmから構成されている。EF sub farmは、スイッチング・ネットワークを介して一つ又は複数のSFIに繋がっている。EF sub farmではEFD(EF Data flow control program)というプログラムが走っており、SFIから完全なイベントデータを受け取り、トリガー判定を行う。あるイベントのトリガー判定が終わると、EFDはSFIから次のイベントデータを取って来て処理を続ける。EF全体としてのトリガー・レートは200Hzであるが、各EF sub farmで並列に処理が行われるため1イベントにかかる処理時間は1sec以下とされている。

EFトリガー判定のためにデータはSFIよりEF sub farmに取り込まれる。EF Accept信号が出ると、EFDはトリガー判定のために生成された情報に、イベントの完全な生データを付加し、SFO(Sub Farm Output buffer)へとデータを送る。そして、SFOからDiskに記録される。1イベントで発生するデータ量は1.5MByte程度と見積もられており、最終的に300MByte/sのデータが記録されていく。

# 第3章 TGCシステム

ATLAS 実験において、TGC システムには大きく分けて LVL1 ミューオントリガーシステムとしてのトリガー判定の役割と、ミューオンの R、 $\phi$  方向の座標の測定という役割を担っている。この章では、その TGC システムについてより掘り下げて説明する。

まず TGC システムの配置とその特性について述べ、次に TGC システムを構成しているチェンバーについて述べる。最後に TGC システムのトリガー判定はどのようになされるのかについて述べる。

## 3.1 TGC システムの配置

ATLAS 実験に設置される TGC の総数は約 3700 枚で、全チャンネル数は R 方向で約 22 万、 $\phi$  方向で約 10 万になる。その配置は図 3.1 に示すように、TGC システムは M1、M2 (Middle)、M3 (Pivot) と EI (Endcap Inner)、FI (Forward Inner) の 5 つから構成される。M1 は 3 層 (Triplet) のチェンバー、M2、M3 は 2 層 (Doublet) のチェンバーから成り、トリガー判定には主にこの計 7 層が使われる。また、内側から M1 では T1,T2,T3、M2 では D4,D5、M3 では D6,D7 と各層を呼ぶ。これら 5 つがそれぞれ、ATLAS の両側のエンドキャップで円盤状に並べられて配置される。

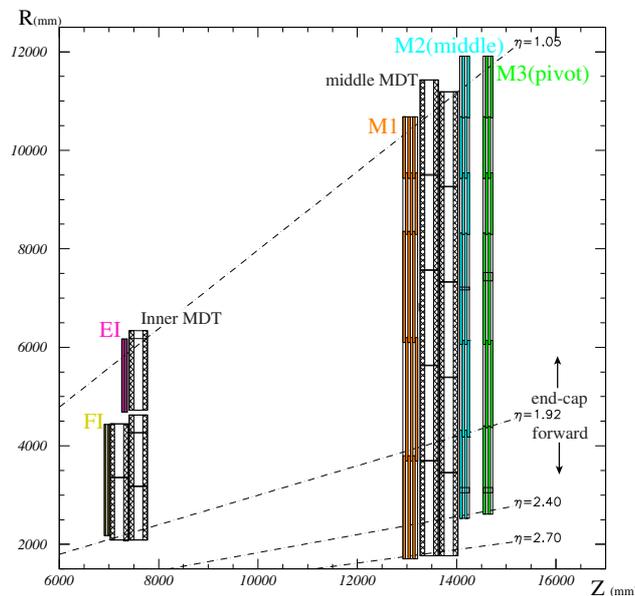


図 3.1: R-Z 断面での TGC のレイアウト

TGC は M1、M2、M3 と EI、FI から構成される、32 万チャンネルにも及ぶ巨大な検出器である。[4]

### 3.1.1 ビッグウィール

M1、M2 および M3 はビッグウィールと呼ばれる。ビッグウィールは  $1.05 < |\eta| < 2.7$  の領域をカバーし、 $|\eta| < 1.9$  の領域を Endcap と呼び、 $|\eta| > 1.9$  の領域を Forward と呼ぶ。

ビッグウィールは 1/12 円 (円形状に配置した TGC を  $\phi$  方向に 12 等分したもの) が 1 つの大きな単位となっており、これを 1/12 セクターと呼ぶ。データの処理などはこの単位で行われる (図 3.2 の赤い線で示された部分)。

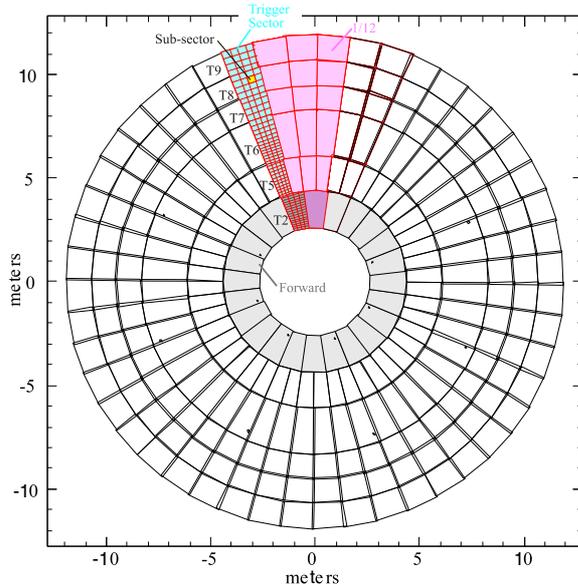


図 3.2: M3 (pivot) での TGC の配置と区分

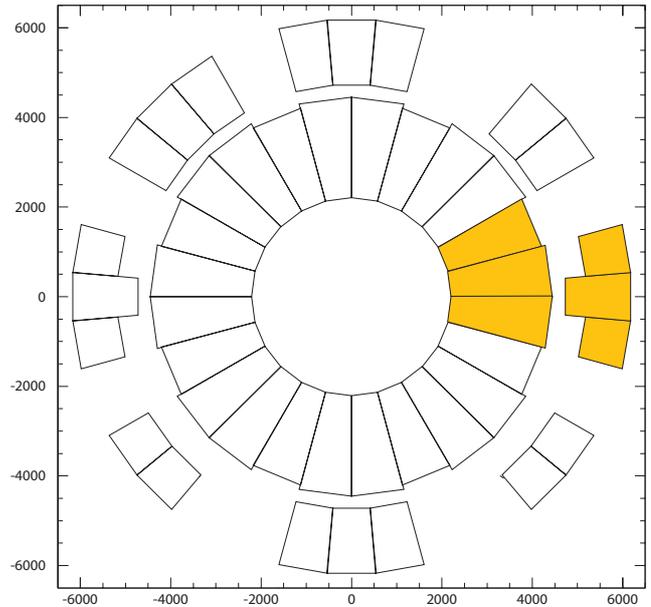


図 3.3: EI/FI での TGC の配置と区分

1/12 セクターを基本として成り立ち、更にそこから  $\phi$  方向にトリガーセクターという単位に分割される。このトリガーセクターはチェンバー 1 枚の幅と一致する。また、8 ワイヤグループと 8 ストリップをサブセクターと呼ぶ。[4]

1/8 を基本にデータの読み出しを行う。EI に関しては隙間が存在し、acceptance が約 70% になっている。[7]

### 3.1.2 トリガーセクターとサブセクター

LVL1 トリガーに関連する話として、1/12 セクターはさらに図 3.2 で示すように、Endcap を  $\phi$  方向に 4 等分した領域と、Forward を  $\phi$  方向に 2 等分した領域に分割され、それぞれトリガーセクターと呼ぶ (図 3.2 の水色の部分)。トリガーセクターの  $\phi$  方向の幅がちょうどチェンバー 1 枚の幅と一致する。さらにトリガーセクターは Endcap 領域では  $\eta$  方向に 37 分割、 $\phi$  方向に 4 分割、Forward 領域では  $\eta$  方向に 16 分割、 $\phi$  方向に 4 分割され、それぞれサブセクターと呼ばれる (図 3.2 の黄色の部分)。サブセクターは 8 ワイヤグループと 8 ストリップに対応しており、これらはトリガー処理の最小単位になっている。

### 3.1.3 EI/FI

EI/FI は  $1.05 < |\eta| < 1.9$  の領域を覆っている。図 3.3 に EI, FI の配置を示す。斜線を引いてある部分が 1 つの単位となっており、これは全体の 1/8 に当たる。EI に関しては特殊な配置になっ

ており、それぞれに隙間が存在する。このため、acceptance は約 70% になっている。

## 3.2 TGC の概要

この節ではチェンバーの概要について述べる。TGC チェンバーは、MWPC (Multi-wire Proportional Chamber) 型チェンバーの 1 種でありワイヤとストリップを用いて 2 次元読み出しを可能にしたトリガーチェンバーである。その動作原理と、40MHz ですべての信号を捕らえるため構造について簡単に説明する。

### 3.2.1 動作原理

TGC は、内部に CO<sub>2</sub>/n-Pentane (55/45) 混合ガスが満たされ、ワイヤには通常 2.9kV の高電圧が印加されている。ガス中を荷電粒子が通過すると、その経路にあるガス分子が電離されイオン化される図 3.4(a)。電離された 1 次電子は陽極側に Drift しながら印加電場によって加速され、電離エネルギーを超えると 2 次電子を生成する図 3.4(b)。これを繰り返し、タウンゼント型電子なだれと呼ばれるカスケード型の電子なだれを形成する。電子とイオン雲はそれぞれ Drift によって互いに離れ図 3.4(c)、電子雲はワイヤを取り囲み図 3.4(d)、イオン雲はさらにその周りを取り囲むようにワイヤ半径方向に拡散していく図 3.4(e)。TGC はこの電子なだれをシグナルとしてワイヤから読み取る。同時にカソード面では、塗布された高抵抗のカーボン面に電荷が誘起され、外側のストリップにも電荷が誘起され信号として読み出される。

タウンゼント型電子雪崩で生じた励起分子やイオンの再結合による紫外線は、カソード面やガスに衝突して発生する二次電子によって自己放電を起こす可能性がある。そこで紫外線を吸収する効果 (クエンチ効果) のある n-pentane を封入し、紫外線を吸収することで二次電子を抑え、チェンバーの検出効率を向上させている。

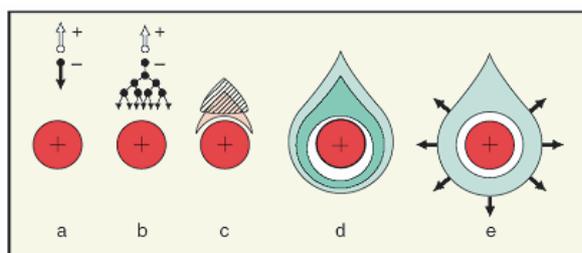


図 3.4: アノードワイヤでのタウンゼント型電子なだれの原理

イオン化によって電離された電子が、印加電圧によって加速されて、次々と 2 次電子を生成す。[8]

### 3.2.2 TGC の構造

TGC はエンドキャップ部分を円盤状にカバーするため、各チェンバーの外形は台形になっており、その大きさは配置場所によって異なるが、1 辺が 1~2m ほどである。TGC の構造を図 3.5~3.7 に載せる。

TGCは、高エネルギー実験でよく使われる MWPC ( Multi-wire Proportional Chamber ) 型チェンバーの1種であり、図3.6で示すように、ワイヤ面とカソード間の間隔 ( 1.4mm ) がワイヤ間の間隔 ( 1.8mm ) よりも狭くなっているところに特徴がある。ワイヤの間隔が狭いのは電子のドリフト時間を短くし、バンチクロッシング間隔 ( 25nsec ) に対応できるようにするためである。ワイヤとストリップの間隔が狭いのは (1) 陽イオンのドリフト距離を短くし、粒子が高レートで入射してきても検出効率を落とさないようにするため、(2) ワイヤとストリップの間隔からみて、ワイヤ径を太くするで、電場が強い領域がガス領域全体に拡がり、ガスゲインをあげ不感領域を減らすため、である。

その構造はアノードとして直径 50 $\mu$ m の金メッキしたタングステンワイヤが台形の上底、下底と平行に張られている。カソードはガラス・エポキシ板に表面抵抗が約 1M $\Omega$  のカーボンを通布してある。ガラス・エポキシ版を挟んだ反対の面には、1面を 32 分割した扇型の銅のストリップがワイヤに直交して並べてある。ワイヤには図 3.7 に示すように約 30cm 毎にワイヤサポートがある。ワイヤサポートはワイヤのたるみを防ぐためだけでなく、ガスの流路の形成と TGC の歪みを防ぐ役割も担っている。ワイヤは 4~20 本 ( 幅にして 10.8~36mm ) をまとめて1つのチャンネルとして読み出す。ストリップは 32 本あり、各ストリップは Endcap 領域では 4mrad、Forward 領域では 8mrad に相当する幅 ( 15.1~53.4mm ) を持ち、それぞれが1つのチャンネルとして読み出される。これにより TGC は 2 次元の読み出しが可能で、ワイヤにより R 方向の位置を、ストリップによって  $\phi$  方向の位置の検出を行う ( 図 3.5 )。

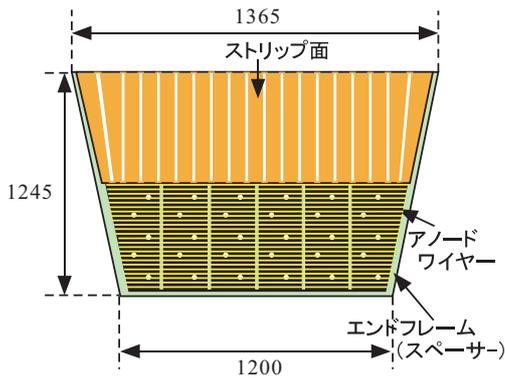


図 3.5: TGC の平面図

ワイヤとストリップが垂直に走り、2次元読み出しが可能になっている。

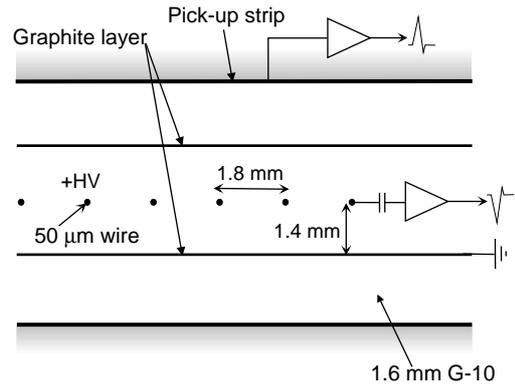


図 3.6: TGC の断面図

ワイヤ同士の間隔 ( 1.8mm ) より、カソード面とワイヤの間隔 ( 1.6mm ) が狭いのが特徴。[4]

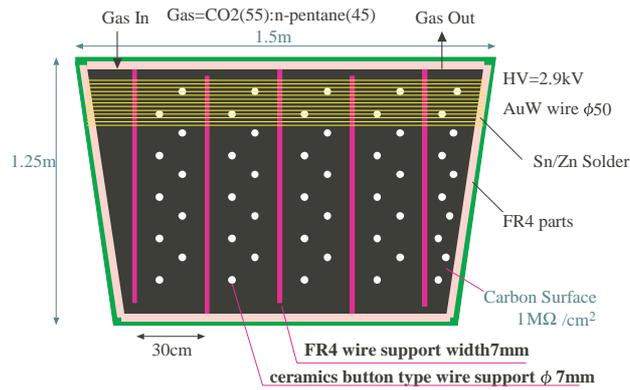


図 3.7: ワイヤサポート

ワイヤのたるみを防ぐだけでなく、ガス流路の形成やチェンバーの歪みを防ぐ意味もある。

実際の ATLAS 実験では、TGC は 1 層 (singlet) では用いず、図 3.8 で示すように、2 層 (Doublet) または 3 層 (Triplet) を重ねた構造にする。Doublet の場合は 2 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。Triplet では、2 層目にはストリップがなく、3 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。多層にすることで、各層のコインシデンスを取ってバックグラウンドによるフェイク信号の影響を減らすだけでなく、ワイヤサポートによる不感領域の影響も減らすことが出来る。さらに、各層でチャンネルが 1/2 もしくは 1/3 ずれて配置しているため、実質の位置分解能は 2 倍もしくは 3 倍になる。

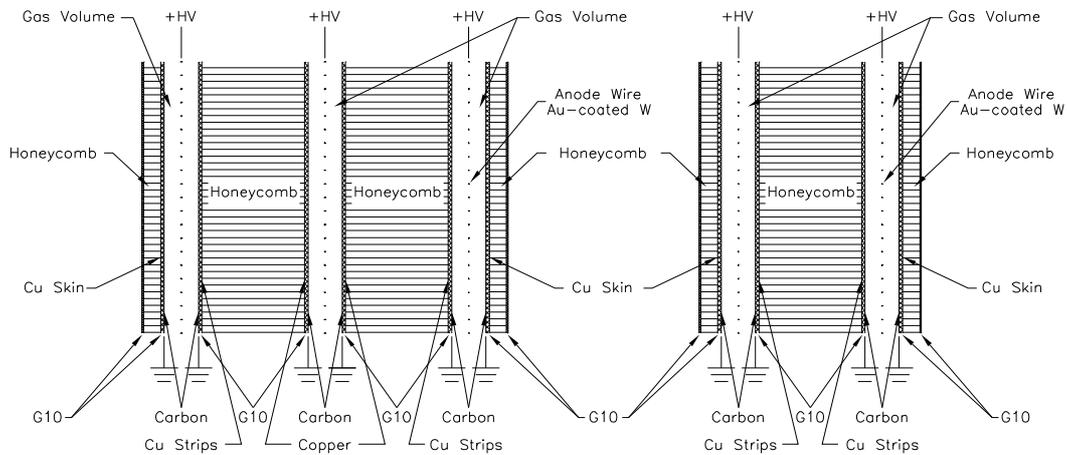


図 3.8: TGC の Triplet (左) と doublet (右) の構造

ATLAS の TGC には大きく Triplet と Doublet という 2 種類が存在する。Triplet は 3 層のワイヤと 2 層のストリップから読み出し、Doublet は 2 層のワイヤと 2 層のストリップから読み出す。[4]

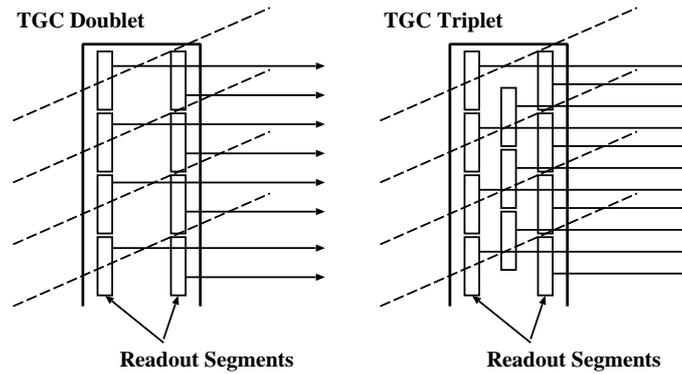


図 3.9: TGC 各層でのワイヤーグループの重ね方

実効的な位置分解能を上げるために Triplet は 1/3 ずつずらして配置され、Doublet は 1/2 ずれて配置されている。

### 3.2.3 TGC からのシグナル

トリガー用のチェンバーである TGC は、25nsec 毎に起こる LHC のバンチ衝突を正しく識別するために、1 回のバンチ衝突による信号が 25nsec 以内の範囲に収まっていなければならない。図 3.10 に、粒子が TGC を通過してから信号を出すまでの時間分布が TGC に対する粒子の入射角度によってどのように変化するかを示す。これは 3GeV の  $\pi$  を用いたビームテストの結果である。

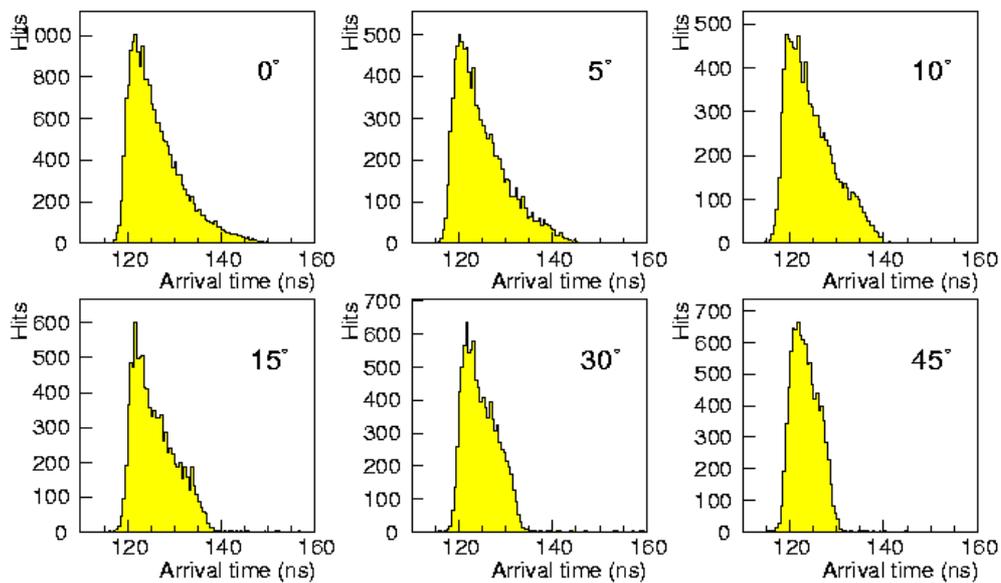


図 3.10: TGC の時間分布

どの角度から粒子が入ってきてても 25ns 以内に信号が収まっていることがわかる。[4]

図 3.10 からわかるように、約 115nsec で最も早い信号が到達する。ここから 25nsec の間、つまり 140nsec までに到達した信号が同じバンチとして認識される。入射粒子が 0 度 (TGC に垂直に入射) の時、時間分布の値は 25nsec になっているが、入射角度の増加に伴い、ジッターは

減少し 45 度では 15nsec 以下まで小さくなっている。この垂直入射の場合に見られる到達時間分布の遅いテールは、ワイヤ間の中間近傍付近に生じる電場が小さい領域のみを粒子が通過することから生じている。しかし、実際の実験環境下においては TGC への入射角度は 10 度から 45 度であり、その領域における時間分布は 25nsec よりも十分に小さい。

### overlap 領域

チェンバー間のデッドチャンネルをなくすため、各单位ごとに R 方向と  $\phi$  方向に対して overlap 領域が存在する。その領域でのデータの扱いについて簡単に述べる。

- R 方向での取り扱い

ワイヤに関しては、OR をとっている。データはひとつの大きなチェンバーのようにして扱い、単一のトラックが得られるようになっている。ストリップに関しては、ワイヤが単一のトラックを与えているため、ダブルカウントは起きないようにしている。

- $\phi$  方向での取り扱い

ワイヤに関しては、OR をとっていない(隣り合ったチェンバーは別のトリガーセクターに属している)。ここではストリップの情報を使ってデータがダブルカウントにならないようにしている。ストリップに関しては、図 3.11 にあるように、チェンバーの端のチャンネルをマスクすることによって、ダブルカウントが起きないようにしている。

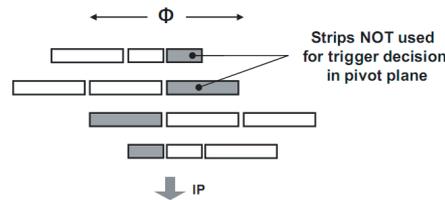


図 3.11: ストリップの overlap 領域でのマスク

$\phi$  方向でのストリップの overlap 領域。マスクをすることによって、ダブルカウントを防ぐ。[5]

## 3.3 TGC システムでのトリガー判定

TGC システムでは、TGC の 2 層構造、3 層構造を利用したコインシデンス処理とミュオン の  $p_T$  (横運動量) を用いて、トリガー判定を行う。コインシデンス処理でノイズなどの偶発的なトリガーを抑え、また、 $p_T$  の値によって我々の興味のある物理事象 (新粒子生成事象など) をトリガー判定することができる。

1 回のバンチクロッシングでトリガーセクター (3.1.2 参照) につき、Endcap、Forward 部分でそれぞれ最大 2 つのトリガー情報を発行することが可能である。トリガー情報にはヒットの位置情報 RoI (サブセクター単位)、 $p_T$  を 6 段階で評価した値が含まれる。

トリガー判定の具体的な論理は、第 4 章および第 5 章で TGC システムの読み出し回路と共に詳しく述べる。ここでは、 $p_T$  の決定方法について簡単に述べる。



## 第4章 TGCシステムの読み出し

ここでは先の章で説明したTGCからのデータを処理する方法について説明する。

まずシステム全体のデータの流れ、及び配置を述べる。次にTGCエレクトロニクスで使われる各モジュールについて説明する。そして最後にこれらのエレクトロニクスをコントロールする、オンラインソフトウェアについて簡単に述べる。

### 4.1 システム全体

TGCシステムの読み出しには、大きく分けて次の3つがある。

トリガー系 25nsec 毎に流れるトリガー判定の為の情報

リードアウト系 L1A が来ると読み出される TGC 各層でのミュオンヒットチャンネル情報

コントロール系 TGC エレクトロニクスの各モジュールをコントロールするための情報

TGCエレクトロニクスの全体像を図4.1に示す。赤線、青線、緑線はそれぞれトリガー系、リードアウト系、コントロール系を表す。

ビッグウィールでミュオンが検出されると、それらの信号はASD (Amplifier Shaper Discriminator) で増幅、デジタル化され、PSボード上にあるPP ASIC (Patch Panel ASIC) へと送られる。PP ASICではケーブルのDelayなどを調整し、そのデータをSLB ASIC (Slave Board ASIC) へと送る。SLB ASICではまずトリガー処理がなされ、そのトリガーはワイヤならHPT (High-Pt Board) ワイヤヘストリップならHPTストリップに送られる。トリガーを処理している間、データはSLB ASICの中のレベル1バッファに溜められる。トリガー情報はHPTにおいてR方向と $\phi$ 方向についてそれぞれコインシデンスが取られ、SL (Sector Logic) へと送られる。SLでR方向と $\phi$ 方向の情報が合わさり、MUCTPIに送られる。そしてそのトリガー情報がL1Aとなり、TTCからSLB ASICに送られると、レベル1バッファに溜めてあったデータはSLB ASIC内のデランダムマイザを通じてSSW (Star Switch) へ送られる。SSWではデータの圧縮などを行い、そのデータがROD (Readout Driver) を通りROBへと送られる。そしてこのようなシステムをコントロールするのがHSC (High-pT Star-switch Controller Board) やCCI (Control Configuration Interface Board) といったモジュールである。

次節から3種類のシステムについて説明する。

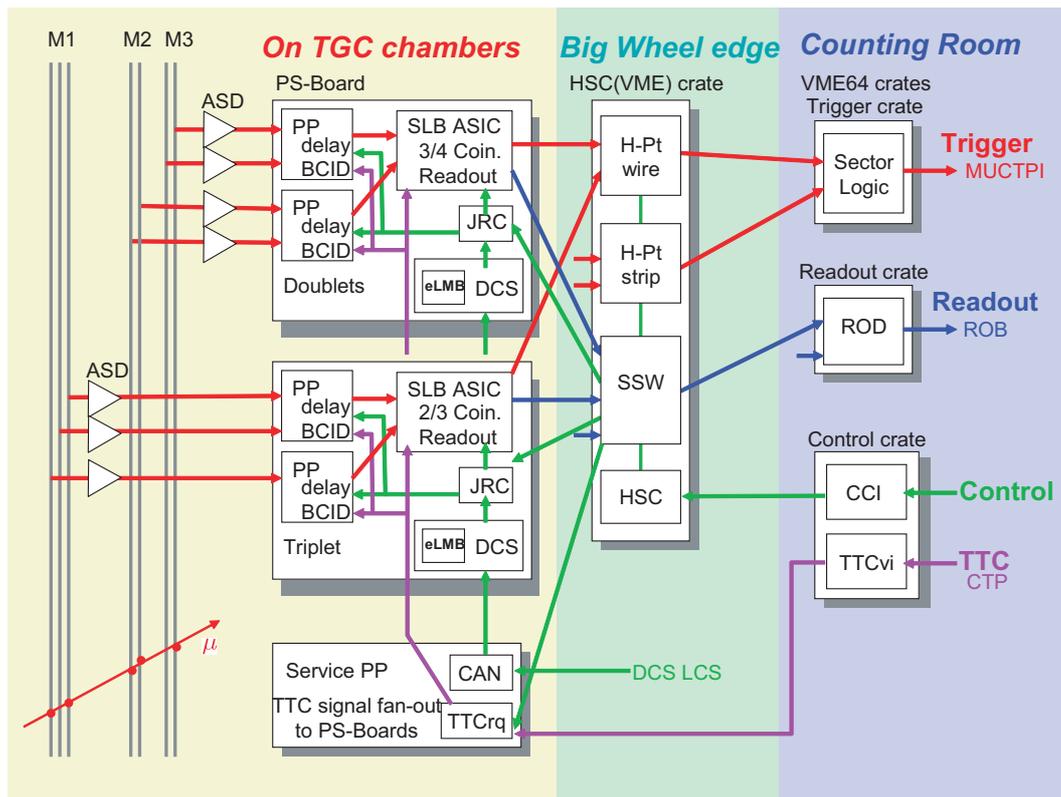


図 4.1: TGC エレクトロニクスのシステム概要

TGC エレクトロニクスはトリガー系、リードアウト系、コントロール系に分類される。また、その設置場所にはチェンバー上、ビッグウィールの端、カウンティングルームと 3 つの場所に設置される。[9]

#### 4.1.1 トリガー系

トリガー系の流れは、ASD ボード、PP ASIC、SLB ASIC、HPT、SL の順に信号が処理される (図 4.2)。TGC から出力されるアナログ信号は、ASD ボードに送られ、信号の増幅・整形・デジタル化が行われ、LVDS (Low Voltage Differential Signaling) 信号で PP ASIC へと送られる。PP ASIC では、各チャンネルへ粒子が到達するまでの飛行時間である TOF (Time of Flight) やケーブル遅延などから生じるタイミングのずれを調整し、バンチ識別を行う。SLB ASIC では、PP ASIC からの信号を受け取り、4 層からなる pivot,middle Doublet からの信号をもとにコインシデンス処理 (3 out of 4) が行われ、トリガーの判定が行われる。また Triplet からの信号についてもコインシデンス処理 (ワイヤ:2 out-of-3, ストリップ:1 out-of-2) が行われる。HPT では、SLB ASIC で測定した Doublet 及び Triplet のコインシデンス処理の結果を基に、 $p_T$  コインシデンス情報が生成される。SL では、それまで独立に扱われていたワイヤとストリップの情報を統合し、コインシデンス処理が行われ、TGC のトリガー系の最終的な情報として  $p_T$  が大きな 2 つのトラックをセクター毎に選び出す。SL の結果は、MUCTPI に送られ、RPC の情報と合わせて、ミュオンの最終的なトリガー判定が下される (図 4.3)。

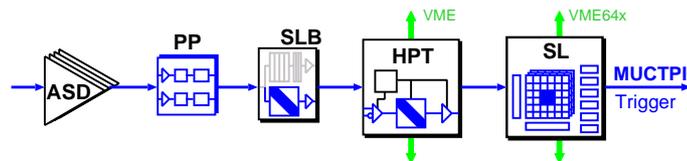


図 4.2: TGC エレクトロニクスのトリガー系

ASD と PS ボードの間は LVDS パラレルケーブルでつながれる。PS ボードから HPT までは CAT6 のケーブルでつながれ、この間は 10m~15m となっている。HPT と SL はオプティカルのケーブルでつながれる。HPT はビッグウィールの端に取り付けられ、SL はカウンティングルームに置かれる。

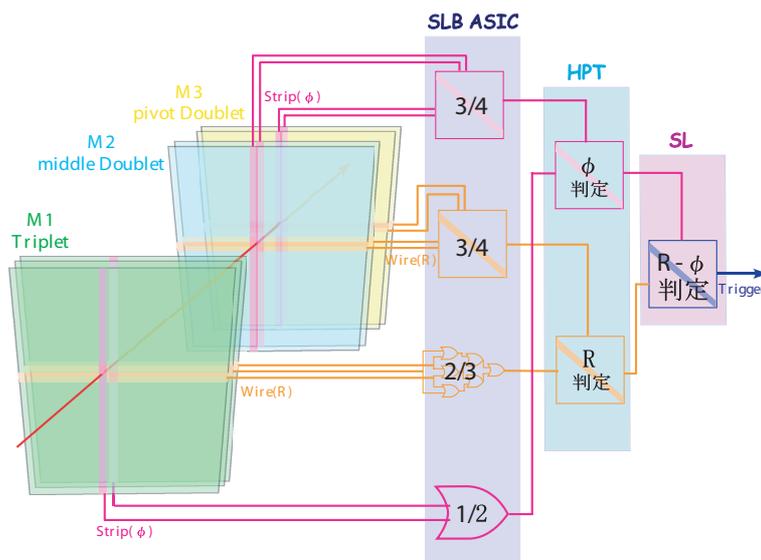


図 4.3: TGC トリガーの判定方法

まず SLB ASIC においてローカルなコインシデンスが取られる。次に HPT において R 方向と  $\phi$  方向のそれぞれがまとめられ、コインシデンスを取り、SL で R 方向と  $\phi$  方向を合わせたコインシデンスが取られる。

#### 4.1.2 リードアウト系

リードアウト系の流れを図 4.4 に示す。PP ASIC から送られてきたデータは、SLB ASIC の中にあるレベル 1 バッファに蓄えられ、L1A 信号を受けたデータのみがデランダムライザを通じて、次段の SSW へと送られる。SSW はマルチプレクサ\*として複数の SLB ASIC からのデータを収集し、ゼロサプレスという方法で圧縮を行い、光信号 (G-Link) でエレキハットの ROD まで送る。このとき、トリガー情報 (コインシデンス処理の結果) は PS ボードに搭載された SLB ASIC から同様に SSW に送られ、データと一緒に ROD に送られる。ROD では SSW からの情報を収集し、それらのデータと TTC から送られてくる情報との整合性を確認し、ROB にデータを渡す (図 4.5)。

\*ふたつ以上の入力をひとつの信号として出力する機構。

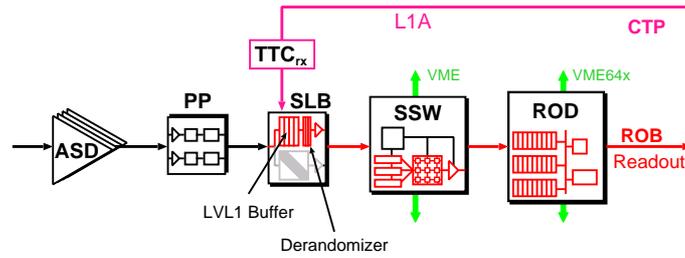


図 4.4: TGC エレクトロニクスのリードアウト系

LVL1 バッファとデランダムマイザの半分を SLB ASIC が受け持ち、SSW が残り半分のデランダムマイザとマルチプレクサを受け持つ構造をしている。これは SSW が複数の SLB ASIC を処理し、ROD ヘータを送りやすくするためである。

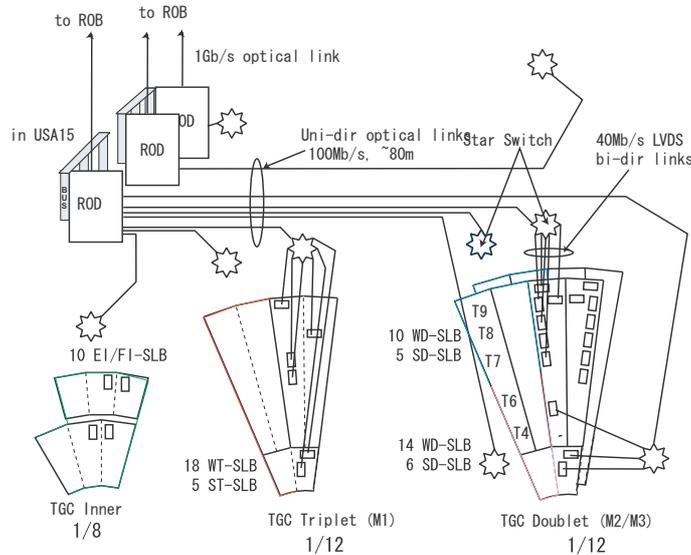


図 4.5: TGC からのリードアウトのスキーム

ASD からのデータは PS ボードで処理され SSW に送られる。SSW では複数の SLB ASIC を処理して、ROD に送る。

### 4.1.3 コントロール系

コントロール系は、ATLAS 実験では各検出器の制御と監視を統一的な方法で行うために DCS (Detector Control System) が導入されている (図 4.6)。フロントエンドには ADC (Analog-Digital Converter)、DAC (Digital-Analog Converter)、eLMB (embedded Local Monitor Box) などを搭載した DCS カードが PS ボード上に設置される。HPT/SSW が搭載される VME クレー† (HSC クレー†) は実験室外の CCI から HSC を介してコントロールされ、PS ボード上の PP ASIC/SLB ASIC の設定は SSW から行う。また、TGC エレクトロニクスでは、DCS は温度状態管理や供給電源の監視、さらに SSW から行われる PP ASIC/SLB ASIC の設定も、バック

†ここで VME とは、Versa Module Europe の略である。IEEE で規格化された産業用の標準バスで、96 ピン DIN コネクタを実装した 32 ビット・バスで最大通信速度は 50MB/sec であり、高エネルギー物理の分野でも一般的に用いられているものである。

アップのために eLMB から行えるようにしてある。PS ボード上には JTAG † プロトコルの PP ASIC/SLB ASIC への経路選択を行うために JRC ( JTAG Routing Controller ) が設置される。

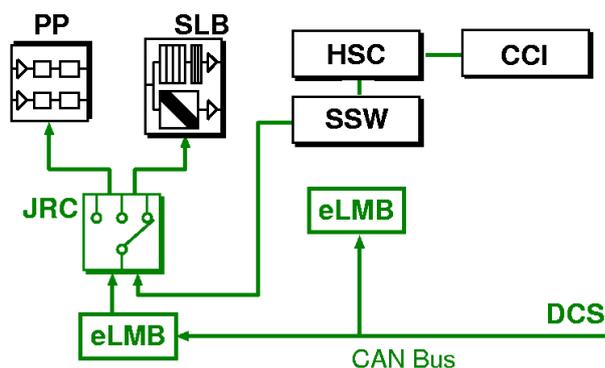


図 4.6: TGC エレクトロニクスコントロール系

SSW と HPT は PC から CCI、HSC の順でコントロールされる。更に SSW は JRC を通じて PS ボードへの設定を行える。JRC へのアクセスは、バックアップとして eLMB から可能になっている。また、ASD には設定すべき項目がなく、ROD や SL は PC から直接制御される。

## 4.2 TGC エレクトロニクスの設置

TGC エレクトロニクスは TGC 側面に直付けされている ASD 以外に大きく 3 つの場所に分けられて設置される ( 図 4.1 における、バックグラウンドの色がそれを表している )。チェンバー上に載るものと、ビッグウィールの端に載るもの、そしてカウンティングルームに設置されるモジュールである。

PS Pack はチェンバー上に、図 4.7 の様につけられ、Triplet に関しては ( 衝突点から見て ) 前面に、Doublet は、pivot の裏側に設置される。ビッグウィールの外縁には、HSC、HPT、SSW が搭載された、HSC クレートと呼ばれる VME クレートがおかれる。HSC クレートは 1 つの 1/12 に 1 台設置される。以上の 2 つの場所は UX15 と呼ばれる実験ホール内にあるので、ここに設置されるモジュールは強い放射線環境下に置かれる。そのため、使用する IC は放射線耐性がある ASIC や Antifuse FPGA ( Field Programmable Gate Array ) が用いられる。3 つ目の場所は実験ホールから 90 ~ 100m 離れた外にある USA15 にあるカウンティングルームで、ここには VME64x クレートが置かれ、CCI、SL、ROD が搭載される。図 4.8 と図 4.9 に設置位置を示す。

† IC の検査方式の 1 つで、チップ内部にプローブテストと同様の挙動を行なう JTAG ボードと呼ばれる端子およびレジスタを構成し、外部からテストコードを入力してそれに対する IC の挙動を調査する方法。また、JTAG に対応した回路と TAP ( Test Access Port ) と呼ばれる 5 本の端子からなるインターフェイスを持たせ、テストデータの入出力や制御に用いることができる。

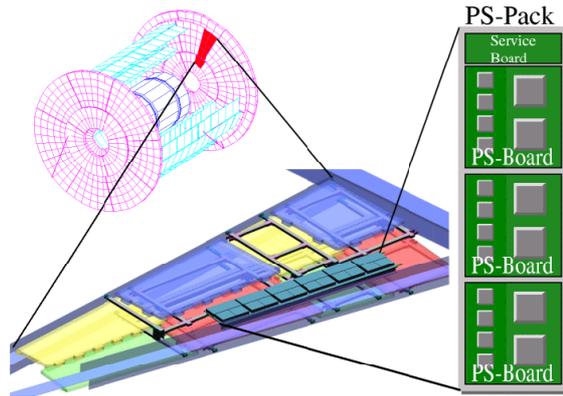


図 4.7: PS-Pack の構成と配置

PS Pack は 1/12 セクターの側面に取り付けられる。[5]

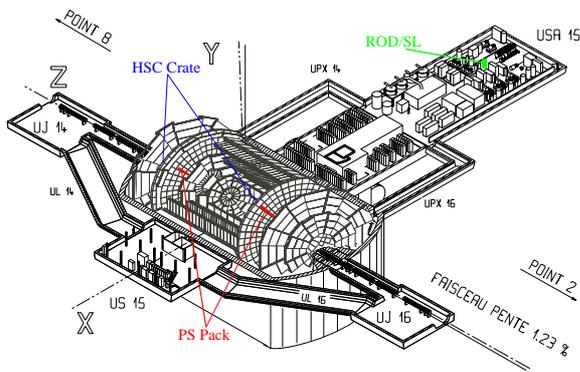


図 4.8: TGC エレクトロニクスの配置

PS Pack はチェンバー上に置かれ、HSC クレートはビッグウィールの端に取り付けられる。そこから離れた USA15 には VME64x クレートがおかれ、CCI や SL、ROD が置かれる。

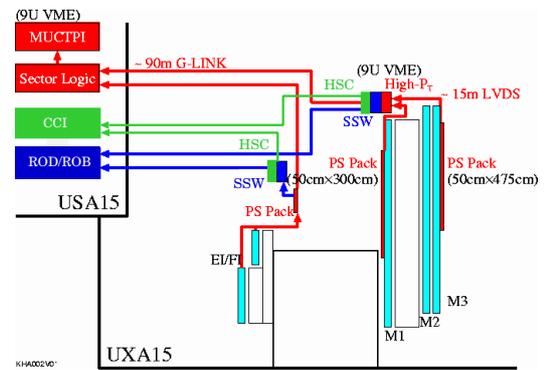


図 4.9: TGC エレクトロニクスの配置 (R-Z 断面)

Triplet 用の PS Pack は IP 側に取り付けられ、Doublet 用の PS Pack は IP の裏側に取り付けられる。

## 4.3 エレクトロニクスの詳細

### 4.3.1 ASD Board

ASD ボードは TGC の側面に取り付けられ、4 チャンネル分の処理が出来る ASD ASIC が 4 個搭載され、1 つのボードで 16 チャンネルを処理する。ASD ASIC は、TGC からのアナログ信号を増幅、整形し、ある閾値電圧を越えた信号だけを LVDS レベルの信号で出力する。また、ASD ボード以降のエレクトロニクスの診断やタイミング調整のために、トリガー信号を受けて擬似的な TGC の出力信号 (テストパルス) を出力する機能も持っている。ASD ボードは、後述する PP ASIC が設置される PS ボードとツイストケーブルで接続され、動作電源、閾値電圧、テストパルスのためのトリガーは全て PS ボードから供給される。また、ASD ボードには 16 チャンネル目のアナログ信号をモニタできるアナログ出力もついている。図 4.10、図 4.11 に ASD ボードの写真と ASD ASIC のブロック図を載せる。

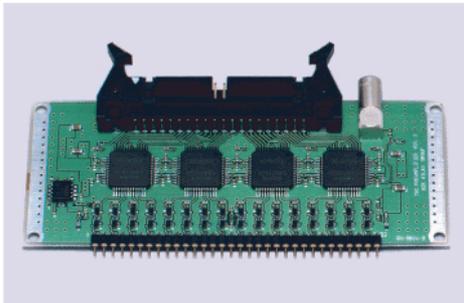


図 4.10: ASD Board

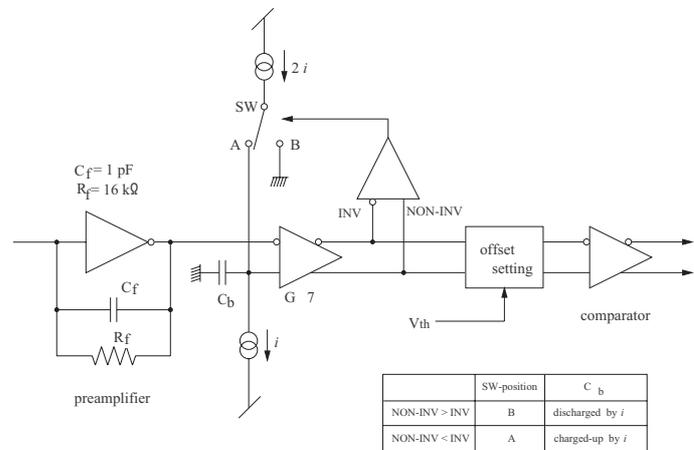


図 4.11: ASD ASIC のブロック図

ASD ボードは信号の増幅やデジタル化などを行う。また、閾値によって信号を選別する様子などが書いてある。[11]

### 4.3.2 PP ASIC

ASD から送られてくる信号は、TOF やケーブル遅延などで到達時間は必ずしも揃わない。そこで、PP ASIC でタイミング調整とバンチ識別を行う。具体的には、ASD からの LVDS 信号を LVDS レシーバーにより、CMOS レベルの信号に変換する。次に variable delay 回路で、各チャンネルにそれぞれ 0~25ns の範囲で Delay をかけることによりタイミングの調整を行う。この Delay は 25/28ns 単位で調整が可能になっている。タイミング調整された信号は BCID (バンチクロッシング ID) 回路に入り、TTC から供給される LHC clock と同期が取られバンチ識別が行われる。最期に TGC の重なった部分のダブルカウントを防ぐため、OR ロジックを通して SLB ASIC に送られる。また PP ASIC は、ASD Board に向けてテストパルスを発生させるためのトリガーを出力するテストパルス回路も搭載している。テストパルスの振幅、タイミングは可変であり、JTAG プロトコルによって制御出来る。PP ASIC は一つで 32 チャンネル信号を処理できる。図 4.12 に PP ASIC のブロック図を示す。

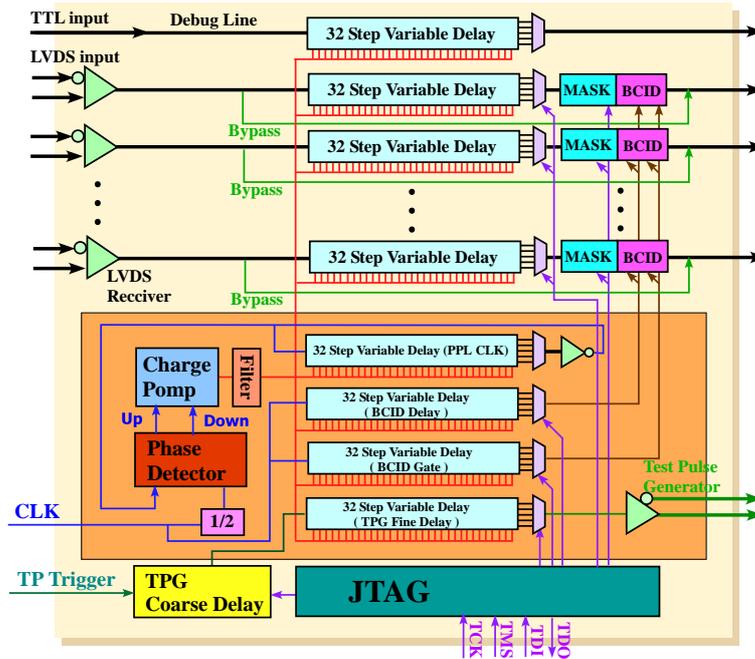


図 4.12: PP ASIC のブロック図

PP ASIC には Delay 調整や、テストパルス回路が搭載されている。1 つの PP ASIC で 32 チャンネル分を処理することができる。[10]

### 4.3.3 SLB ASIC

SLB ASIC のブロック図を図 4.13 に載せる。SLB ASIC は大きくわけて、トリガー部とリードアウト部からなる。以下、それぞれ分けて説明する。

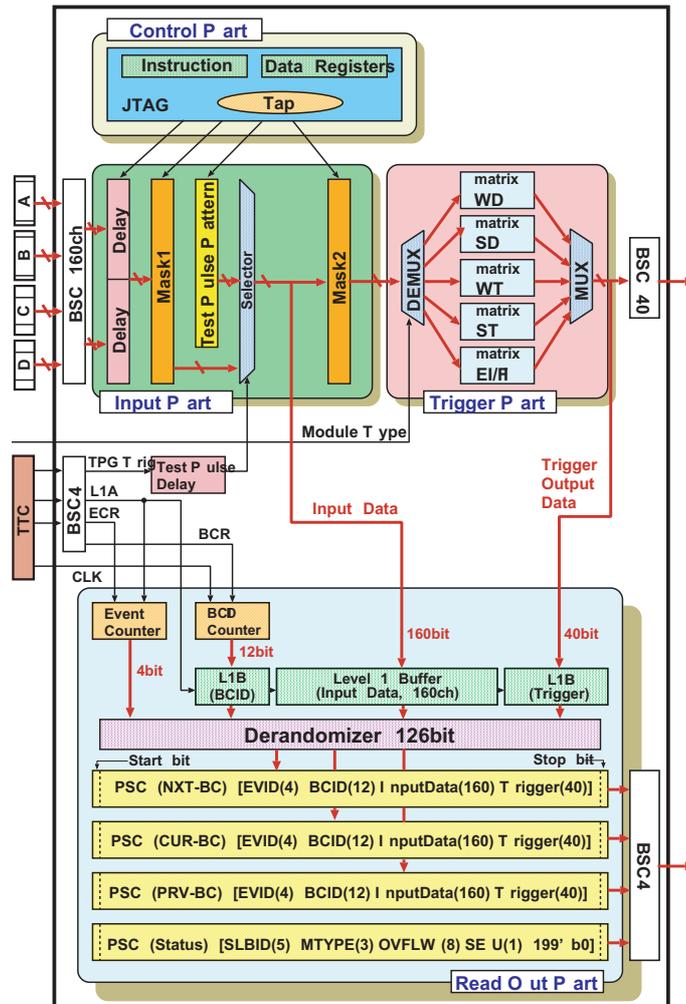


図 4.13: SLB のブロック図

PP からのインプットを受け取り、トリガーに渡す部分とリードアウト（デランダムマイザー）に渡す部分に分かれている。

### トリガー部

ワイヤカストリップ、Doublet か Triplet などによって 5 種類のコインシデンスマトリックス（ワイヤ Doublet、ストリップ Doublet、ワイヤ Triplet、ストリップ Triplet、EI/FI）を切替えて使用する。コインシデンスウィンドウは、ワイヤが  $\pm 7$ 、ストリップが  $\pm 3$  channel である（図 4.14）。Triplet、Doublet にはそれぞれ、 $2/3$ （Strip は  $1/2$ ）、 $3/4$  のコインシデンス条件が課される。また、PP ASIC からの信号に  $1/2$  clock 単位でディレイをかける機能や、各チャンネルをマスクする機能、連続したチャンネルにヒットがあった時にその中の一つのチャンネルだけから信号を出力させる機能（デクラスタリング:図 4.15 参照）、さらに SLB 以降のエレクトロニクス の診断やタイミング調整を行うためのテストパルスを出力する機能も持っている。設定は JTAG で行われる。

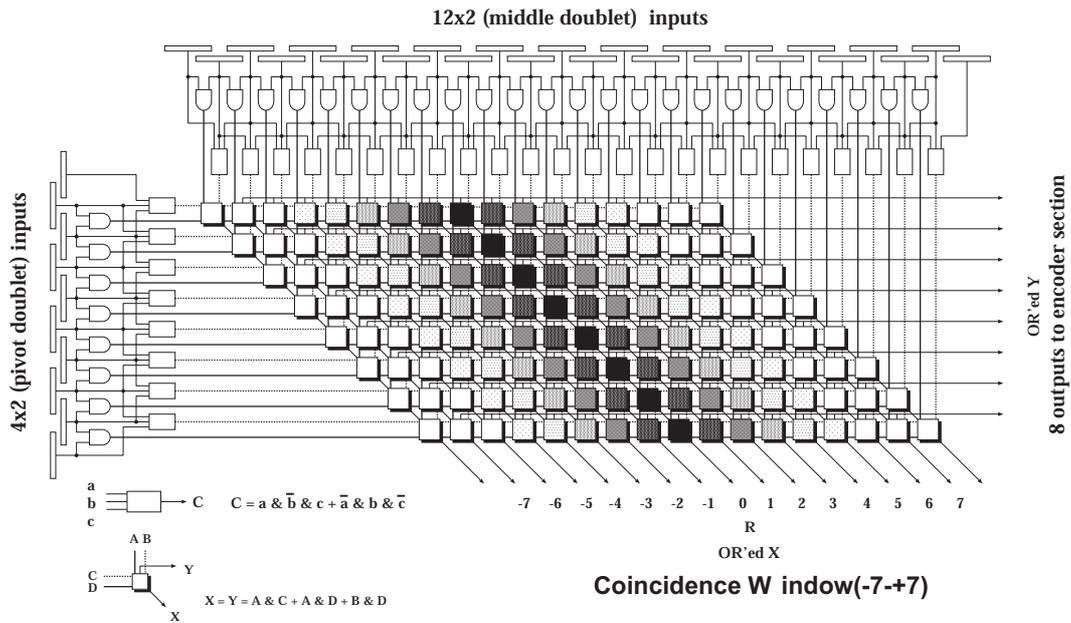


図 4.14: Wire Doublet SLB の場合のコインシデンスマトリックス

ワイヤのコインシデンスウィンドウは  $\pm 7$  から構成されている。[5]

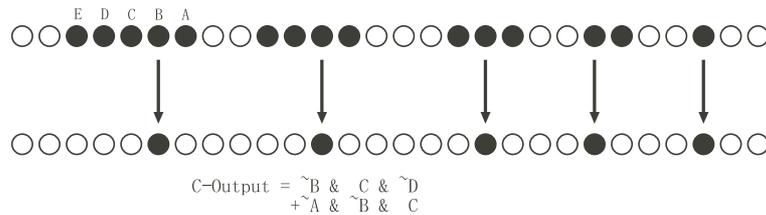


図 4.15: デクラスタリング

多くの連続したヒットがあった場合、その中の 1 つのチャンネルからのみ信号を取り出す。[5]

### リードアウト部

リードアウト部は、LVL1 トリガーの判定を受けたデータの読み出しを行う部分である。主に LVL1 バッファとデランダムマイザにより構成される。データは LVL1 バッファと呼ばれる、幅 212bit、深さ 128 段のシフトレジスタに蓄えられる。212bit の内訳は入力データ 160bit、トリガーパートの出力 40bit、バンチ・カウンタ値 12bit となっている。このデータは CTP からの L1A が与えられるまでの時間保持され、L1A が与えられると該当するデータとその前後 1 バンチずつの、計 3 バンチ分のデータにそれぞれ、イベントカウンタの値 (4bit) が付加されデランダムマイザにコピーされる。デランダムマイザにコピーされるとすぐに、3 バンチ分のデータは別々にシリアルに変換し SSW に送られる。

### 4.3.4 JRC

JRCは2系統の入力ポートと7系統の出力ポート、それらをコントロールするための2系統のJTAGポートを持つスイッチングルータである。それぞれのラインは、 $\overline{\text{TRST}}$ , TCK, TMS, TDI, TDOの5つの信号から成る。2系統の入力ポートはSSWとeLMBからのもので、図4.16のようにCA\_JTAG(またはCB\_JTAG)がJRC内のスイッチをコントロールすることで、Q1~Q7のポートのうち1つを選択してDA\_JTAG(またはDB\_JTAG)の信号をそのまま出力する。JRCは、PP/SLBにアクセスするためのインターフェイスであり、PP/SLBの設定はJRCを中継して行われる。7系統の出力ポートは、4つがPP ASICへのもので、3つがSLB ASICへのものである。

JRCはAntifuse FPGAを使っている。

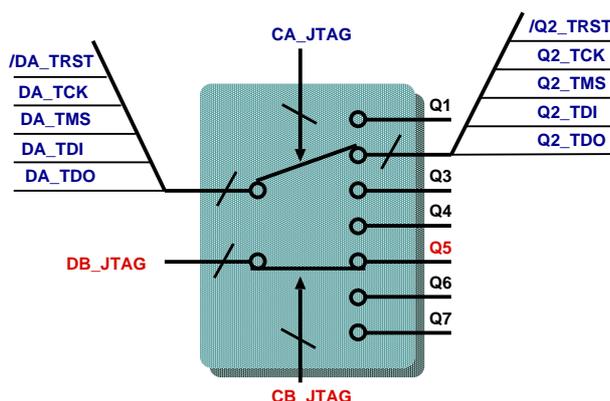


図 4.16: JRC 内部の模式図

2系統の入力と、7系統の出力から成り立っている。そのルートを2つのコントロールラインから行う。[12]

### 4.3.5 TGC DCS

TGC DCS ボードはeLMBと呼ばれるサブモジュールを使用し、ADC( Analog-DigitalConverter ) やDAC ( Digital-Analog Converter ) が搭載され、センサーからの信号をデジタル化してモニタし、制御用のアナログ信号を作り出せる。具体的には、温度モニタ、エレクトロニクスの電圧・電流モニタ、チェンバー位置モニタ、TGCのアノードに印加するHV ( High Voltage ) 電源電圧のモニタとコントロール、ASDの閾値電圧の設定などを行う。eLMBはCANバス<sup>§</sup>を通じてデータの読み書きが行われる。

<sup>§</sup>CAN ( Controller Area Network ) はマルチマスターのシリアルバスシステムで、アドレスの概念がなく、送信側は識別子を付けてメッセージを配信し、受信側はその識別子を見てメッセージを受信するかを決めるプロトコル。

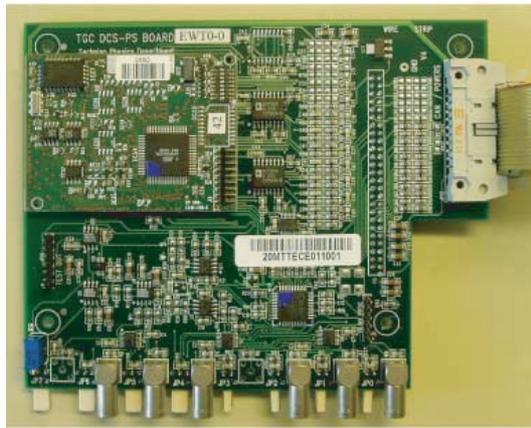


図 4.17: DCS

### 4.3.6 PS Board

PS ボードには図 4.18 に示すように、PP ASIC、SLB ASIC、JRC、eLMB が搭載される。PS ボードでは、ASD からの LVDS 信号を PP ASIC で受け、TGC の overlap 領域でのダブルカウントを防ぐための OR 論理回路を通して、SLB ASIC へ送られる。SLB ASIC で、トリガー系と読み出し系に分かれ、トリガー用データは HPT へ、読み出し用データは SSW へと、それぞれシリアルライズされて、LVDS 信号で送られる。また、SSW あるいは eLMB から送られてくる PP/SLB を制御するための JTAG 信号は、JRC により PS Board に設置される各 ASIC に分配される。さらに PS Board は、ASD Board に電源電圧と閾値電圧を供給する役割も果たす。PS ボードは後述する SPP (Service Patch Panel) から、TTC (Timing Trigger Control) によって供給される LHC clock や、各種 Reset 信号、テストパルスのためのトリガー信号等の信号を受け取る。図 4.19 に PS ボードの写真を示す。

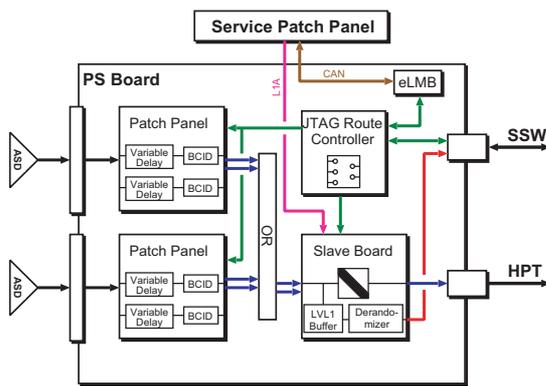


図 4.18: PS Board の構成図



図 4.19: PS Board

PS ボードは PP ASIC や SLB ASIC が搭載されたボードで、1つのボード当たり最大 320 チャンネルの信号を処理することができる。

### 4.3.7 SPP Board

SPPにはTTCの信号を受信する機能を持つTTCrqが載せられ、TTCからLHC clock、L1A、BCR、ECR、Test Pulseトリガー等の信号を受け取り、それらの信号を10又は17枚のPS Boardに分配する。

SPPには、TTCrqの設定を行うためにI<sup>2</sup>Cプロトコルを受信する、CAT6(カテゴリー6)ケーブルのポートが搭載されている。また、HPTクレートへclockとリセットを供給するカテゴリー5ケーブルのポートが搭載されている。図4.20にSPPの写真を載せる。

### 4.3.8 PS Pack

PSボードとSPPは、図4.21に示すようなPS-Packにまとめられ、Tripletの前面、及びDoubletの後面に設置される。PS-Packは1/12毎に2つ設置され、1つのSPPと複数のPSボード(Tripletは10枚、Doubletは17枚)から構成される。

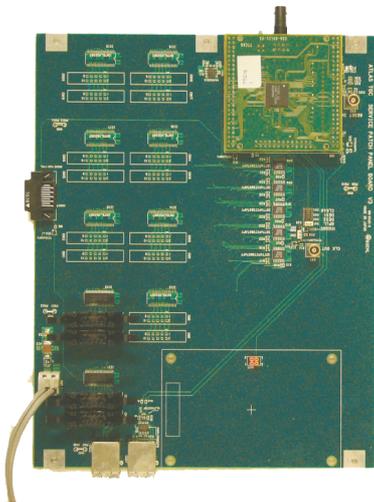


図 4.20: Service Patch Pane

TTCからの信号を受信し、それらの信号をPSボードへと供給する。



図 4.21: PSpack

基本的に、1つのPSpackの中に2枚のPSボードが収められる。

### 4.3.9 HPT

HPTはDoubletとTripletの情報を用いてHPTコインシデンス情報を生成する。HPTはまず、PS Boardから送られてきたLVDSレベルのシリアライズされたデータを、パラレルのデータに変換する。HPTでは、SLB ASICまで独立に処理されてきたDoubletとTripletのデータを統合してHPTコインシデンス情報を生成する。Tripletは2つのDoubletよりも衝突点に近く、しかもDoublet同士の間隔よりも離れた位置に設置されているため、Tripletを用いることによりトROIDALマグネットによってあまり曲げられることがなかった大きな $p_T$ を持つミュオン信号を選別できる。HPTではワイヤとストリップは独立に処理が行われ、 $\delta R, \delta \phi$ を出力する。図4.22にワイヤ、図4.23にストリップのブロック図を載せる。出力データはシリアライズされ、オプティカル信号に変換されて、光ファイバーによって90~100m離れた実験室外のカウンティング・ルーム(USA15)にあるSLに送信される。HPTはエンドキャップ領域用のワイ

ヤとストリップ用、フォワード領域用の計3種類作られる。フォワード領域用には3つ、エンドキャップ領域用には4つのHPT ASICが搭載される。図4.24にHPT Boardの写真示す。

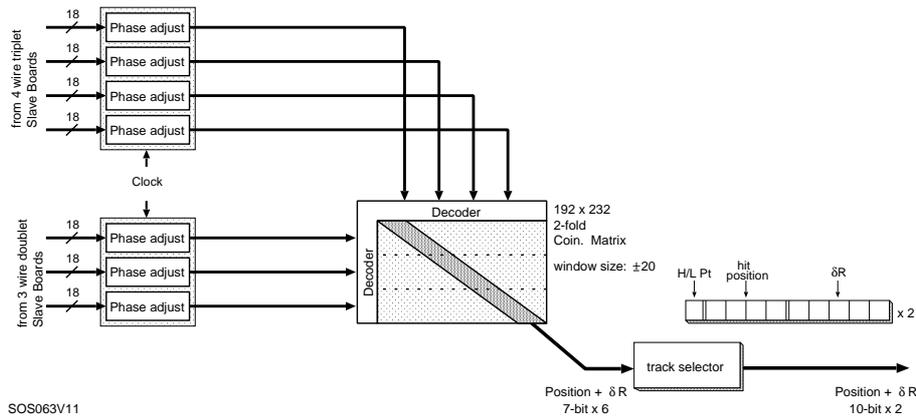


図 4.22: HPT ワイヤ ブロック図

コインシデンスウィンドウは  $\pm 20$  チャンネルの範囲でなされる。

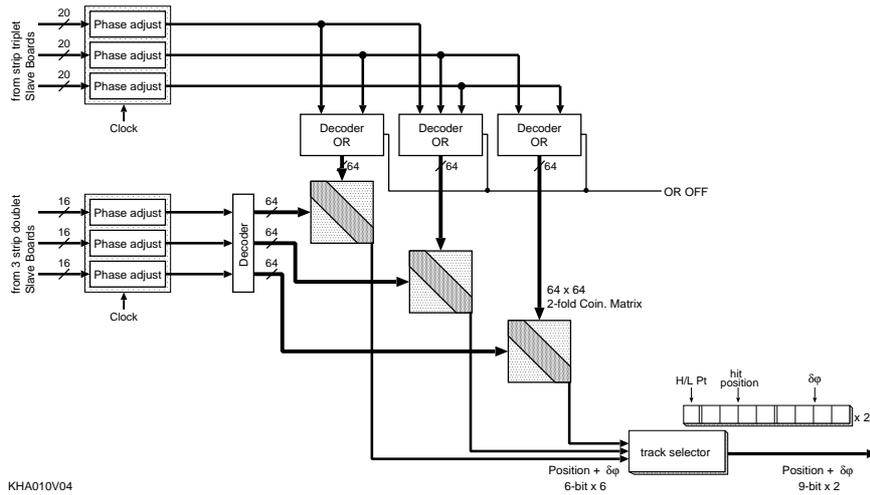


図 4.23: HPT ストリップ ブロック図

コインシデンスウィンドウは  $\pm 7$  チャンネルの範囲でなされる。

### 4.3.10 SL

SL については第 5 章で詳しく説明し、ここでは簡単に述べることにする。

SL (Sector Logic) は TGC エレクトロニクスシステムのトリガーのデータが最終的に集められるモジュールであり、2 トリガーセクター分の信号を処理する。SL は主に R- $\phi$  コインシデンス、プレトラックセクター、ファイナルトラックセクターから構成される。まず SL は、HPT から送られてきたシリアルライズされているオプティカル信号を受け取り、電気信号に変換

した後パラレル変換をする。そして、HPT Boardまで独立に処理されていたR方向(ワイヤ)と $\phi$ 方向(ストリップ)のHPT信号から両者のコインシデンス(R- $\phi$ コインシデンス)を取ることにより、ミュオンのトラックを構築する。それらのトラックを、SSC(Sub-Sector Cluster:R方向に2つ、 $\phi$ 方向に4つのサブセクターのあつまり)ごとに6段階の $p_T$ の閾値によって分類する。はっきりと決まっている閾値は $p_T$ の4GeV以上<sup>1)</sup>ということのみで、その他は探索する物理により実験中に自由に変更出来ることが要求されるので、閾値は書き換え可能なLook-Up Table(LUT)によって実装される。プレトラックセクターは、6段階の $p_T$ 判定のそれぞれに用意され、 $p_T$ の大きい順に2つの選択して、計12トラックがファイナルトラックセクターに送られる。ファイナルトラックセクターでは、プレトラックセクターから送られた1トリガーセクター分のトラックから $p_T$ の大きいものを2つ選択して、6段階の $p_T$ 判定と位置情報をMUCTPIに送る。このロジックはFPGAに書き込まれる。SLが処理に使用したHPTからのデータとSLでの処理の結果は、SLに搭載されたSLBからUSA15に設置されたSSWに送られる。SLには各セクタに対して一つずつSLBが搭載され、JRCも搭載される。図4.25にSLの写真、図4.26にブロック図、図4.27にSLでの処理の流れを載せる。



図 4.24: HPT Board

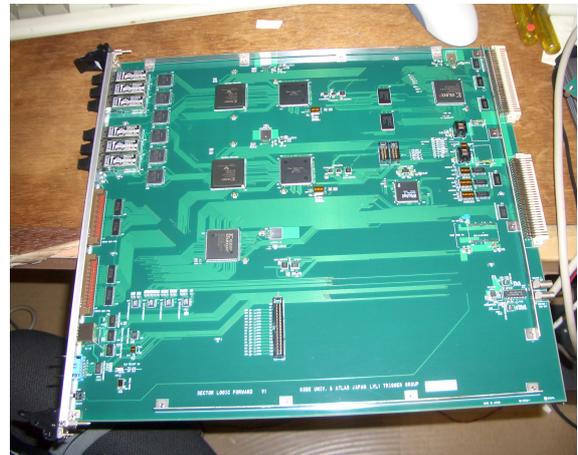


図 4.25: SL

SLにはかなり容量の大きいFPGAが搭載される。それはLUTが非常に大きなマトリックスを持っているからである。

<sup>1)</sup>TGCシステムとしてはTrigger efficiencyが100%となる6GeV以上が望ましいが、ATLASの開始時は $p_T$ 4GeV以上ということが決まっているので、閾値は4GeV以上に対応させている。

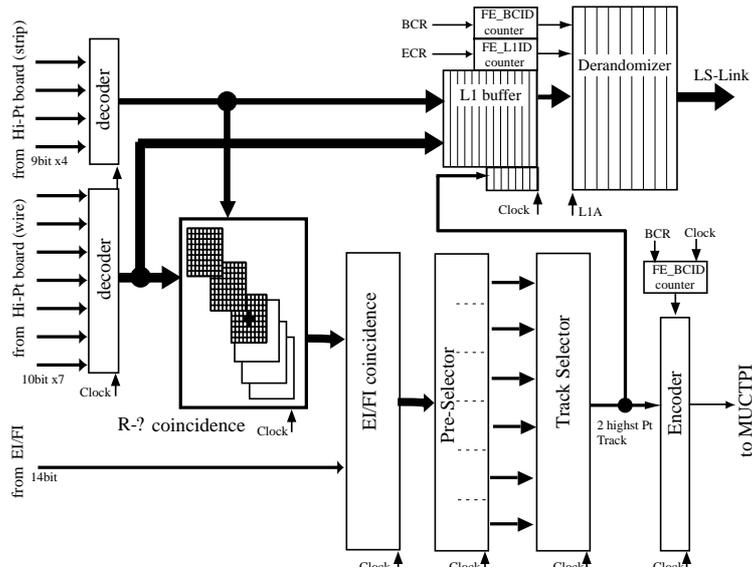


図 4.26: SL ブロック図

SL ではこれまで別々に処理されていた R と  $\phi$  の情報が統合される。そして MUCTPI にトリガー情報が送られる。

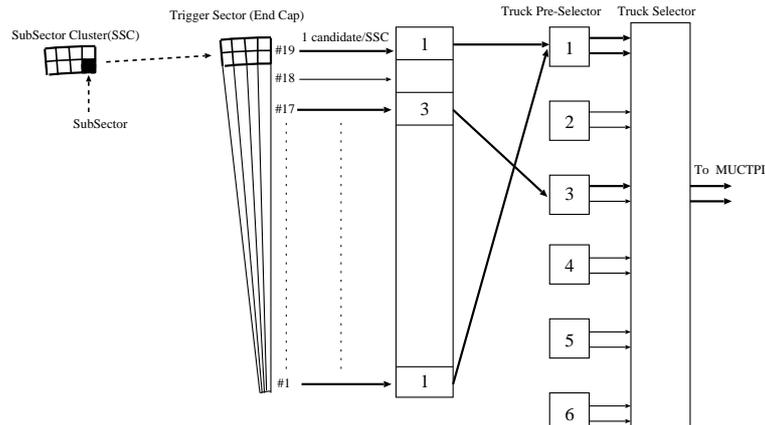


図 4.27: SL での処理の流れ

サブセクター情報から、徐々に大きな領域を見ていき、大きな  $p_T$  情報を持った情報を取り出していく。

### 4.3.11 SSW

SSW (Star Switch) の主な役割は、SLB のリードアウトから送られてくるデータを圧縮し、ROD にデータを送る前にデータ量を減らして、効率よい読み出しができるようにすることである。具体的なデータ圧縮は、データを cell と呼ばれる 8bit ごとの塊に分け、各 cell にアドレスを付け、値がゼロでない cell だけをアドレスと共に送る。TGC の全チャンネルのうちヒット信号を発生するのはごく一部なので、これによりデータを減らすことが出来る。1 つの SSW で最大 23 個の SLB のデータを受ける。SSW はまず、SLB からの LVDS レベルのシリアルライズされたデータを受け取り、それをパラレルのデータに変換する。そのデータは SSWrx (レシー

バー)に送られ、データの圧縮が行われる。その後データは、SSWtx(トランスミッター)に送られ、フォーマットされる。フォーマットされたデータはシリアルライズされ、オプティカル信号に変換されて90~100mはなれた実験室の外にあるRODに送られる。またSSWは、PS Board上のPP ASIC、SLB ASICにJTAGプロトコルによってレジスタ設定と、I<sup>2</sup>CによるSPP上のTTCrxの設定も行う。図4.28にSSWの写真を載せる。

### 4.3.12 ROD

ROD(Read Out Driver)はTGCエレクトロニクスシステムの中でリードアウトのデータが最終的に集まるモジュールである。RODは複数のSSWからシリアルライズされた圧縮データをオプティカル・ファイバーを通して受け取り、オプティカル信号を電気信号に変換した後パラレル・データに戻し、FIFOメモリーに一時格納する。このデータを、トリガー情報を元に同じイベントごとにまとめ、決められたフォーマットにしたがってヘッダー、トレーラーをつける。まとめられたデータはS-linkという、フロントエンドとリードアウトのエレクトロニクスを繋ぐためにCERNで開発された光信号のリンクモジュールによってROBに送信される。イベントの同定やヘッダー、トレーラーをつけるためにはTTCからのトリガー情報が必要となるため、RODにはTTCrxが載せられたメザニンボードが搭載され、これによりTTCからの信号を受け取ることができるようになっている。

RODは100kHzでこれらの処理ができるように求められているが、RODはカウンティングルームに置かれるため、まだ最終版の開発が終わっていない。図4.29にTest RODの写真を載せる。



図 4.28: SSW

複数のSLBからのデータを処理する。デランダムマイザの一部と、マルチプレクサを搭載する。

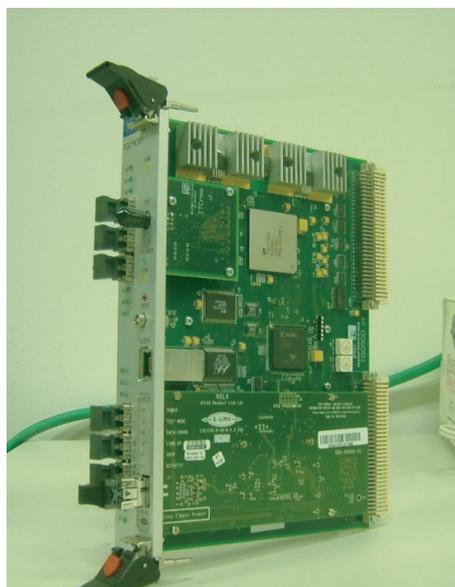


図 4.29: Test ROD

### 4.3.13 HSC

HSC ( High-pT Star-switch Controller Board ) は HPT、SSW と同じ VME クレート ( HSC クレート ) に載せられる、VME マスターモジュールである。後述する CCI とオプティカルケーブルで結ばれ、CCI からの命令を受け取る。命令を受け取ると、命令に対応した処理を行いその後 CCI へ応答を返す。命令は HPT や SSW に対するもので、命令を受け取ると VME バスを支配しスレーブモジュール ( HPT、SSW ) に対して命令を伝える。また VME バス以外に JTAG バスも使用されている。このため HSC には、CCI との情報のエンコード、デコードのために 2 種類の機能が用意されている。ひとつは PPE ( Primary Protocol Encoder ) という JTAG 用のもので、リセットや JTAG のコントロールを行う。もう一方は SPE ( Secondary Protocol Encoder ) という VME 用のもので、VME のコントロールを行う。図 4.30 に HSC の写真を載せる。

### 4.3.14 CCI

CCI ( Control Configuration Interface Board ) はローカルホストからの命令を受け取り、命令専用レジスタに格納したあと HSC へと送信する。一方 HSC からの応答は、応答専用レジスタに格納されローカルホストが読み出す。

これら以外にも状態監視用のレジスタや VME 優先割り込み用のレジスタが用意され、これらは VME 経由でアクセスすることが可能である。図 4.31 に CCI の写真を載せる。



図 4.30: HSC



図 4.31: CCI

HSC と CCI はカウンティングルームにある PC からの信号を受け渡しするモジュールである。HSC は CCI からの命令を受け取り、SSW や HPT ボードをコントロールする。

CCI は PC からの命令を受け取り、HSC へと渡す。

## 4.4 オンラインソフトウェア

これまで見てきたハードウェアは、オンラインソフトウェアの枠組みを用いてセッティングなどが行なわれる。そのオンラインソフトウェアについて簡単に説明する。

### 4.4.1 オンラインソフトウェアの概要

ATLAS では全システムが同期を取ってコントロールされ、各検出器の各部分が 25ns 間隔で起こる事象を正確に特定し、同じバンチのデータの収集と解析をする必要がある。そのために、

ATLAS で使用されるオンライン環境はオンライングループが発行しているオンラインソフトウェアパッケージの枠組みの上に構築される ( 図 4.32 )。オンラインソフトウェアの役割は、データベースへのアクセス、ユーザーとのインターフェイスの供給、各ソフトウェア要素のコントロール等であり、データ収集を制御する。図 4.33 に DAQ システムの GUI を載せる。それぞれの state と segment がわかるようになっている。

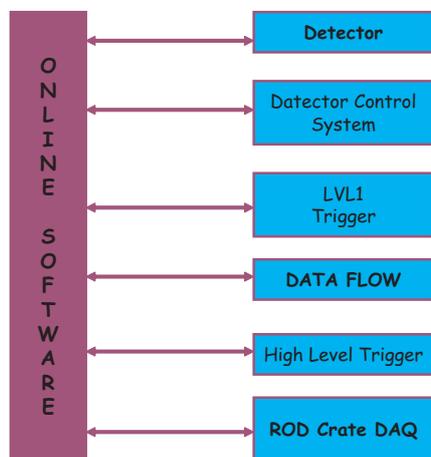


図 4.32: オンラインソフトウェア環境

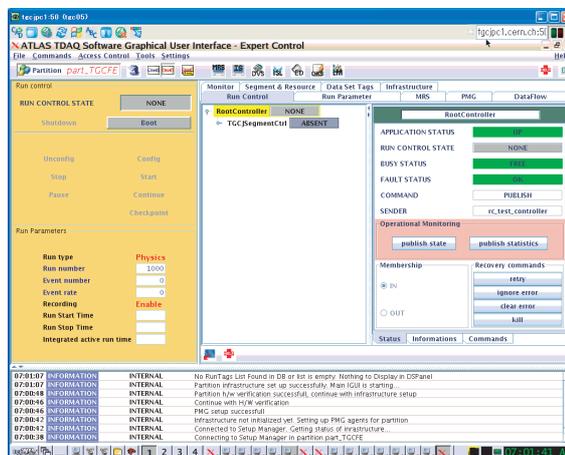


図 4.33: DAQ の GUI

オンライン環境はそれぞれのパッケージの上に構築される。ソフトウェアのコントロールを行う GUI。state や segment の情報や、エラーなどの情報も表示される。

トリガーの制御、データフローの制御、DCS の制御等の個別のソフトウェアは全てこのオンラインソフトウェアの枠組みの上に構築されている。次節で述べる RCD ( ROD Create DAQ ) ソフトウェアもオンラインソフトウェアの上に構築されており、各検出器グループは RCD の制御のための共通の RCD ソフトウェアを利用するが、各検出器に固有な部分のみを記述する必要がある。オンラインソフトウェアは state を各ソフトウェア、検出器について定義することによりコントロールしている。それぞれの state の意味は以下のようにになっている。

- Boot

Boot では、まずそれぞれのソフトウェアの初期化が行われ、それぞれのハードウェアに対するアクションを行うことが出来る状態にする。また、必要があれば、ハードウェア全体のリセット等もここで行われる。

- configure

configure では、データ取得を開始する為の準備を行っている。Boot によって読み出した、ハードウェアの情報に従い、それぞれのハードウェアをデータ取得が出来る状態に制御を行う。

- start

start は、データの取得を開始する state である。

- stop

stop は、データの取得を一時的に止める state である。

## RCD

RCD ソフトウェアはオンラインソフトウェアの枠組みで動作し、ROD クレートをコントロールするソフトウェアである。また、フロントエンド・エレクトロニクスのコントロールやデータ収集といった動作をコミショニング、キャリブレーション時には独立したシステムとして、また本実験が始まった時には ATLAS DAQ システムの一部として共通のプログラムを使用できるように構成されている。

RCD ソフトウェアは、いくつかの Segment と呼ばれる部分から成り立ち、それぞれの Segment でモジュール制御などの Class が定義されている。各 Segment にはそれぞれのモジュールのデータベースが存在し、オンラインソフトウェアから呼び出される state ごとに呼び出されるデータベースが決まる。

このシステムは各検出器に固有の部分を最小限にし、できるだけ共通のソフトウェアを使用するという思想からできており、そのシステムの枠組みが RCD ソフトウェアである。

### 4.4.2 TGC エレクトロニクスのコントロール

TGC エレクトロニクスはそれぞれの動作が 25ns に同期して動作を行うように設計をされている為、RUN の最中に内部の設定値を動的に変化をさせる事は無理である。その為、RUN 開始前に全ての設定を行い、RUN 開始後には制御を行わなくても動作するように設計がされている。つまり、TGC エレクトロニクスのコントロールソフトウェアもそれぞれのハードウェアを RUN 開始前に初期設定を行うように設計される必要がある。

また、エレクトロニクスの設定では、設定する順序が重要であり、次のように決められている。

1. TTC を初期化する。
2. 各モジュールのリセットをしてレジスタを初期化する。
3. CCI→SSW→PS ボードの順に設定をする。これは、CCI-HSC の先に SSW があり、SSW の先に PS ボードがあるという構造のためである。
4. TTC の設定をする。
5. ROD の FIFO のクリア。これはコンフィギュアの最中に出してしまった SSW からのデータを消すためである。

図 4.34 は TGC エレクトロニクスのコントロールパスを示している。エレクトロニクスはクロックや ECR 等の TTC 信号による早いコントロール（赤線）と、JTAG、VME アクセスによるレジスタの設定の遅いコントロール（緑線）の二系統から成る。これら二系統の信号を SBC (Single Board Computer) からの VME アクセスによって制御する。

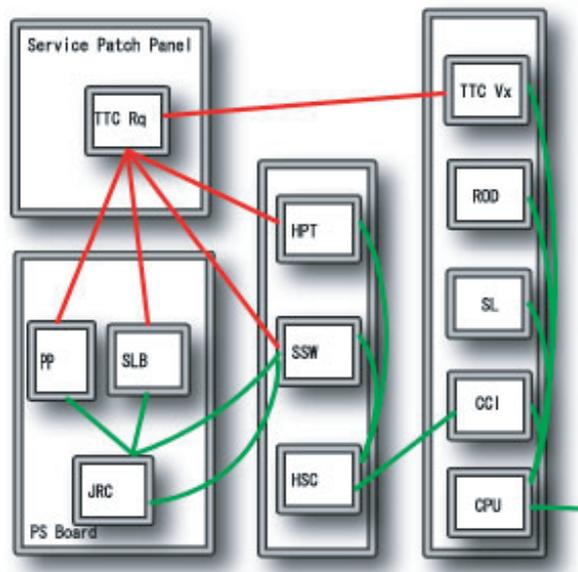


図 4.34: Control Line

SBC からの TGC エレクトロニクスのコントロール。SBC→CCI→HSC→SSW→JRC といった流れでコントロールが行われる。

### 構成

この RCD の枠組みを使用して、TGC では TGCRCDFEConfiguration、TGCRCDFEModules、TGCMModules という 3 つのパッケージを独自に開発を行っている。これらの RCD との関係は、図 4.35 にある。

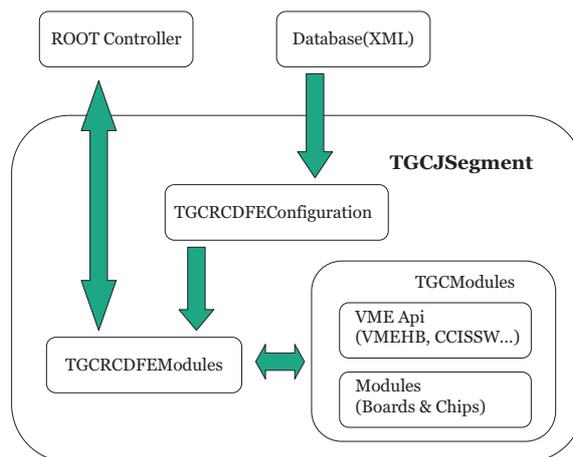


図 4.35: TGCJSegment

- TGCRCDFEConfiguration

Local Controller process に呼び出される関数のライブラリ。xml で記述されたデータベースから受け取った情報を適切な形式に整えた後、RCD process ( TGCRCDFEModules ) に渡す。

- TGCRCDFEModules

RCD process からここに記述されている各 state の動作が呼び出される。各 state での動作の内容、順序がここに記述されている。必要なデータベースにある情報を受け取り、TGCMModules 中の関数に渡して動作する。動作の内容は、TGCRCDFEModules クラスが持つ各モジュールへのアクセスである。またデータベースからの情報を IS ( Information Service ) サーバへ送る。

- TGCMModules

module 毎に Read,Write の動作が記述されている。種類の違う module でも同じ IC ( Chip ) を使用している場合があり、それらのメンテナンス性を高める為、大きく分けて以下の、3種類の Class によって作成されている。

- Module

UniversalPS モジュールやSSW モジュール等、実際のモジュールに当たる部分、搭載されている Chip とボード上からの Chip のアドレス、モジュールへのアクセス API を保持している。

- Chip

各 Module に搭載されている Chip が記述されている。Read や Write の関数は、ここに記述されている。

- アクセス API

実際の Module の置かれている位置により VME アクセスの方法が異なるが表 4.1 のようにそれぞれの API が定義されており、各 Chip はそれらに縛られること無く記述する事が出来る。

現在、プログラムの機能に問題見つかリ、大幅な改良を予定している。

表 4.1: モジュールへのアクセス

Access	動作	module
vmehb	VME でアクセスする	ROD,SL,TTC
ccihsc	CCI 経由で VME アクセスする	HPT,SSW
ccissw	CCI 経由の SSW から JTAG でアクセスする	PS ボード

## 第5章 Sector Logic

現在、SL(Sector Logic) ボードの量産が終了し、検査を経て、ATLAS PIT へのインストールが完了した。SLはFPGAを実装しており設計変更にも柔軟であり、論理の変更、機能の追加など、開発は現在進行中である。

この章では、SLの基本設計、仕様、検査システムの構築、オンラインソフトウェアの開発、コミショニングにおける機能検証について述べる。

### 5.1 Sector Logicの基本設計

第4章でも述べたとおり、SLは、前後方ミュオントリガーシステム(TGCシステム)の最終段に位置し、MUCTPIに最終的なトリガー情報を渡す。TGCシステムのトリガー論理のなかでのSLの役割は2つあり、1つは、前段階まで独立に扱われていたストリップとワイヤー( $\Phi$ と $R$ )のヒット位置情報のコインシデンス処理を行うと同時に $\Delta R$ 、 $\Delta\Phi$ からミュオンの $p_T$ を6段階の値で評価すること( $R-\Phi$ コインシデンス)。そして、もう1つは、コインシデンス処理され $p_T$ が得られた軌跡候補から、より高い $p_T$ をもつ軌跡候補を最大で2つ選ぶこと(トラックセレクション)である。

#### 5.1.1 システムからの制約と設計思想

まず、SLに課せられる制約条件を述べる。

1. LHCの衝突周期である $40.08MHz$ に同期して、デッドタイムレスで動作をしなければならない。
2. それぞれのバンチで独立して結果を出さなければならない。
3. HPTモジュールからの入力から出力までに許されるLatency(遅延)は、最大で $200ns$ (8 Clock)で、Latencyはいつも一定でなければならない。
4. 入射ミュオンの運動量測定で用いられる6段階の閾値は、探索する物理や測定条件により実験中に自由に変更が出来なければならない。
5. HPTモジュールからの入力情報とSLの出力情報は読み出しが出来なければならない。

1,2の条件から必要とされる最低動作周波数が規定される、処理漏れ無く動作を行う為には最低 $40.08MHz$ の動作周波数が必要とされる。3の条件は、短時間に処理を終了させる事が要求されるLVL1トリガーシステムのCTPにおいて、各検出器からの信号を統合して各バンチ毎にトリガー信号を生成させる為には、Latencyが一定でなければならない。またLVL1トリガーが出る時間をデータ保持時間である $2.5\mu s$ 以下にする為にSLは $200ns$ 以下のLatencyにする

必要がある。1～3の条件を充たす為、SLは、論理回路とパイプライン処理を使用し回路を形成する事にした。パイプライン構造は、システムクロックによって動作するフリップフロップ (FF) と、その間に位置する、組み合わせ回路によって構成される。全体をLHCの衝突周期の40.08MHzで動作させる為、各FF間にある組み合わせ回路の遅延時間を25 ns以内にす  
る必要がある、各FF間の組み合わせ回路を少なくすれば遅延時間を少なくする事は出来るがLatencyの条件があるため必要以上に増やしてはいけない。また4の条件を充たすには、磁場による軌跡の曲り ( $\Delta R$ ,  $\Delta\Phi$ ) から  $p_T$  の値を導き出す論理回路設計の柔軟性が求められる。そこで、閾値の変更や、コミッショニング時にイレギュラーな使い方にも出来るだけ対応できるようにこれらの回路をFPGA(Field Programmable Gate Array) やCPLD(Complex Programmable Logic Device) といった、内部回路を変更することが出来るICによって構成することにした。FPGA やCPLD の設計はHDL(ハードウェア記述言語) で行う。

しかし、エンドキャップ領域では、磁場の非均一性やマグネットなどの構造物の影響から、磁場による軌跡の曲りから  $p_T$  の値を導き出す際、単純な論理演算・計算式では求める事が出来無い。また、組み合わせ回路で実現した場合、求められる条件によって回路構成が大きく変わってしまいFPGA内部での配線の遅延などで、Latency一定を維持する為の回路設計の最適化が難しくなってしまう。そこで、Look-Up-Table(LUT)を使用した設計を行うことにした。LUTとは入力信号の取りうる全てのパターンについて、予めそれぞれの  $p_T$  の値を計算したデータをメモリーに格納し、入力信号をインデックスとしてメモリーの内容を参照する事によって結果を得る方式である。このLUTはメモリーに格納するデータの値を返すだけなので、反応時間は一定となり、パイプライン構造にも適している。5の読み出しについては、SLB ASICを用いてPSボードと同様の読み出し回路を構成させることでクリアーさせる事とした。

まとめると、

- パイプライン処理を使用し、Latencyを一定に保つ。
- 論理回路の実装にFPGAやCPLDを採用し、柔軟性を持たせる。
- $p_T$  の評価にLUTを使用する。
- 読み出しにSLB ASICを採用。

となり、この設計思想をもとに開発が行われた。

### 5.1.2 R- $\Phi$ コインシデンス

R- $\Phi$  コインシデンスは、HPTボードから入力されるのヒット位置情報R、 $\Phi$ (サブセクター単位)の Coincidence処理とともに、位置情報と一緒に送られてくる  $\Delta R$ ,  $\Delta\Phi$  からLUTを用いて  $p_T$  を6段階で決定する回路である。

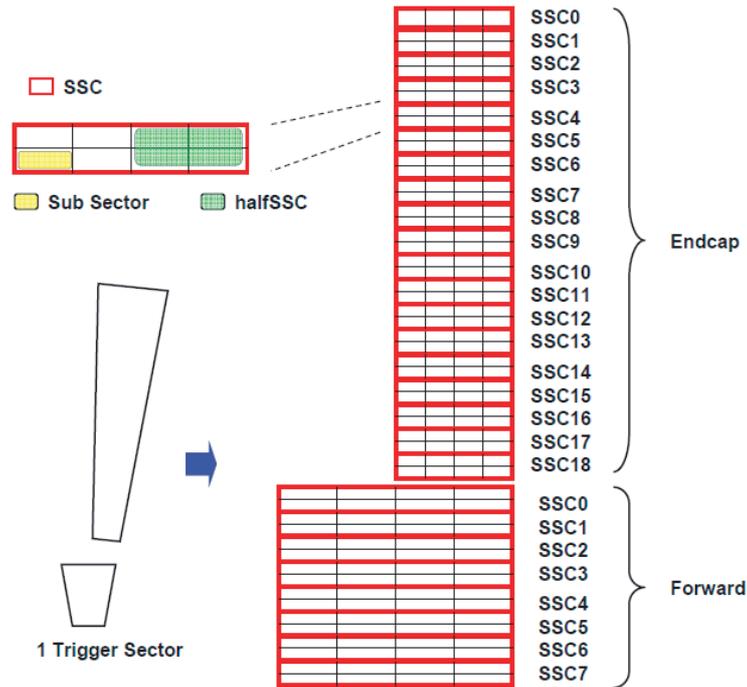


図 5.1: SSC の概念図

### SSC(Sub Sector Cluster)

$R-\Phi$  コインシデンス処理をチェンバーごとにサブセクター単位で行おうとすると問題がある、例えばトリガーセクターの Forward 部 (チェンバー 1 枚) のサブセクターの数は  $64$  個 ( $=16(R) \times 4(\Phi)$ ) あり、下段のトラックセレクション回路は  $64$  種類の位置情報とそれに付加された  $p_T$  の値から軌跡を選別しなければならなくなり、回路が複雑になってしまう。また、チェンバー 5 枚からなる Endcap 部の合計  $148$  個あるサブセクターはチェンバーごとでサブセクターの個数が異なるため、5つのトラックセレクション回路を設計しなければならなくなる。これらを解消するために SSC(サブセクター クラスター) と halfSSC(ハーフ サブセクター クラスター) という概念を導入する。

SSC は  $R$  方向に 2 サブセクター、 $\Phi$  方向に 4 サブセクターのブロックである。この SSC を  $\Phi$  方向に半分にしたものが halfSSC である。図 5.1 に概念図を載せる (Endcap 部の SSC0 は例外的に 4 つのサブセクターから成る) HPT からの入力位置  $R$ 、 $\Phi$  それぞれに隣接するサブセクター 2 つから 1 つのヒット情報に絞られて出力されることから、halfSSC 内には 1 つの軌跡しか存在しない。このことから、LUT での  $p_T$  の決定を halfSSC 単位で行うことが効率的だと考えられ、サブセクター単位と比べての処理を  $1/4$  にすることができる。また、シミュレーションから、SSC において 2 つのヒットがあることは稀であることがわかっているので、下段のトラックセレクションには各 SSC につき 1 つの軌跡候補を送ることにした。(2 つの候補がある場合は、 $p_T$  の大きな方を選ぶ。 $p_T$  が同じ場合は理由なくサブセクターの位置によって選ぶ) このことから、トラックセレクション回路は SSC 単位での位置情報で論理を実装でき、入力数を減らすとともに回路設計を簡略化できる。

## TGC 境界

トリガーセクターの Endcap 部の  $R$  方向に 4 つある TGC の境界とサブセクターの境界はどれも一致していない ( $\Phi$  方向は、TGC の境界とトリガーセクターの境界が一致している)。したがって、図 5.2 のように TGC の境界を内部にもつ SSC が存在する。図 5.3 に TGC の配置を載せる。

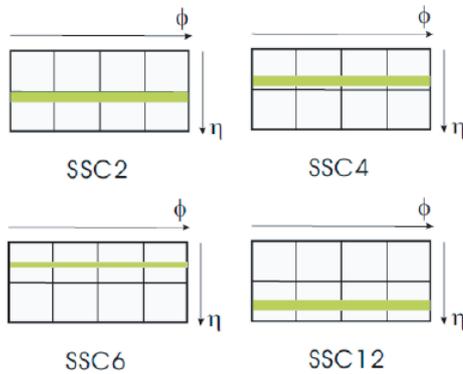


図 5.2: TGC overlap 領域を含む SSC

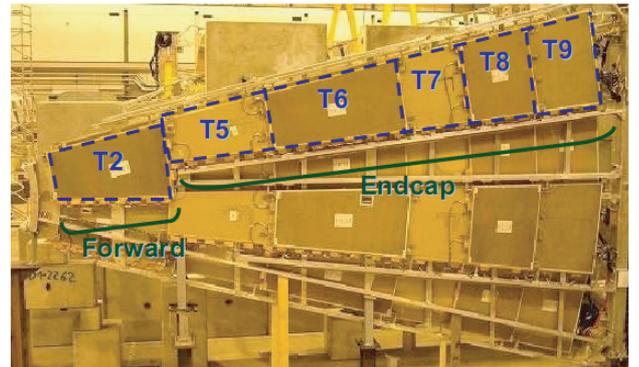


図 5.3: Pivot Doublet(M3) 1/12 セクターの TGC

トリガーセクターは T2、T5、T6、T7、T8、T9 と呼ばれる TGC6 枚からなり、Endcap には 4 つの TGC 境界が存在する。

TGC の境界では、Patch Panel で overlap 部の OR を取ることによってダブルカウントを防止するとともに、全体が 1 つの大きな TGC として扱えるように配線されている。そのため、これより下流の Slave Board, HPT では、これらの領域を特別扱いせずに処理が行われている。したがって、この TGC 境界を内部にもつサブセクターに  $R$  方向のヒットが存在した場合、どちらの TGC 由来のヒットか (あるいは両方か) という事は分からない。

このことは、 $R-\Phi$  コインシデンスを行う時に問題となる。 $\Phi$  方向の信号は TGC ごとに読み出されるため、そのサブセクターを含む SSC には同じ座標に対して  $\Phi$  方向の HPT からの入力 が 2 個存在する。そのため、1 つのサブセクターで 2 通りの運動量測定を行い、その結果から 1 つのミュオン軌跡候補を選ぶ必要がある。また、その SSC において、 $R$  方向の入力が TGC 境界を含まないサブセクター側にあった時、これらのサブセクターに属さない側の TGC から  $\Phi$  方向の入力があっても、軌跡候補から外さなければならない。一方、SSC という概念を用いて  $R-\Phi$  コインシデンス回路に実装することを考慮すると、このような複雑な処理を行う TGC 境界を含んだ SSC をそのまま設計すると、他の SSC に比べて大きく複雑な回路になり、速度面でボトルネックになってしまい、好ましくない。そのため、何らかの方法でこれらの SSC の持つ複雑さを解消して、TGC 境界を持たない SSC と同等に扱えるようにすることが望まれる。そこで、図 5.4 に示すように SSC をそれぞれの TGC からの  $\Phi$  方向の入力ごとに独

立した2つのSSCに分割した。

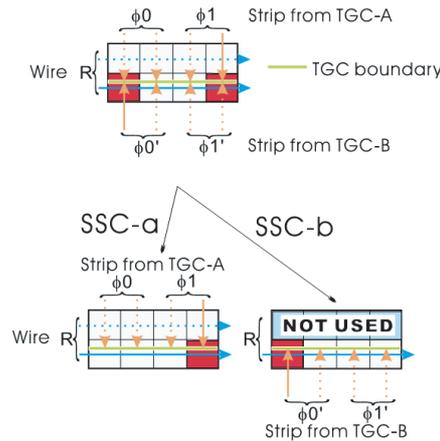


図 5.4: TGC overlap 領域を含む SSC の分割

図 5.4 では、 $R$  方向の HPT からの入力の下段のサブセクター、TGC-A からの  $\Phi 1$  は右端列のサブセクター、TGC-B からの  $\Phi 0'$  は左端列のサブセクターに入力されている。図で、赤く示したサブセクターは、これらの入力から考えられるミューオンの軌跡の位置である。これを分割した SSC-a 及び SSC-b では  $R$  方向の入力は共通であるが、 $\Phi$  方向の入力をそれぞれ TGC-A からの  $\Phi$  入力を SSC-a、TGC-B からの  $\Phi$  入力を SSC-b に振り分けた。SSC-a では、全てのサブセクターから軌跡候補を作る事が出来るのに対し、SSC-b では  $R$  方向の入力が上段のサブセクターだった場合、その位置にストリップは存在しないため、軌跡候補を出力してはならない。従って、SSC-b では、上段のサブセクターを全ての入力パターンに対し軌跡候補を出力しないように設定される。SSC-a と SSC-b とで、2 個出て来た軌跡候補のうち  $p_T$  の高いものがトラックセレクション回路に送られる。

### 5.1.3 トラックセレクション

トラックセレクション回路では、 $R-\Phi$  コインシデンスから入力される軌跡候補から高い  $p_T$  の軌跡を 2 つ選び出す回路である。Demultiplex、PreTrackSelector、TrackSelector の回路から構成されている。 $R-\Phi$  コインシデンスから送られてくる各 SSC からの情報は Demultiplex によって  $p_T$  の値で分けられ PreTrackSelector に入力される。PreTrackSelector は  $R$  の最も大きいもの ( $\eta$  の小さいもの) から優先順位を付けそれぞれ、最大で 2 つの軌跡候補を選び出します。その後、TrackSelector 回路で、PreTrackSelector から送られてくる情報から  $p_T$  が高い軌跡候補から 2 つを選び出す。この構成により、SSC 数の多い Endcap 部でもそれぞれの回路で扱う情報量を抑えることが出来る。

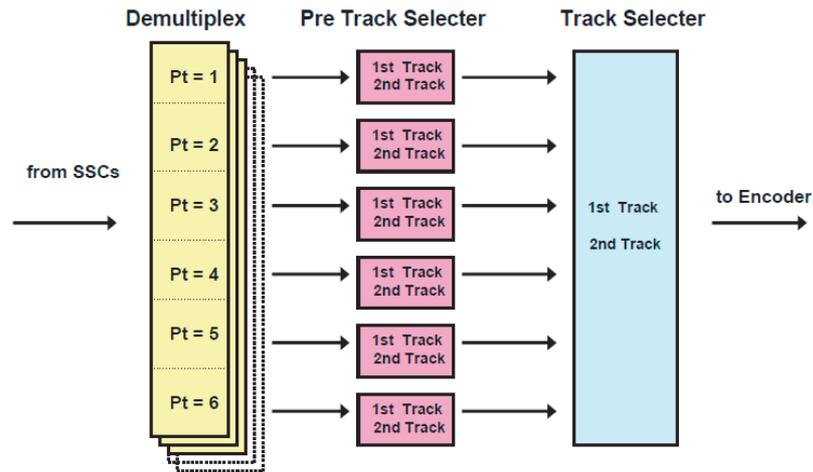


図 5.5: トラックセレクションの全体図

## 5.2 Sector Logic ボードの仕様

### 5.2.1 概要

SL ボードは、VME9U のスレーブモジュールで、VMEbus のインタフェース、入出力のインタフェースと CPLD、FPGA、ASIC ( Application Specific Integrated Circuit)、PROM(Programmable Read Only Memory) などの IC で構成される。IC 以外の仕様を表 5.1 に載せる。

表 5.1: SL ボード (Endcap ・ Forward 共通) の仕様

外形寸法	9U VME ボード 2.0(幅) × 36.5(高さ) × 40.0(奥行) cm
入出力インタフェース	入力 (from HPT) : Glink (LC コネクタ) 入力 (from TTC) : LVTTTL 出力 (to MUCTPI) : LVDS(SCSI VHDCI コネクタ) 出力 : NIM(LEMO) 入力/出力 (from/to SSW) : LVDS(CAT6、RJ45 コネクタ)
VMEbus インタフェース	A32D32 モード

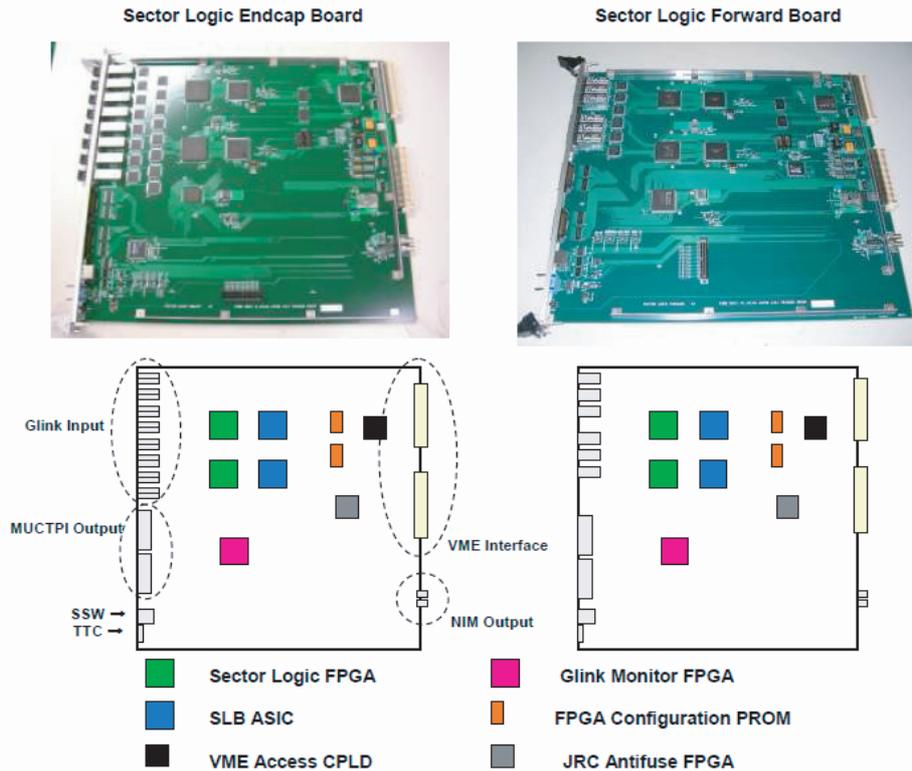


図 5.6: SL ボード

SL ボードには、Endcap ボードと Forward ボードの 2 種類の基板が存在し、それぞれトリガーセクターの Endcap 部分と Forward 部分に対応している。ボード 1 枚あたりトリガーセクター 2 つ分をカバーし、Endcap ボードは 1 枚でビッグウィールの 1/24、Forward ボードは 1 枚でビッグウィールの 1/12 の領域を担当する。TGC システム全体で Endcap ボード 48 枚、Forward ボード 24 枚が必要である。

Endcap ボードと Forward ボードの概念図と写真を図 5.6 に載せる。前方には HPT からの Glink 入力、TTC からの LVTTTL の入力、SSW 入出力 (LVDS)、MUCTPI への LVDS 出力のインタフェースが、後方には NIM 出力が備えられている。また、図にはないが、ボード上には JTAG 通信用のインタフェース (JTAG ピン) があり、外部から各 IC に対して JTAG 通信が可能となっている。図 5.6 のように、2 種類のボードに共通して、以下の主要 IC が搭載される。

- Sector Logic FPGA  
Sector Logic FPGA はボードの中心となるトリガー論理を実装する FPGA で、1 個につきトリガーセクター 1 つに対応する。1 枚のボードに 2 個搭載される。
- Glink Monitor FPGA  
Glink Monitor FPGA は、HPT からの Glink プロトコル入力の状態を監視する回路を実装する FPGA で、1 枚のボードに 1 個搭載される。

- VME Access CPLD  
VME Access CPLD は、VME のマスターモジュールと SL ボードの通信を担い、各 FPGA とのアクセスを可能にする回路が実装される CPLD である。また、この CPLD には JTAG のルーティングを行う回路が実装されており、VME でのアクセスやボード上の JTAG ピンから SLB ASIC、FPGA、PROM との JTAG 通信を可能にしている。
- FPGA configuration PROM  
FPGA は揮発性で電源を切ると内部の回路は消えてしまうので、FPGA とペアで搭載した PROM に Sector Logic FPGA と Glink Monitor FPGA の設計データを入れておき電源投入とともに焼く（コンフィギュレーション）。
- SLB ASIC  
PSB に実装された SLB ASIC をそのまま流用し、SL が出力するトリガー情報と HPT からの入力を読み出しを行う。
- JRC Antifuse FPGA  
PSB に実装された JRC とまったく同じもので、SSW 経由での SLB ASIC との JTAG 通信のルーティングを行う。

Endcap ボードと Forward ボードの主要な IC に関して表 5.2 と表 5.3 にまとめる。

表 5.2: SL Endcap ボードの主要な IC

用途	IC の種類	使用製品	個数/ボード
Sector Logic	FPGA	XC2V3000-BG728(xilinx)	2
VME Access	CPLD	XC2C256-PQ208(xilinx)	1
FPGA Configuration	PROM	XCF18P(xilinx)	2
読み出し	SLB ASIC	—	2
JTAG ルーティング	Antifuse FPGA	A54SX08A(Actel)	1

表 5.3: SL Forward ボードの主要な IC

用途	IC の種類	使用製品	個数/ボード
Sector Logic	FPGA	XC2V1000-BG575(xilinx)	2
VME Access	CPLD	XC2C256-PQ208(xilinx)	1
FPGA Configuration	PROM	XCF08P(xilinx)	2
読み出し	SLB ASIC	—	2
JTAG ルーティング	Antifuse FPGA	A54SX08A(Actel)	1

Endcap ボードと Forward ボードの仕様の大きな違いは、HPT からの入力である。図 5.7 と表 5.4 に HPT ボードとの関係を載せる。Forward ボードの入力はファイバーにして 1 トリガーセクターあたり 3 本でビット幅にして 50bit、Endcap は 1 トリガーセクターあたりファイバーにして

6本でビット幅にして101bitである(EI/FIからの入力を除く)。Endcapボードの方が入力が多く、LUTの規模も大きくなる。Sector Logic FPGAはLUTで使用するメモリの大きさで使用するFPGAを決めている。表5.2.1にメモリとFPGAの関係を載せる。また、Glink Monitor FPGAは必要なI/Oピンの数などで使用製品を決めている。

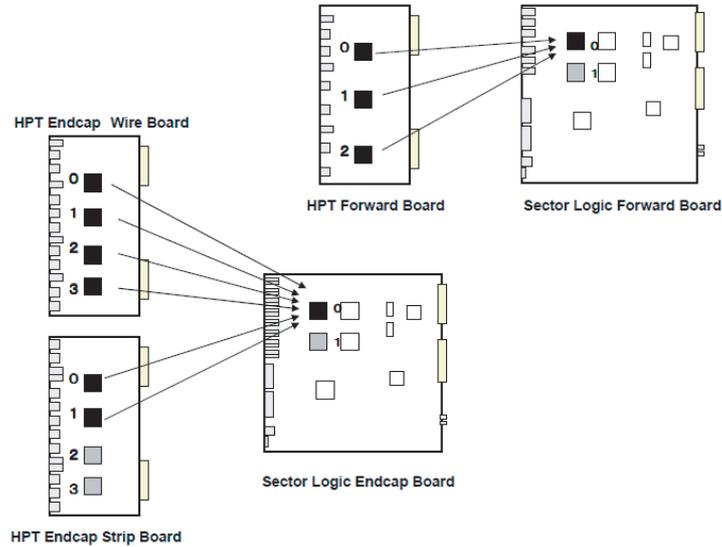


図 5.7: HPT ボードと SL ボードの関係

表 5.4: HPT のチップ別の出力と SL の入力口の対応

Chip and Output-bit-width		Input port [bit assignment]	
HPT Endcap Wire	Chip 0 [ 7]	SL Endcap	Port 0 [ 0- 6]
	Chip 1 [20]		Port 0 [ 7-16]
			Port 1 [ 0- 9]
	Chip 2 [20]		Port 1 [10-16]
Chip 3 [20]	Port 2 [ 0-12]		
HPT Endcap Strip	Chip 0 / 2 [18]	SL Endcap	Port 2 [13-16]
	Chip 1 / 3 [16]		Port 3 [ 0-15]
			Port 4 [ 0-16]
HPT Forward	Chip 0 [20]	SL Forward	Port 5 [ 0 ]
	Chip 1 [16]		Port 5 [ 1-16]
			Port 0 [ 0- 16]
	Chip 2 [14]		Port 1 [ 0- 2]
		Port 1 [ 3-16]	
		Port 2 [ 0- 1]	
		Port 2 [ 2-15]	

ファイバー 1 本当たり (Input Port 当たり) 17bit 幅もしくは 16bit 幅で通信を行う。

	必要メモリー量 ( kb )	使用 FPGA	搭載メモリー量 ( kbit )
Forward	576	XC2V1000-BG575	720
Endcap	1656	XC2V3000-BG728	1728

表 5.5: LUT の必要メモリー量と FPGA の搭載メモリー量

## その他の機能

ここでは、SL に実装される補助機能について簡単に述べる。

- NIM 出力 (LEMO コネクタ)  
Sector Logic FPGA につき NIM 出力を 1 つボード後方に実装している。この NIM 出力は主にトリガー出力に使用する。コミッシュニングなどで TGC システム独立で動作させた場合など、MUCTPI を使用せずデータを取得することができる。
- テストピン出力  
ボード上のテストピンから、LVTTL レベルで 16 ビット幅の信号を出力できる。また、それぞれ信号状態が LED が確認でき、デバッグに使用される。

## EI/FI

SL Endcap ボードには EI/FI チェンバーから PSB 経由での入力がある。しかし、未だ SL 内でどう扱うかは正確に決まっていない。EI/FI に関しては LUT を用いた  $p_T$  の評価は行わない。予定では、トラックセレクションに入力させて、軌跡候補へ優先付けの論理などに使用する。

## 5.2.2 Sector Logic FPGA 内部設計

FPGA の回路設計は HDL(Hardware Description Language) によって行った。HDL は C 言語に似た文法によって記述でき、論理回路も言語によって設計できる。記述した文(コード)から FPGA のベンダーが提供する論理合成ツールを用いて、実際の論理回路へと変換される。Sector Logic FPGA のコードは、いくつかの機能別にモジュール化されており、論理の変更や追加に柔軟である。

ここでは、Sector Logic FPGA に実装される回路の詳細を機能ブロックにわけて説明する。まず、全体のブロック図 5.8 をのせる。大きくわけて、Delay、Decoder、SSC Logic、Pre Track Selector、Track Selector、Encoder の 6 つのブロックに分けられる。

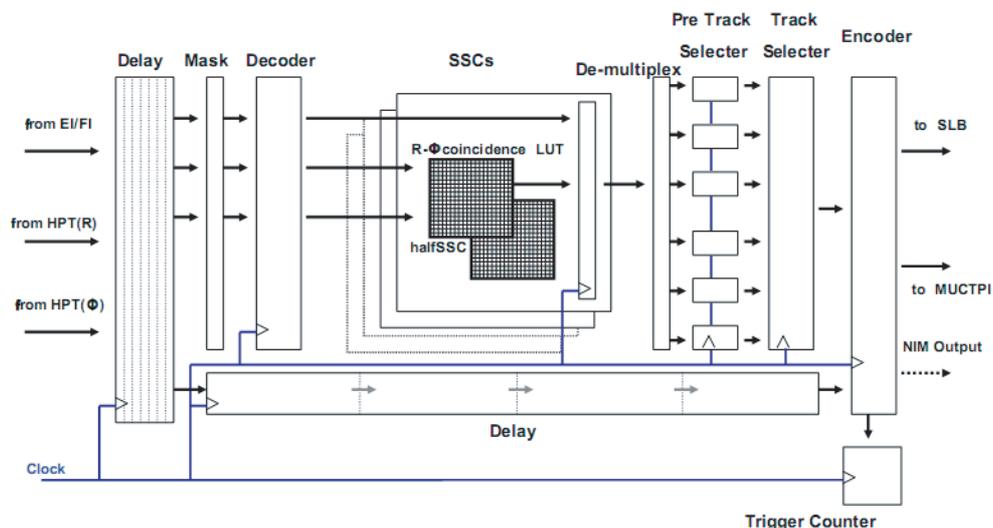


図 5.8: Sector Logic FPGA 内部機能ブロック

### Delay

Delay はその名のとおり、入力した信号を半 Clock 幅 ( $12.5ns$ ) 単位で任意の時間、遅らせる回路である。構造としては、FF(FlipFlop) を連続して連結したシフトレジスタになっている。Decoder の前段に位置する Delay ブロックは HPT からの複数のファイバーからの入力を同期させたり、信号をラッチするタイミングをずらすために用いる。Encoder の前段に位置する Delay ブロックは、HPT の入力情報とそれに対応する SL の出力を同期させて SLB ASIC に入力するために用いる。表 5.6 に HPT からの入力信号をまとめる。

表 5.6: HPT からの入力信号

Chip	Candidate	Signal(bit width)					
HPT Endcap Wire		MSB ----- LSB					
Chip0 (7bit)	1st	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$		
Chip1 - Chip3(20bit)		2nd	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$
	1st	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$	
HPT Endcap Strip		MSB ----- LSB					
Chip0 (18bit)	2nd	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$	
	1st	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$	
Chip1 (16bit)	2nd	HitID(2)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$	
	1st	HitID(2)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$	
HPT Forward		MSB ----- LSB					
Chip0(Wire) (20bit)	2nd	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$	
	1st	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$	
Chip1(Wire) (16bit)	2nd	HitID(1)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$	
	1st	HitID(1)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$	
Chip2(Strip) (14bit)	2nd	HitID(1)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$	
	1st	HitID(1)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$	

wire 情報での HitID は SSC 単位での位置を表し、Pos の 0/1 で R 方向のサブセクター単位の位置が決まる。0 が R の大きいほうである。Strip 情報での HitID は、チェンバーの右半分か左半分を表し、Pos で更にその半分のどちらかがきまり  $\Phi$  方向のサブセクター単位の位置が決まる。(ビッグウィールの構造から、チェンバーの右左の概念は、セクターによって反転する。) 情報 H/L は HPT コインシデンスの通過/非通過を 1(H)/0(L) であらわす。Sign は  $\Delta R, \Delta\Phi$  の符号である。Endcap Wire Chip0 を除いた各 Chip はそれぞれ 1st、2nd の 2 つの候補を出力する。上位ビットが 1st である。

## Decoder

Delay ブロックから渡される HPT からの入力信号を解釈し、SSC 別に分けて次段の SSC Logic へ出力する。また、対応する入力がない SSC へは、ヒットが無いという情報を次段へ出力する。図 5.7、図 5.8 に HitID と SSC の対応表を載せる。

表 5.7: Hit ID (wire) と SSC の対応

Chip	Hit ID	SSC
HPT Endcap Wire		Endcap SSC
Chip0	—	0
Chip1	1 - 6	1 - 6
Chip2	1 - 6	7 - 12
Chip3	1 - 6	13 - 18
HPT Forward		Forward SSC
Chip0(Wire)	1 - 6	0 - 5
Chip1(Wire)	1 / 0	6 / 7

HPT Forward Chip 1 の HitID は大きさが逆転し、1 SSC 6、0 SSC 7 となる。

表 5.8: Hit ID (strip) と Pivot Chamber と SSC 対応

Chip	Hit ID	Pivot Chamber	SSC
HPT Endcap Strip			Endcap SSC
Chip0	1 / 2	T9	0 - 2
	3 / 4	T8	2 - 4
	5 / 6	T7	4 - 6
Chip1	1 / 2	T6	6 - 12
	3 / 0	T5	12 - 18
HPT Forward			Forward SSC
Chip2(Strip)	1 / 0	T2	0 - 7

Endcap Strip Chip1 の HitID(2 ビット幅) と Forward Chip2 の HitID(1 ビット幅) での HitID=0 に関しては、それぞれの HitID=4、HitID=2 と解釈する。Endcap の SSC 2、4、6、12 は TGC 境界のある SSC である。Pivot Chamber については図 5.3 を参照。

### SSC Logic

SSC Logic は、前述した  $R-\Phi$  コインシデンスを行う回路である。SSC Logic には halfSSC Logic というサブモジュールが 2 つある。まず、2 つの halfSSC Logic で halfSSC 別に  $p_T$  を求めたあと、どちらかの  $p_T$  の高い軌跡を 1 つ選択し出力を行う。2 つの halfSSC で同じ  $p_T$  を持つ軌跡がある場合は、 $\Phi$  の値によってどちらかを決める。

LUT で使用する FPGA の XC2V シリーズ (Virtex-) のメモリ資源は、18kbit の RAM ブロック単位で構成されており、アドレス、入出力幅が可変である。今回、RAM ブロックを 4kbit(アドレス 12bit 幅)  $\times$  入出力 4bit の Single-Port RAM を使用した。

halfSSC Logic に入力されるのは、表 5.6 に示した、 $R$ 、 $\Phi$  それぞれの Pos、H/L、Sign と  $\Delta R$ 、 $\Delta\Phi$  で、合計で 13bit 幅である。入力が 13bit 幅なので、アドレス 12bit 幅の RAM2 つで構成し、halfSSC の LUT を実現した。RAM の出力する  $p_T$  は 1 から 6 なのでビット幅は 3bit であり、残り 1bit は、ミューオンの電荷の符号を表し、現在は  $\Delta R$  の Sign をそのまま出力するような LUT となっている。

### Pre Track Selector

Pre Track Selector は、 $R$  の最も大きいもの ( $\eta$  の小さいもの) から位置的優先順位を付ける回路である。各 SSC からのヒット情報は  $p_T$  別に 6 つ Pre Track Selector に入力される。

### Track Selector

Track Selector は、6 つの Pre Track Selector より送られて来るそれぞれ最大 2 つの軌跡候補から (1) 「 $p_T$  が高い」、(2) 「Pre Track Selector がつけた位置的優先順位が高い」、の優先順位で最大 2 つの軌跡を選び出す。

## Encoder

Encoder は Delay ブロックから送られて来る HPT モジュールからの入力信号と、Track Selector から送られて来る最大 2 つの軌跡候補のデータを規定の形式に変更し MUCTPI と SLB ASIC 送る回路である。MUCTPI 出力に含まれる BCID(パンチクロッシング ID) を PSB と合わせる仕組みもこのブロックに実装される。また、Glink Monitor から Glink 入力のエラー情報もこのブロックに入力され SLB ASIC に送られる。表 5.9 に MUCTPI への出力フォーマットを載せる。

表 5.9: MUCTPI への出力

		7	6	5	4	3	2	1	0
SL Endcap									
	3	CHRG2	CHRG1	BCID[2]	BCID[1]	BCID[0]	1	1	PT2[2]
Output to	2	PT2[1]	PT2[0]	PT1[2]	PT1[1]	PT1[0]	0	ROI2[7]	ROI2[6]
MUCTPI	1	ROI2[5]	ROI2[4]	ROI2[3]	ROI2[2]	ROI2[1]	ROI2[0]	0	ROI1[7]
(32bit)	0	ROI1[6]	ROI1[5]	ROI1[4]	ROI1[3]	ROI1[2]	ROI1[1]	ROI1[0]	MT2C
SL Forward									
	3	CHRG2	CHRG1	BCID[2]	BCID[1]	BCID[0]	1	1	PT2[2]
Output to	2	PT2[1]	PT2[0]	PT1[2]	PT1[1]	PT1[0]	1	1	1
MUCTPI	1	ROI2[5]	ROI2[4]	ROI2[3]	ROI2[2]	ROI2[1]	ROI2[0]	1	1
(32bit)	0	1	ROI1[5]	ROI1[4]	ROI1[3]	ROI1[2]	ROI1[1]	ROI1[0]	MT2C

MT2C とは More Than 2 Candidate の略で軌跡情報が 3 つ以上のときに High(1) となる。ROI1、ROI2 はそれぞれ 1st、2nd 候補に対する位置情報 ROI である。PT11、PT2 はそれぞれ 1st、2nd 候補に対する 6 段階 (1-6) の  $p_i$  である。BCID はグローバルな BCID(パンチクロッシング ID) の下 3 桁である。CHRG1、CHRG2 はそれぞれ 1st、2nd 候補に対するミューオンの電荷の符号であり、現在は HPT からの入力の  $\Delta R$  の符号 (Sign) をそのまま出力している。

## 補助的機能

ここではコミショニングなどを経て、SL に新たに追加された補助機能について述べる。

- Trigger Counter

Trigger Counter は Encoder からのトリガー出力の有無の 1 ビットの入力を 10 秒間 (400000000 Clock) カウントする。カウントされた値は、レジスタに渡され VME Access によって読み出すことができる。この値を読み出すことで、大まかなトリガーレートの推移をモニターできる。

- Mask

Mask 機能とは Decoder ブロックの前段におかれ、HPT からの入力信号を部分的にマスク (遮断) する機能である。

### 5.2.3 Glink Monitor FPGA 内部設計

Glink Monitor FPGA についても HDL(Hardware Description Language) によって開発を行った。

#### Auto Recover

Auto Recover は Glink 受信 IC(デシリアライザー)である HDMP-1034A8(Agilent 社)の RX-Error ピン状態を監視し、エラー状態になっていた場合、クロックの同期周波数の設定ピン (RX-DIV[1:0]) を一度 40.08MHz の範囲外の設定にし、すぐに 40.08MHz の設定に戻す。通常 200 ~ 250 クロック後に復帰するが、復帰しない場合は 500 クロック後に再度 40.08MHz の範囲外に設定し、復帰するまでこれを繰り返し試みる回路である。また、1 回でも同期が外れた場合、その情報を保持しておく事が出来るようになっている。ファイバー 1 本の入力で受信 IC が 1 個必要で、Endcap ボードは 16 個、Forward ボードは 6 個の受信 IC を搭載しており、受信 IC と同じ数の Auto Recover 回路を FPGA 内に実装される。また、Glink Monitor FPGA はボード上の 2 つの Sector Logic FPGA に、エラー情報 1 ビットを出力する。これは、Auto Recover 回路の出力を対応する Sector Logic FPGA に関して OR をとったものである。

### 5.2.4 VME Access CPLD 内部設計

VME Access CPLD についても HDL(Hardware Description Language) によって開発を行った。

#### VME Access

VME Access CPLD は、VMEbus のアドレス線、データ線、データ制御線を制御し、マスターに対して応答し通信を行う回路が実装される。レジスタの読み書きによって、各 FPGA の設定や機能の切り替えが可能となる。また、FPGA のコンフィギュレーション(回路の焼きこみ)も VME アクセスによって行える。内部に VME からの 16MHz の Clock で状態を遷移させる 8 段の State Machine (8 ビットのシフトレジスタ) を設けおり、これで順序処理をおこなっている。よって、一回の VME アクセスに 8 Clock(500ns) を要する。

#### JTAG Router

VME アクセスもしくはボード上の JTAG ピンからの JTAG 信号を、レジスタの値もしくはボード上のディップスイッチの値によって各 FPGA、PROM、SLB ASIC に対してルーティングを行う。

## 5.3 Sector Logic の検査システムの構築

ここでは、SL ボードの量産前、量産後にそれぞれ行った検査について述べる。いずれの検査も KEK の回路室内のテストベンチ (図 5.9) で行われた。



図 5.9: KEK 回路室のテストベンチ

写真の上部に見える基板が SL である。

### 5.3.1 量産試作ボード検査システム構築

量産試作品に関する検査目的としては、ボード上の配線が回路図どおり正しく行われ、各機能が仕様どおり正しく動作しているかということが1つ。もう1つが、FPGA 内部回路の論理検証です。ここでは検査項目別に方法と結果と述べる。行った検査の項目は、以下のとおりである。

- 各 IC(CPLD、FPGA、PROM) のコンフィギュレーション
- コントロール系の動作試験 (VME インターフェース)
- トリガー系の動作試験 (Glink 入力、Sector Logic FPGA、MUCTPI への出力)
- リードアウト系の動作試験 (SLB ASIC からの読み出し)
- Glink Monitor 機能検証
- TTC からの入力受信試験
- NIM 出力試験

#### IC(CPLD、FPGA、PROM) のコンフィギュレーション

ボード上の JTAG ピンからのコンフィギュレーションと VME アクセスによるコンフィギュレーションの検査である。まず、IC のベンダーである xilinx 社が提供している ISE というソフ

トウェアと PC に接続できる JTAG インタフェースを用いて、JTAG ピンからコンフィギュレーションを試みた。

VME Access CPLD のコンフィギュレーションを行い、CPLD 内に VME アクセスと JTAG Router 機能を実装した。そのあと、JTAG Router 機能を用い、各 FPGA3 個と PROM3 個に対してもコンフィギュレーションを行った。次に CPLD の VME アクセス機能を用いて各 FPGA3 個に対してコンフィギュレーションを行った。

結果として、JTAG、VME アクセスどちらの方法でもすべての IC のコンフィギュレーションに成功し、JTAG Router 機能、IC の実装と配線が正しく行われていることが確認できた。

#### コントロール系の動作試験

VME Access CPLD とマスターモジュールとの通信、VME Access CPLD 経由での各 FPGA との通信、SSW から各 SLB ASIC への JTAG 通信および JRC の動作の検査である。

- VME Access CPLD とマスターモジュールとの通信試験  
PC から制御ソフトウェアを用いてマスターモジュールを操作し VME アクセスを行い、CPLD 内の読み書き可能な全レジスタに対して読み書きを繰り返して、書き込んだ値と読み込んだ値が一致するかを検査した。  
結果として、全てのレジスタに対して失敗することなく読み書きが正しく行えた。
- VME Access CPLD 経由での各 FPGA との通信  
Sector Logic FPGA、Glink Monitor FPGA に関しても、上記の VME Access CPLD の通信試験同様、読み書き可能な全レジスタに対して読み書きを繰り返して、書き込んだ値と読み込んだ値が一致するかを検査した。各 FPGA とマスターモジュールとの通信は VME Access CPLD が仲介する。  
結果として、全てのレジスタに対して失敗することなく読み書きが正しく行えた。
- SSW から各 SLB ASIC への JTAG 通信および JRC の動作の検査  
HSC クレート上の SSW を制御し、SL ボード上の 2 つの SLB ASIC にアクセスを試みた。上記と同様、SLB ASIC 内の全レジスタの読み書き試験を行った。  
結果として、JRC が正しく機能し各 SLB ASIC にアクセスでき、レジスタの読み書きも正しく行えた。

#### トリガー系の動作試験

シミュレーションによってテストベクタ作成し入力用テストベクタを SL に入力させ、MUCTPI への出力を検出し出力用テストベクタとの比較を行った。データの流は Glink 入力 Sector Logic FPGA MUCTPI への出力となる。セットアップの図を 5.10 に載せる。

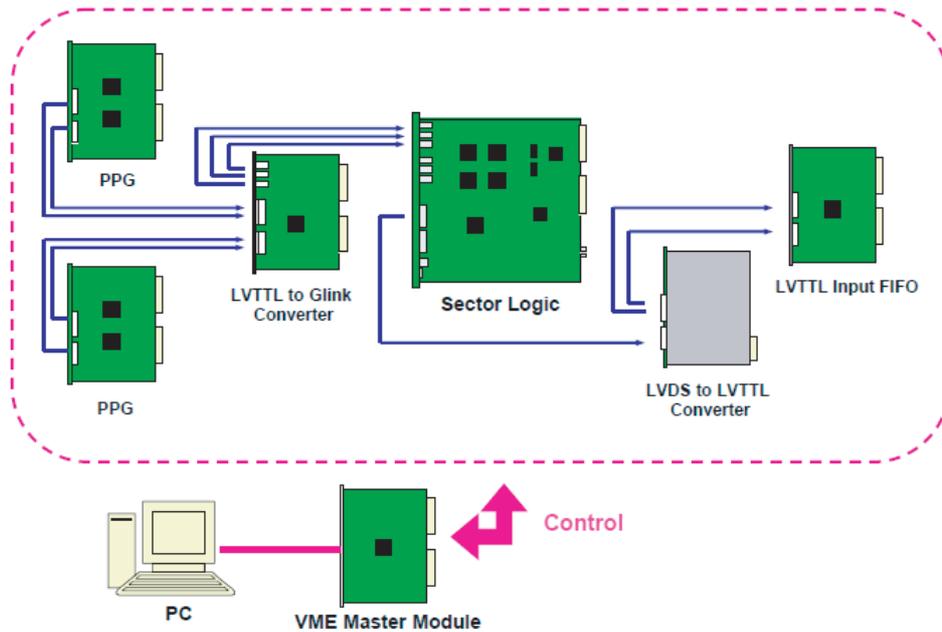


図 5.10: トリガー系動作試験のセットアップ

テストベンチは種々の VME 規格のテストモジュール、NIM 規格のモジュール、ケーブルを用いた。主に使用したモジュールは PPG(Pulse Pattern Generator)、LVTTTL to Glink Converter、LVDS to LVTTTL Converter、LVTTTL Input FIFO である。全てのモジュールは ATLAS 実験同様  $40.08MHz$  の Clock で動作させた。PC から PPG にテストベクタをダウンロード、それを SL に入力させ、出力を FIFO にバッファし、その FIFO の値を PC に読み出して結果を見る。結果として、FPGA の Decoder ブロックに HDL 記述でのバグが見つかり修正した。最終的に 3 種類のテストベクタ (TGC の軌跡数が 1、3、8) をそれぞれ 65536 イベント用いておこない、全てのテストベクタで正しい出力結果が得られた。これによって、トリガー系に関するボードの配線が正しくなされていること、Sector Logic FPGA は速度性能を満たし論理が正しいことがいえる。

#### リードアウト系の動作試験

前述のトリガー系の動作試験のセットアップに SSW と Glink Input FIFO を追加して、Sector Logic FPGA SLB ASIC SSW への出力というデータの流に関して試験する。この際、Sector Logic FPGA にはトリガー論理回路はコンフィギュレーションせずに Glink 入力をそのまま SLB ASIC に出力させる試験用回路をコンフィギュレーションした。PPG から全ビットが変化する適当なパターンを Sector Logic FPGA を通過させ SLB ASIC 内の LVL1 バッファに入力させる。TTC から定期的な L1A 信号を SLB ASIC に入力させて、バッファした値を FIFO に出力させ、FIFO の値を PC に読み出して結果を見る。セットアップの図を 5.12 に載せる。

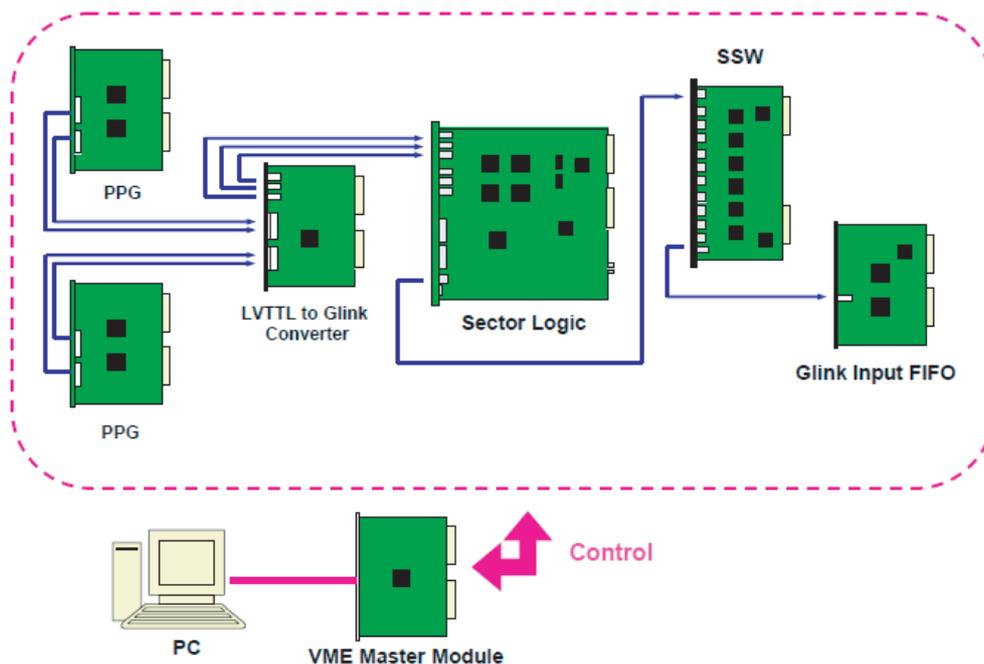


図 5.11: リードアウト系動作試験のセットアップ

結果、TTC からの RESET 信号がボード上で反転しており、SLB ASIC が常に RESET 状態であることが発見された。これをボード上の配線を修正し、最終的に PPG から入力させたパターンと SLB ASIC から出力されたものが一致し、リードアウト系に関するボードの配線と SLB ASIC の動作が正しく行われていることを確認した。

#### Glink Monitor 機能検証

Glink 受信 IC の状態をボード上の LED 付テストピンに出力させて LED の明滅で目視確認した。ファイバーをコネクタから抜き、エラー状態になるのを確かめる。再び接続し、エラー状態から正常な状態に復旧することを確認、ということを全ての Glink 入力に関して行った。結果として、全ての Glink 入力でエラー状態からの復旧が確認された。この試験は厳密に Auto Recover 機能を検査したことにはならないが、接続中の Glink 入力に故意にエラーを起こさせるということが困難なために今回の試験となった。

#### TTC からの入力受信

各 FPGA に TTC からの BC Clock、L1A、BCR、ECR(表 2.3 参照) と TTC からではないが同じインタフェースから入力される RESET 信号が正しく入力されるかを確かめた。入力をレジスタに記憶させて、レジスタの値を VME アクセスで読み出し、値が変化することを確認した。結果として、各 FPGA で全ての信号が正しく受信できていることが確認された。

## NIM 出力試験

ボード上の2つの Sector Logic FPGA にそれぞれ接続されている NIM 出力から、信号を出力させオシロスコープで確認した。

結果として、信号出力を確認し配線が正しく行われていることを確認した。

### 5.3.2 制御ソフトウェア

SL を VME アクセスによって制御するためのソフトウェアを開発した。基本的となる機能は SL 上の IC 内のレジスタの値を読む、書くの2つだけである。この読み書きの動作を順序だてて並べることで、いくつかのツールを作成した。

SL 制御ソフトウェアのもつ機能を以下に述べる。

- Write  
レジスタのアドレスと書き込む値を受け取り、マスターモジュールに伝え、対応するレジスタに書き込みを行う。
- Read  
レジスタのアドレスを受け取り、マスターモジュールに伝え、対応するレジスタから値を読み出す。
- FPGA Configuration  
コンフィギュレーションファイル(回路の設計データ)を受け取り、指定された SL ボード上の FPGA に対してコンフィギュレーションを行う。ベンダーが提供する仕様に合わせて、上記の Write と Read で VME Access CPLD の FPGA への出力ピンの操作を行う。
- FPGA Erase  
Configuration と同様の方法で、指定された FPGA に対してコンフィギュレーションされた回路を消去する機能である。同時に3個ある全ての FPGA の消去も可能である。
- PROM to FPGA  
PROM に記憶された、FPGA のコンフィギュレーションファイルを FPGA へロードさせる機能である。ベンダーが提供する仕様に合わせて、上記の Write と Read で VME Access CPLD の PROM への出力ピンの操作を行う。同時に3個ある全ての FPGA のコンフィギュレーションも可能である。

### 5.3.3 量産ボード検査と結果

量産試作ボード検査を経て SL ボードが量産された。ここではこれらのボードの検査について述べる。Endcap ボードは55枚、Forward ボードは28枚量産された。各ボードそれぞれ量産試作品1枚を足した数が全ボード数である。TGC システムに必要な数が Endcap ボード48枚なので予備が8枚、Forward ボードは必要数24枚で予備が5枚となる。

量産ボードの検査は、前述した量産試作ボードの検査項目とほぼ同じ内容で図 5.12 の流れで行った。



図 5.12: 量産ボード検査の流れ

表 5.10 に結果を載せる。

表 5.10: 量産ボード検査の結果

	検査枚数	合格枚数	修理枚数	未修理枚数	修理箇所
Endcap	55	54	3	1	Glink 受信 IC / SLB ASIC 交換
Forward	28	27	3	1	Glink 受信 IC × 3 交換

## 5.4 オンラインソフトウェアの開発

第 4 章の 4.4 で述べたように、オンラインソフトウェアの枠組みの中の RCD ソフトウェアに TGCRCDFEConfiguration、TGCRCDFEModules、TGCMModules が組み入れられ、これらを 3 つ用いて TGC エレクトロニクスの制御を行っている。ここでは、Sector Logic に関する制御部分及び、それをを用いた SL のモニタリングツールの開発について述べる。

### 5.4.1 Sector Logic 制御ソフトウェアの開発

TGCRCDFEModules、TGCMModules に SL の制御のプログラムを組み入れた。

TGCRCDFEModules には、TGC エレクトロニクスのモジュール単位でオブジェクトが記述される、よって今回、SL Endcap、SL Forward の 2 つのオブジェクト (物) に対してクラス (オブジェクトの定義) を作った。このクラスには、SL のインスタンス (プログラム内で作成されるオブジェクトの実体) を作成するために必要な情報 (ボードアドレス、アクセス API の種類など) を受け取りインスタンスを作成する関数、レジスタ・機能の ID やアクセスするチップの ID を

受け取る関数が記述される。

TGCMModules には、TGCRCDFEModules でインスタンスをつくる際に呼び出されるボードのオブジェクト、ボード上のアクセス可能なチップ単位でオブジェクトが記述される、よって、Endcap ボード、Forward ボードそれぞれのオブジェクトとボード上の VME Access CPLD、Sector Logic FPGA、Glink Monitor FPGA、SLB ASIC のオブジェクトに対してクラスを作成した。ボードのクラスには、SL ボードのインスタンスを作成する関数、チップのオブジェクトを呼び出す関数などを作成した。チップのクラスには、チップの持つレジスタの ID を受け取り、その ID に対応するアドレスのレジスタに対して読み書きを行う Write、Read 関数と、5.3.2 で述べたような FPGA Configuration、FPGA Erase、PROM to FPGA の機能をもった関数を作成した。これら開発したクラスを RCD ソフトウェアに組み入れ、SL の制御が可能となった。

#### 5.4.2 Sector Logic モニタリングツールの開発

SL のモニタリングツールは現在開発が進められている。今回プロトタイプというべきコミッション用モニタリングツールを作成した。SL に関してモニタリングするパラメータは現在のところ 2 つで、で述べた Trigger Counter によるトリガー数と、Glink Monitor 機能が監視するエラー情報である。これらのパラメータは前述の制御ソフトウェアによって定期的に読み出す。読み出した値については、オンラインソフトウェアの Information Service (IS) というシステムを用いて、IS Server に送られる。IS とは、ある大きな環境の中でアプリケーション同士が情報を共有するためのシステムである。図 5.13 に示すような、構造となっている。

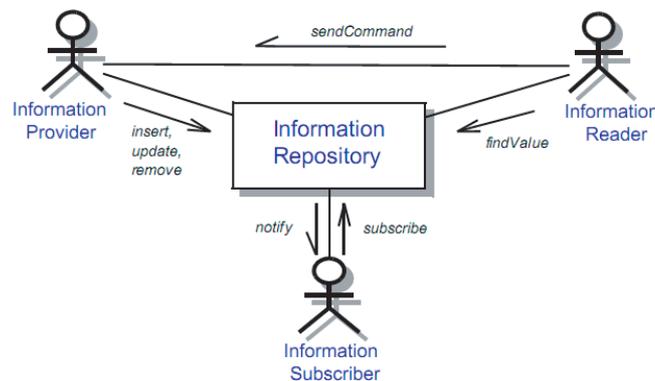


図 5.13: Information Service 概念図

Information Provider は情報を Information Repository 上に Insert、Update、delete を行う。Information Reader は Information Repository に欲しい情報を要求して受け取る。Information Subscriber は Information Repository 上のある情報が Information Provider によって update などの変更があった場合、通知をうけ情報取得する。この Information Provider にあたる部分を、SL に関して作成し、10 秒間隔でトリガー数、Glink エラー情報を読み出し、トリガー数は 1/10 してトリガーレート (単位: Hz) にして、Glink エラー情報も文字情報にして Information Repository に Insert、Update を行う。Information Repository 上の SL のパラメータを取得するために、Information Reader 部分を作成し、情報を定期的に読み出すものを作成した。(Information Reader 部分は Information Subscriber に変更する予定である) 読み出した値は DAQ の GUI パネル上に表

示させる。GUIはトリガーレート、Glinkエラーのそれぞれのパネル部分を作成し、プログラム内に、作成したInformation Reader部分を組み込んだ。図5.14にGUIを載せる。

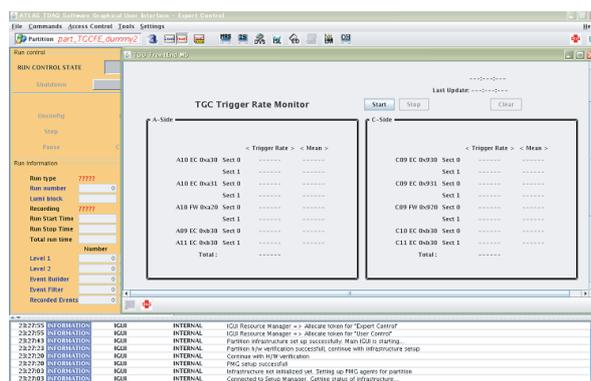


図 5.14: トリガーレートモニター GUI

## 5.5 ATLAS 宇宙線コミッションングにおける Sector Logic の機能検証

ここでは、まず ATLAS 宇宙線コミッションング概要を述べて、そのあとに、SLの機能の検証をコントロール系、リードアウト系、トリガー系にわけて説明する。

### 5.5.1 ATLAS 宇宙線コミッションング概要

現在、ミュオントリガースステムのインストール作業はモジュール間の配線などの最終段階である。図5.15、5.16にUSA15、UX15の風景を載せる。



図 5.15: USA15 エレキハットにインストールされた SL ボード



図 5.16: UX15 での HSC クレータのケーブリング

また、インストール作業と平行して、宇宙線を利用した ATLAS 検出器のコミッショニングが行われており、各検出器の統合運転が試みられている。ミュオントリガーシステムも、コミッショニングに参加し、2007 年 12 月に行われたコミッショニング、Phase 2 run(P2 run) では本番同様の読み出しシステムでは両側 (A-Side/C-Side という) のビッグウィールでそれぞれの 1/12 を (図 5.17 赤色部分)、コミッショニング用の特別な読み出しシステム (HPT モジュールの代わりに CTM : Commissioning Trigger Module を使用) で両側のビッグウィールそれぞれの 2/12 (図 5.17 黄色部分) を運転させることに成功した。(システムが限定的にしか稼動できなかったのは、稼動電源系機材のメーカーによるリコールが原因である。)

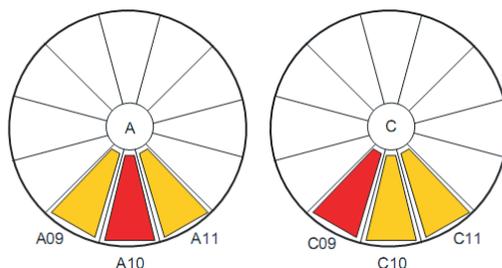


図 5.17: P2 run で使用した TGC

## セットアップ

図 5.18 にシステム全体の概念図を、表 5.11 に P2 ランでの TGC のパラメータを載せる。また、マグネットは稼動させていないので、 $p_t$  の値などは見ない。SL の LUT も意味のないものを実装する。トリガー条件は、HPT を用いた、図 5.17 赤色部分 A10、C09 セクターに関しては、Pivot Doublet(M3) のワイヤー 2 層中 2 層にヒットを要求、CTM を用いた図 5.17 黄色部分、A09、A11、C10、C11 セクターに関しては Triplet(M1) のワイヤー 3 層中 2 層にヒットを要求した。

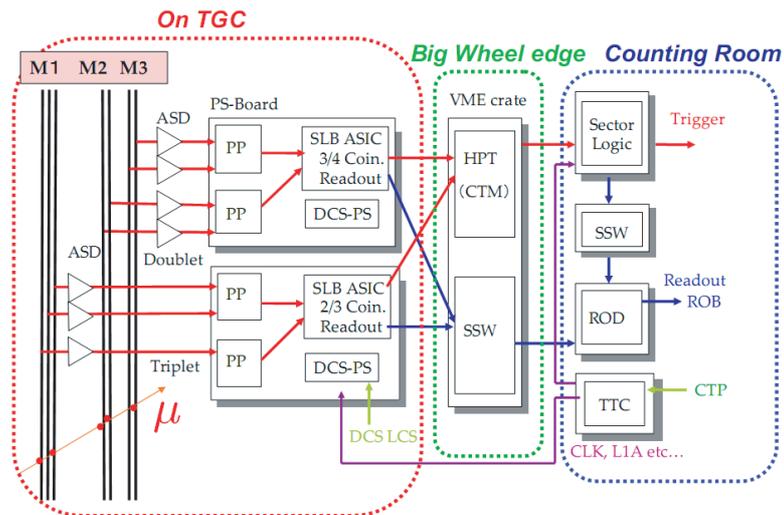


図 5.18: TGC システムのセットアップ

図 5.17 の黄色の部分では HPT の代わりに CTM を用いた。

表 5.11: TGC のパラメータ

ガス	CO2
印加電圧	2.8 kV
閾値電圧 (ASD)	100 mV

### トリガーレート

P2 run で、部分的にはあるが合計 6 つのセクターに関して TGC システムを正常に動作させ、CTP にトリガーを供給することができた。表 5.12 におよその平均トリガーレートを、図 5.19 にランの後半でのトリガーレートの時間変化を載せる。

表 5.12: P2 run でのおよその平均トリガーレート

	A09	A10	A11	C09	C10	C11	Total
Rate(Hz)	14	12	9.6	16	2.8	28	82.4

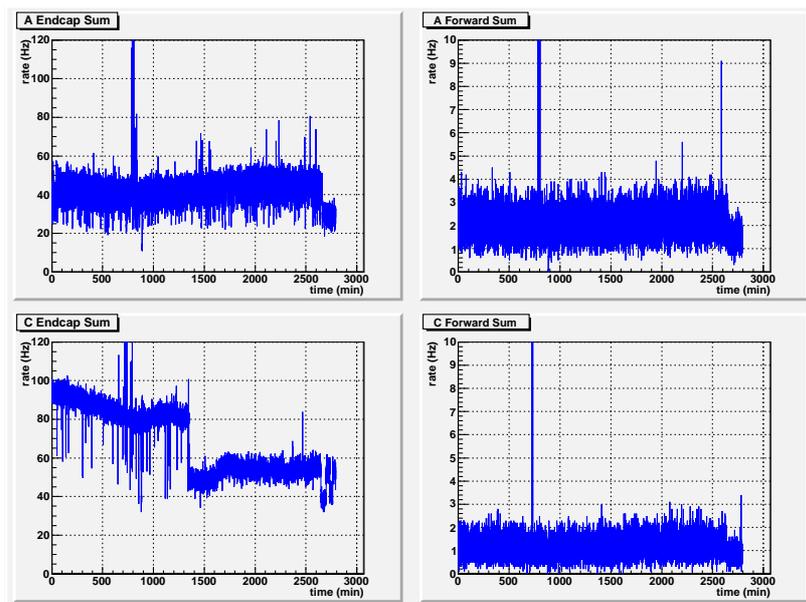


図 5.19: P2 run 後半でのトリガーレート

## SL の Latency 決定

今回初めて、SL のリードアウトが確立された。リードアウトで重要な Latency について述べる。SL の Latency の決定は、SL のトリガーを NIM 出力させ、それを TTC モジュールの NIM 入力に入れて L1A を生成させるローカルな環境で行った。図 5.20 に概念図を載せる。まず、PSB でテストパルスを用いて擬似的なヒット情報を周期的に入力させトリガーを生成する。この際、周期を調整して 128 段ある LVL1 バッファには 1 つのヒット事象のみにする。続いて、SL の NIM 出力から L1A となって戻ってくるまでの時間を簡単に見積もり、実際に LVL1 バッファから読み出してみ、ヒット事象を読み出せるまで、見積もり値を上下させて正しい Latency を決定した。

CTP を用いる本番同様の環境での Latency の見積もりは、測定によって求められていた PSB の Latency をもとに SL の Latency を見積もった。これは、ローカルな環境での PSB の Latency と SL の Latency との差は、SL より下流の環境の変化は影響しないので、CTP での環境でも同じに値になることを利用した。

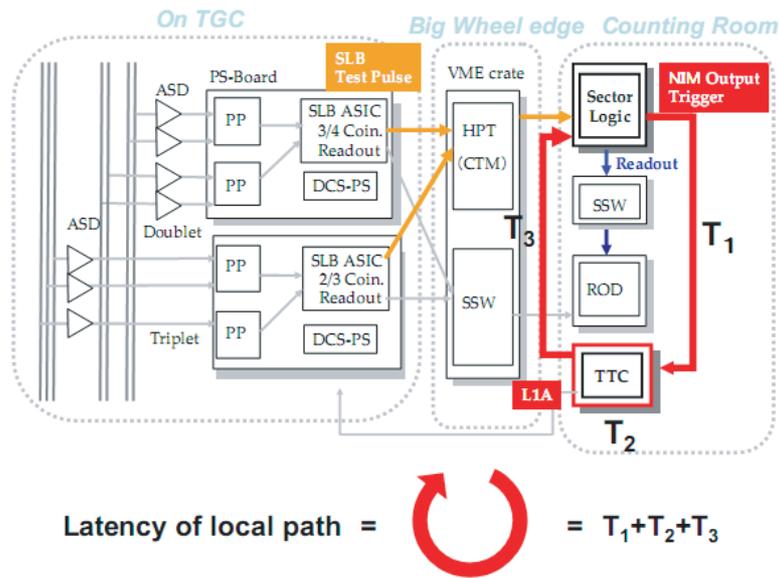


図 5.20: ローカルな環境での Latency

表 5.13: コミッショニング Milestone Phase2 Run における Latency

	Latency(Clock)
ローカル path	11
CTP path	36

### 5.5.2 コントロール系の検証

コントロール系に関しては、VME アクセスが正しく行われているかどうかの検証を行った。

#### VME Access CPLD に発見された問題

5.4.1 で説明したように SL の制御が可能となったわけであるが、FPGA のコンフィギュレーション機能に関してコンフィギュレーションの失敗が一部のボードで確認された。調査の結果、VME の制御線の 1 つが正しく扱われていないことが発覚、これが原因で一度のコンフィギュレーションで行われる 100 万回程度の VME アクセス中にエラーを起こしてしまっていた。これは、日本でこのボード検査で使われていた VME のマスターモジュールに比べてアクセススピードが速いことによって今回露呈した不良である。よってこれを改良し、正しく VME のプロトコル準拠とした。

しかし、今現在も全ボードのうち 9 枚が VME アクセスでエラーが起こる。256000 回の VME アクセスにおいて、多いもので 50 回、少ないもので数回のエラーが起こる。結果を表 5.14 に載せる。ボードに依存するこのエラー発生は現在調査中である。

表 5.14: 256000 回の VME アクセス試験結果

ボード (アドレス)	エラー回数
A-Side	
0x431	1
0x531	1
0x720	59
0x920	5
0xc20	1
C-Side	
0x531	1
0x731	41
0x930	1
0xb31	5

### 5.5.3 リードアウト系の検証

コミショニングでは図 5.17 の赤色の A10、C09 セクターに関して、今回初めて、SL のリードアウトを確立した。ここでは、リードアウト系の検証を述べる。

#### 不良ボードの発見

SLB ASIC は 1 つの事象につき 200 ビットの情報を出力するが、SL では Endcap ボード 160 ビット、Forward ボード 98 ビットのみを使用している。この使用していない部分については本来 LOW(0) が出力されるようになっているが、コミショニングで使用した SL ボードの 1 つの SLB ASIC からの出力で、ある特定の 1 ビットが頻繁に HIGH(1) となっていることが確認された。未使用部分なので、実際のデータには影響を及ぼさないが、下流の ROD モジュールでエラーを発生させるので問題である。これはボードを交換することで対処した。また、これは日本での検査の際は未使用の部分はチェックしていなかったことから今回発見された。コミショニングで読み出しを行った SLB ASIC は 12 個で、全体の 1/12 なので、不良ボードが他にも存在する可能性があり、配線などのインストール終了が一斉に検査する予定である。

#### 無効なデータの発見

C09 セクターに関して、SL から読み出される HPT 入力情報にデータに在ってはならない無効なものが存在することが確認された。図 5.21 に例を載せる。ある一定時間のデータ収集 (Run No.34243) で 30157 事象中 754 事象 (2.5 %) に無効なデータがみられた。A10 セクターに見られないことから、ボードの設計によるものではないと考えられる。また、ヒットの無い情報に関しては正しく 0 となっていることと、同時に読み出される MUCTPI 出力部分には無効なものが存在しないことなどから、Sector Logic FPGA での HPT から入力をラッチするタイミングが入力が次の事象に遷移するタイミングと重なっているためだと予想される。これの対処としては、Sector Logic FPGA の Delay ブロックで半クロックタイミングをずらしてやることで解決できる。これは実際のデータをチェックし、無効なデータを監視するシステムを構築する必要がある。

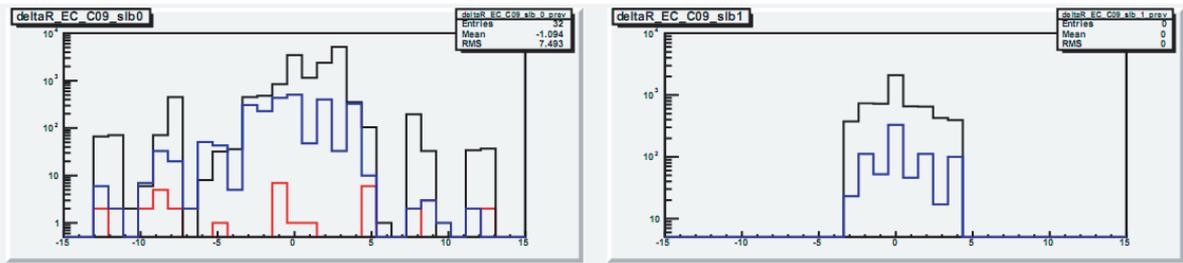


図 5.21: 無効なデータの例

HPT からの  $\Delta R$  の分布を表したもので横軸が  $\Delta R$ 、縦軸が入力数である。左が無効なデータを含むもの、右が正常なものである。HPT コインシデンスを通らなかったものを表示しているので  $-7 < \Delta R < 7$  となるはずであるが、左のヒストグラムにはありえない値がある。

### HPT ボードの不良発見

HPT からの入力に関して、位置情報のあるパターンが全く存在しないことが発見された。これは、HPT ボードの不良であることが確認され、現在、ボードの修正、再生産が検討されている。当分の応急処置としては、Sector Logic FPGA の論理の変更がおこなわれる。

### 5.5.4 トリガー系の検証

ここでは、トリガー系の機能検証について述べる。

#### 異常に高いレートでのトリガー発信、Glink Monitor FPGA の不具合発見

コミッショニングで TGC システムの長時間運転を行った際、途中で SL のトリガー出力が 20MHz 以上の異常に高いレートになるという問題が起こった。調査の結果、Glink Monitor FPGA の HDL 記述に問題があったことが確認された。Glink Monitor FPGA が Glink 受信 IC を正しく制御できておらず、入力信号が安定的に Sector Logic FPGA に渡されていなかったことが原因だった。これは、長時間運転で露呈した日本での検査では見つけられなかったバグである。これを修正し、トリガーの異常なレートでの発信は無くなった。

#### 無効なデータによるトリガー効率の減少

宇宙線コミッショニングでは、トリガーレートの減少をさけるため、Sector Logic FPGA のトリガー論理を変更しワイヤーのみの情報を用いてトリガーを発行した。ある一定時間のデータ収集 (Run No.34243) において、A10 セクターに関しては、HPT からのワイヤーヒット事象 24861 に対して全ての事象を SL でトリガー発行することができた。しかし、C09 に関しては、前述した無効なデータが Sector Logic FPGA の Delay ブロックより下流のブロックに入力されているため、全てのワイヤーのヒット事象に対してトリガー生成を行えなかった。38047 事象中 58 事象 (0.15 %) に関してトリガー発行できなかった。この問題はシステム全体のトリガー効率を下げってしまうことになるので、先に述べたように、実際のデータをチェックし、無効なデータを監視するシステムを構築する必要がある。

## データ検証

図 5.22 にある一定時間 (Run No.34243) に収集した A10 セクターの Endcap 部のデータを載せる。

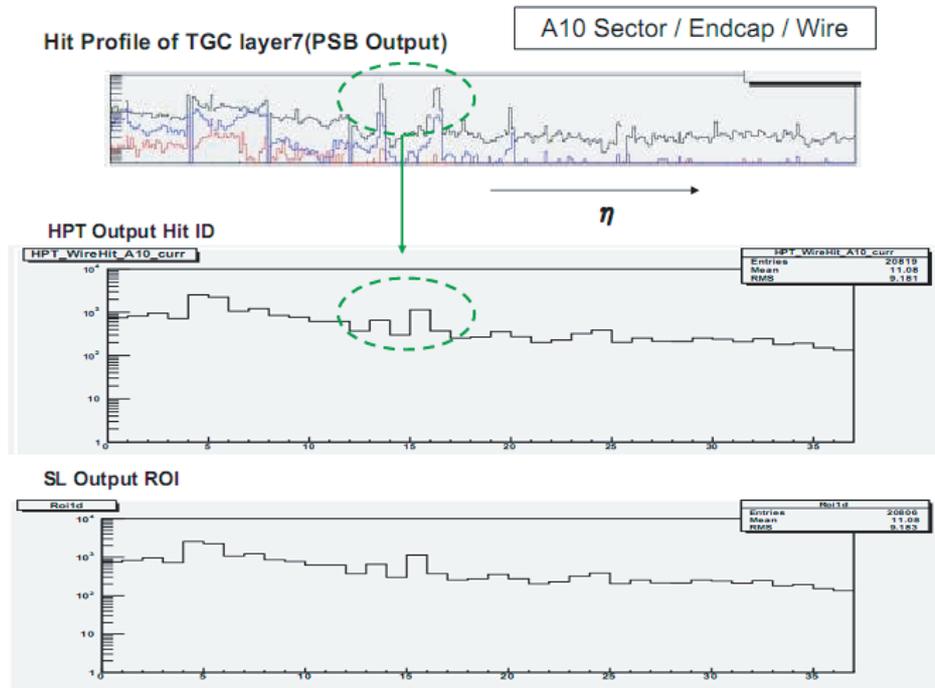


図 5.22: トリガー系のデータとヒットプロファイル

図の上から、PSB から読み出した TGC Layer 7 のヒットプロファイル、SL から読み出した HPT 出力のワイヤー方向の位置情報の分布と SL が出力した ROI をワイヤー方向に投影したものの分布を載せる。緑の円で囲んだ部分を見ると、HPT の出力はヒットプロファイルを反映していることがわかる。また、図の下 2 つの絵は完全に一致し、HPT のワイヤー情報に対して、SL が正しくトリガーを行っていることが確認できる。

## 第6章 まとめ

今回、SL Forward ボードの試作品を動作させるところからスタートし、制御ソフトの開発、HDLでの論理回路設計、量産、検査、インストール、オンラインソフトの開発を経て、コミッショニングでSLを実際にATLAS検出器の一部として動作させるに至った。

日本での検査については、検査システムを構築し、基板の配線チェック、各機能検証を行い、配線ミスの修正、HDLのバグ修正を経て量産に踏み切った。量産品の検査は、ボード83枚中81枚が合格し、CERNへ輸送され、USA15へインストールされた。(残り2枚の修理は保留。)

HDLでの論理回路設計について、VME Access CPLDはコミッショニングにおいて不具合が発見され、大幅な改良を行った。SL Endcap ボードのSector Logic FPGAの論理回路設計はForwardボードを参考に一から行い、完成させるに至った。Sector Logic FPGAにTrigger Counterなどの新しい機能の追加などを行い、実際に利用することができた。Glink Monitor FPGAはコミッショニングにおいてGlink受信ICの制御に不具合が発見され、改良に成功した。

制御ソフトの開発については、レジスタへの読み書き、FPGAのコンフィギュレーション・消去、PROM操作などを行い、SLの制御を可能にした。

オンラインソフトの開発については、SLの制御、モニタリングツールに関するソフトウェアを作成し、動作させることに成功した。

宇宙線コミッショニングについては、 $R$ 方向のみの情報でのトリガー生成や、磁場の影響を考慮したLUTの不使用など、限定的な機能ではあるが、TGCシステムの機能としてトリガーを生成することができた。SLから読み出したデータの解析によって、いくつかの不具合を発見することができた。

これからの課題として、まず、フル機能のSL全てのボードに対する検証があげられる。今回のコミッショニングでは限定のボードで限定的な機能での動作しか行っていない。インストールされた全てのボードの基本機能検証、 $R-\Phi$ コインシデンスでLUTを使用しフル機能でのSLの動作検証などが必要である。また、制御、モニタリング、機能診断、上流モジュールの監視など、だれでも簡単に操作できるユニバーサルデザインのツールの拡充も必要である。今回、Trigger Counter機能の追加などにみられた、初期には想定していなかったこともFPGAやCPLDを利用しているSLには可能であり、新しい便利な機能の追加などの模索も有益である。まだ決まっていないEI/FIからの入力に対する論理の構築も行う必要がある。

前後方ミュオントリガーシステムのなかでSLが期待される性能を実現し、ATLAS実験での新しい物理の発見に貢献できることを願っている。

# References

- [1] CERN Document Server <http://cdsweb.cern.ch/>
- [2] M.Spira, *Higgs Production and Decay at Future Machines*, CERN -TH/97-323, hep-ex/9711394 1997.
- [3] ATLAS DETECTOR AND PHYSICS PERFORMANCE Technical Design Report, CERN/LHCC/99-14, 1999.
- [4] ATLAS Muon Spectrometer Technical Design Report, CERN/LHCC/97-22, 1999.
- [5] ATLAS Level1 Trigger Technical Report, ATLAS TDR 12, 1999.
- [6] ATLAS High-Level Trigger, Data Acquisition and Controls, ATLAS Technical Design Report-016, 2003.
- [7] ATLAS Thin Gap Chamber Design page. <http://atlas-proj-tgc.web.cern.ch/atlas-proj-tgc/>
- [8] G.Charpak, *Filet à Particules*, Découverte, 1972.
- [9] H. Nomoto *et al.* Installation and Test of the ATLAS Muon Endcap Trigger Chamber Electronics, 2006.
- [10] Amplifier-Shaper-Discriminator ICs and ASD Board, ATLAS Internal Note MUON\_NO\_1, 1999.
- [11] O Sasaki. Patch-Panel ASIC, 2004.
- [12] T.Takemoto. JRC Data Sheet, ATLAS TGC Electronics Group, 2002.
- [13] ATLAS Install Scehdule ver. 8.1, 2006.
- [14] The Institute of Electrical and Electronics Engineers, Inc. Draft Standard for a Common Mezzanine Card Family : CMC, 2001.
- [15] Particle Data Group. in the 2006 Review of Particle Physics
- [16] Daniel Lellouch. *et al.* ATLAS/TGC Master Database 31 August 2004
- [17] *ATLAS Technical Proposal* CERN/LHCC/94-43, December 1994
- [18] *ATLAS Detector and Physics Performance Technical Design Report Volume 1,2* CERN/LHCC/99-14,15, May 1999
- [19] 緒方岳. 神戸大学修士学位論文「ATLAS 前後方ミュオントリガーシステム Sector Logic の開発」2006年2月

- [20] 野本裕史. 東京大学修士学位論文「ATLAS 前後方ミュオントリガーシステム読み出し系の開発」2005年1月
- [21] 片岡洋介. 東京大学修士学位論文「ATLAS 実験ミュオントリガーシステムのビームテスト及びシミュレーションによる総合評価」2004年1月
- [22] 溝内健太郎. 京都大学修士学位論文「ALTA 前後方ミュオントリガーシステム用エレクトロニクス読み出し系の開発」2002年2月

# 謝辞

本研究を行なう機会と適切な指導を頂いた指導教官の藏重久弥准教授<sup>a</sup>に心より感謝致します。

本研究において、懇切丁寧な御指導と多くの助言を頂きました佐々木修氏<sup>b</sup>、池野正弘氏<sup>b</sup>に深く感謝致します。

また様々な御指摘と助言を頂いた松下崇氏<sup>a</sup>、越智 敦彦氏<sup>a</sup>、坂本宏氏<sup>c</sup>、川本辰男氏<sup>c</sup>、石野雅也氏<sup>c</sup>、戸本誠氏<sup>f</sup>、杉本拓也氏<sup>f</sup>、福永力氏<sup>d</sup>、田中秀治氏<sup>b</sup>、菅谷頼仁氏<sup>e</sup> 他 ATLAS 日本グループの方々に深く感謝致します。

TGC エレクトロニクスグループで共に研究に励んだ丹羽正氏<sup>a</sup>、中塚洋輝氏<sup>a</sup>、早川俊氏<sup>a</sup>、奥村恭幸氏<sup>f</sup>、高橋悠太氏<sup>f</sup>、野本裕史氏<sup>c</sup>、久保田隆至氏<sup>c</sup>、桑原隆志氏、平山 翔氏<sup>c</sup>、金賀史彦氏<sup>c</sup>、結束晃平氏<sup>c</sup>、鈴木友氏<sup>b</sup>に深く感謝致します。また研究生活を通じて惜しみない協力を頂いた大町千尋氏<sup>a</sup>、喜家村裕宣氏<sup>a</sup>、岡田勝吾氏<sup>a</sup>、新保直樹氏<sup>a</sup>に感謝致します。上記の方々の協力で、充実した研究生活を送ることができました。心より感謝致します。

所属:

神戸大学 自然科学研究科 (理学研究科)<sup>a</sup>

高エネルギー加速器研究機構 (KEK)<sup>b</sup>

東京大学素粒子物理国際研究センター (ICEPP)<sup>c</sup>

東京都立大学 理学研究科<sup>d</sup>

大阪大学 理学部<sup>e</sup>

名古屋大学 理学研究科<sup>f</sup>