

修士学位論文
ATLAS 実験 RUN2 に向けた
レベル 1 ミューオントリガー回路の開発

神戸大学大学院理学研究科物理学専攻
粒子物理研究室
来見田 吏恵

2014 年 3 月 3 日

概要

2010年から本格的に稼働を始めた LHC(Large Hadron Collider) は、2013年2月までの稼働(RUN1)において、ATLAS 及び CMS 両グループによる Higgs 粒子の発見という功績を残し、現在長いシャットダウン期間に入っている。Higgs 粒子は、素粒子の振る舞いを理論的に説明する標準模型において、長年その存在が予言されながら唯一未発見だった粒子である。これまで Higgs 粒子の観測を目指していくつかの大型加速器による実験が行われてきた中で、LHC は素粒子実験の歴史にひとつの節目をもたらしたと言える。

しかしこれで LHC は役割を終えたわけではない。ATLAS, CMS グループは今後、発見された Higgs 粒子の精密測定や、標準理論を超えた現象の探索を通して、未知の物理分野を切り開いていくことが期待されている。そのためには現状の加速器及び検出器では限界があり、アップグレードを重ねていく必要がある。

我々 ATLAS 実験のミューオングループでは、更に高エネルギー・高ルミノシティとなる衝突環境に耐えるため、トリガーシステムを改善していく予定である。陽子陽子衝突で発生する膨大な数のイベントの中から解析対象のイベントを選別するトリガーシステムの中でも、ハードウェアによる高速処理を行うレベル 1 ミューオントリガーでは、ミューオンの運動量を概算してトリガーを発行する。RUN1 でのデータ取得状況を基に、2015 年から予定されている LHC の再稼働(RUN2)に向けて我々が取り組む課題は主に 2 つ。衝突点由来のミューオンではない荷電粒子によるトリガー(フェイクトリガー)がレベル 1 ミューオントリガーの殆どを占めているという問題、そしてノイズによって発生する連続トリガーが原因で読み出し回路に障害が起きることがあるという問題である。

これらの問題を解決するため、RUN2 ではレベル 1 ミューオントリガーに新しいトリガー回路を導入する。本研究では、このトリガーロジックの開発・実装を行い、テスト用に構築した環境の中で動作検証を行った。

目次

第 1 章	序論	1
第 2 章	LHC と ATLAS 実験	3
2.1	LHC	3
2.1.1	LHC 概要	3
2.2	ATLAS 検出器	5
2.2.1	検出器全体像	5
2.2.2	内部飛跡検出器	6
2.2.3	カロリメータ	7
2.2.4	ミューオンスペクトロメータ	8
2.2.5	マグネット	9
2.3	ATLAS トリガーシステム	10
2.3.1	トリガー全体像	10
2.3.2	レベル 1 トリガー	11
2.3.3	High Level Trigger	12
2.4	ATLAS 実験の目指す物理	13
2.4.1	Higgs 生成過程	13
2.4.2	Higgs 崩壊過程	14
2.5	RUN1 における ATLAS グループの功績	16
2.5.1	新粒子の発見	16
2.5.2	Higgs 精密測定 of 現状	16
2.6	RUN2 計画	19
2.6.1	加速器	19
2.6.2	ATLAS 検出器	20
第 3 章	レベル 1 エンドキャップミューオントリガーシステム	21
3.1	TGC について	21
3.1.1	TGC の構造と動作原理	21
3.1.2	TGC の配置	23
3.1.3	トリガーセクター	25
3.2	トリガースキーム	26
3.2.1	p_T 算出の概要	26
3.2.2	段階的なコインシデンス	27
3.2.3	Coincidence Window	28
3.3	エレクトロニクス	28
3.3.1	システム全体	29

3.3.2	フロントエンド	32
3.3.3	HSC クレート	36
3.3.4	ROD クレート	38
3.3.5	TTC	40
3.4	RUN2 に向けて	41
3.4.1	現状の問題	41
3.4.2	フェイクミューオンの原因	43
3.4.3	バーストの原因	44
3.4.4	対策	44
第 4 章	Sector Logic	45
4.1	Sector Logic の基本設計	45
4.1.1	システムからの制約と設計思想	45
4.1.2	入力信号	46
4.2	Sector Logic Board の仕様	47
4.2.1	概要	47
4.2.2	Sector Logic FPGA 内部設計	50
4.2.3	Glink Monitor FPGA 内部設計	52
4.2.4	VME Access CPLD 内部設計	53
第 5 章	新しいトリガー回路の開発と実装	54
5.1	EI/FI を用いた新しいトリガー回路の開発	54
5.1.1	2012 年の取り組み	54
5.1.2	LUT を用いた Inner Coincidence	56
5.1.3	Inner Coincidence の要求を解除する機能	58
5.1.4	期待される性能	58
5.2	ROD Busy を回避するための新しいトリガー回路の開発	58
5.2.1	Burst Stopper の概要	59
5.2.2	Burst Monitoring	60
5.3	新しいトリガー回路の実装	61
5.3.1	削除した機能について	61
5.3.2	Forward 用 Sector Logic への対応	63
5.4	動作確認	63
5.4.1	シミュレーションでの動作確認	63
5.4.2	テストベンチを用いた動作確認	64
第 6 章	結論	68
	謝辞	70
	参考文献	71

第1章 序論

Large Hadron Collider(LHC) は欧州原子核研究機構 (CERN) に建設された、世界最高エネルギーの陽子陽子衝突型加速器である。LHC は2010年から2013年までの稼働 (RUN1) において、バンチ衝突頻度 20 [MHz], 重心系エネルギー最大 8 [TeV], 最大瞬間ルミノシティ $0.7 \times 10^{34} [cm^{-2}s^{-1}]$ での衝突を達成し、2013年2月から2015年まで、加速器及び各検出器のアップグレードのため長期シャットダウン中である。

アップグレード後の RUN2 では、まずバンチ衝突頻度 20 [MHz], 重心系エネルギー 13 [TeV], 瞬間ルミノシティ $1 \times 10^{34} [cm^{-2}s^{-1}]$ で運転が再開され、その後バンチ衝突周波数を 40 [MHz] まで上げ、バンチカレントを増やして瞬間ルミノシティを上げていく。瞬間ルミノシティは最大で $2 \times 10^{34} [cm^{-2}s^{-1}]$ まで上がる可能性がある。

ATLAS 検出器は LHC の衝突点の 1 つに設置されており、高エネルギー領域での物理事象を精密に測定することを目的とした汎用検出器である。ATLAS 実験の主な物理ターゲットは Higgs 粒子の性質の解明, 超対称性粒子 (SUSY) 等の重い粒子の探索, 及び高エネルギー領域での素粒子標準模型の精密検証等である。LHC で発生する膨大なデータの中から物理解析に有用なデータを効率的に選り出すため、ATLAS 実験では 3 段階のトリガーシステムを用いている。私は特にエンドキャップと呼ばれる領域のレベル 1 ミューオントリガーを担当する TGC グループに所属しており、RUN2 に向けたミューオントリガーの改良に携わっている。レベル 1 トリガーはハードウェアでトリガー判定が行われ、 $2.5 [\mu\text{sec}]$ のレイテンシーが許されており、全体で約 75 [kHz] までレートを落とす。

エンドキャップミューオントリガーには TGC (Thin Gap Chamber) という検出器のヒット情報が利用される。TGC は MWPC チェンバーをホイール状に配置し、多層並べた構造をとっている。レベル 1 エンドキャップミューオントリガーシステムはまず各層でのミューオンのヒット位置を算出し、ミューオンのトラックを再構成する。次にそのトラックがトロイド磁場によりどの程度曲がったかでミューオンの横運動量 (p_T) を概算し、算出された p_T が設定された閾値を超えたらトリガーを発行する。

RUN1 において、レベル 1 エンドキャップミューオントリガーのトリガーレートは約 4.5 [kHz] だったが、これは実際に衝突点から飛来するミューオンのレートに比べて 2~3 倍程度高い。これは TGC のトリガーに衝突点以外から飛来する荷電粒子によるバックグラウンドが含まれているためである。LHC のアップグレードによるルミノシティ及び衝突エネルギーの上昇に伴って、トリガーレートも上昇する。TGC が発行するトリガーに関しては、ルミノシティ $2 \times 10^{34} [cm^{-2}s^{-1}]$ では約 34 [kHz] のトリガーレートが予想される。RUN1 で使用していたトリガー回路では他のレベル 1 トリガーを圧迫してしまい、RUN2 にそのまま流用しようとする効果的に物理データを取得することが出来なくなる。

さらに、RUN2 での TGC 運用に向けて、もうひとつ懸念事項が存在する。RUN1 において、

TGC を含むミューオン検出器全体に、電氣的なノイズが原因と思われる事象が多数観測された。この現象はある程度の時間幅を持って発生する場合もあり、数バンチに渡り連続してトリガーを発行してしまうことにより、読み出しシステムの処理が追いつかなくなる障害が複数回発生した。

これらの問題を解決するため、我々TGC グループでは RUN2 に向けて以下の対策を講じる。

1. バックグラウンドによって発行されるトリガーの削減
2. ノイズによって発行されてしまうトリガーの抑制

本研究では、1. を実現するためにトロイド磁石より内側に配置されたインナーステーション TGC(EI/FI) の信号をトリガー判定に加え、バックグラウンドの除去に効果的な新しいトリガーロジックを開発した。更には 2. を実現するために、連続バンチに渡るトラックを検知し、ノイズによるトリガー発行を抑制するためのトリガーロジックを開発した。

この新しいトリガーロジックは、レベル 1 ミューオントリガーシステムの主要な回路要素を成す Sector Logic (SL) と呼ばれるボードに追加する。SL は、TGC におけるトリガー判定エレクトロニクスの最終段に置かれ、最終的にミューオンの p_T を概算し、トリガー判定を行う役割を担うモジュールである。神戸大学では 2000 年から SL ボードの設計・開発に着手し、ハードウェア並びにファームウェアの開発、実装などを通して RUN1 におけるミューオントリガーシステムの実現に貢献してきた。本研究では SL の FPGA(Field-Programmable Gate Array) に記述するファームウェアに変更を加えることで、ハードウェアを追加することなくトリガーロジックを変更することに成功した。

本論文では、第 2 章で LHC 及び ATLAS 検出器とトリガーシステムの概要を述べ、RUN2 に向けて進行中であるアップグレード計画の全体像を説明する。第 3 章で TGC の動作原理と用いられているエレクトロニクスについて解説し、RUN2 に向けたレベル 1 ミューオントリガーの改良点についても説明する。第 4 章では SL の仕様について詳しく紹介する。第 5 章で新しい回路と期待される性能について述べ、開発・実装、動作検証について述べる。

第2章 LHCとATLAS実験

私は ATLAS 実験の中でも 2015 年から予定されている RUN2 に向けた研究・開発に携わっている。本章では、前提知識となる LHC 及び ATLAS 実験、RUN1 での ATLAS の功績、RUN2 計画について概説する。

2.1 LHC

本節では、ATLAS が利用しているシンクロトロン加速器、LHC について解説する。

2.1.1 LHC 概要

LHC(Large Hadron Collider) はスイス・ジュネーブにある欧州原子核研究機構 (CERN) に建設された世界最大の大型陽子陽子衝突型加速器であり、2000 年に運転を終了した大型電子・陽電子衝突型シンクロトロン LEP (Large Electron Positron Collider) で使用されていたトンネル内に設置されている。陽子は電子に比べて質量が約 1800 倍と大きく、加速によって生じるシンクロトロン放射による運動エネルギーの損失が少ない。そのため、超伝導加速空洞と偏向用超伝導電磁石の導入により高エネルギーまで加速が可能である。2012 年 12 月時点での重心系エネルギーは 8[TeV] であり、世界最大のエネルギースケールで実験を行える加速器となっている。

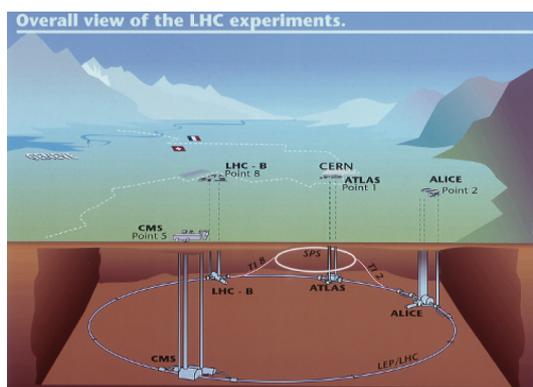


Fig. 2.1: LHC 外観

Table.2.1 に LHC の主要なデザインパラメータを示す。重心系エネルギーとルミノシティはまだデザイン値に達しておらず、後述の LHC アップグレードにより改善していく方針である。2012 年は重心系エネルギー 7[TeV] 及び 8[TeV] で稼働し、最大瞬間ルミノシティは $0.7 \times 10^{34} [cm^{-2}s^{-1}]$ を記録した。その後 2013 年 2 年に一旦運転を終了し、後述する RUN2 に向けて 2015 年までメンテナンス期間が設けられている。

Table. 2.1: LHC のデザインパラメータ

リング周長	26.7[km]	偏向磁場	8.33[T]
重心系エネルギー	14[TeV]	瞬間ルミノシティ	$10^{34} \text{ cm}^{-2} \text{ s}^{-1}$
バンチ間隔	24.95[ns]	1バンチあたりの陽子数	1.15×10^{11}
バンチ ID 総数	3564	使用バンチ数	2808
1バンチの長さ	75[mm]		

加速器は、LHC に陽子ビームを入れる前に複数の前段加速器により段階的にエネルギーを上げる仕組みになっている。まず陽子イオン源から出た陽子イオンは線形加速器である Linac2 で加速される。これを PS(Proton Synchrotron) に入れる前に、PS Booster と呼ばれるシンクロトロンで 1.4[GeV] までエネルギーを引き上げる。その後 PS, SPS (Super Proton Synchrotron) により段階的にエネルギーを 450[GeV] まで上げ、LHC に入射させる。この概要を Fig.2.2 に示す。

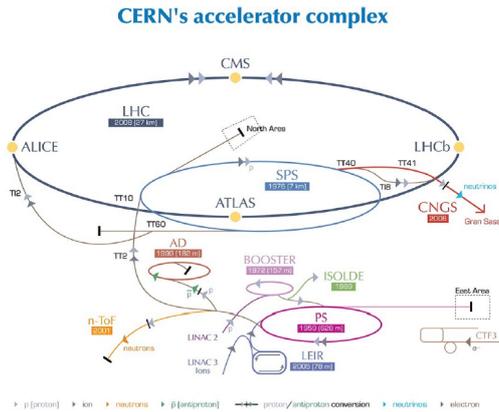


Fig. 2.2: LHC と前段加速器

LHC で行われている諸実験

LHC で行われている実験のうち、ATLAS (A Toroidal LHC ApparatuS) と CMS (Compact Muon Solenoid) はどちらも汎用の大型検出器である。LHC リングの正反対のサイトに位置し、互いに成果を競い合っている。2012 年の 7 月には共に $125\text{-}126[\text{GeV}/c^2]$ 付近に 5σ の確度で Higgs 粒子とみられる新粒子を発見したと発表した [1][2]。ALICE (A Large Ion Collider Experiment) では重イオン ($^{208}\text{Pb}^{82+}$) 同士を衝突させた実験により、宇宙初期のグルーオンとハドロンが入り混じった状態を再現し、Quark Gluon Plasma (QGP) の生成を証明し、この新しい物理状態の性質を研究することを目指している。LHCb (Large Hadron Collider beauty) では b クォークの物理に焦点を当て、B メソンにおける CP 対称性の破れを観測することにより標準模型を超える物理の探索を目指している。ATLAS, CMS, ALICE, LHCb 実験についての概要を Table.2.2 にまとめた¹。

Table. 2.2: LHC で行われている実験

実験名	サイト	実験の概要
ATLAS	point 1	大型汎用検出器による実験
ALICE	point 2	重イオン検出器による QGP の検証
CMS	point 5	大型汎用検出器による実験
LHCb	point 8	B メソンにおける対称性の破れの検証

¹LHC を上空から見て 8 等分する点に、時計回りに point1~point8 と名前が付けている。

2.2 ATLAS 検出器

ATLAS では大型汎用検出器を用いて Higgs 粒子や標準模型を超える現象を探索している。3000 人を超える研究者が参加しており、日本からも多数の研究者や学生が研究に取り組んでいる。検出器は直径 25[m]、長さ 44[m] の円筒形をしており、総重量は 7,000[t] と LHC に設置された検出器の中では最大規模を誇る。本節では ATLAS 検出器の構成について簡単な説明を行う。

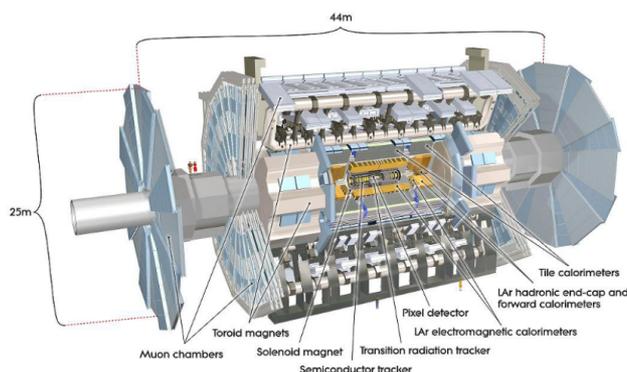


Fig. 2.3: ATLAS 検出器全体像

2.2.1 検出器全体像

一般的な衝突型加速器における主な検出器は、内側から内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、ミューオンスペクトロメータという構成をとる。飛跡検出器は後述するソレノイド磁場で曲げられた荷電粒子をとらえ、飛跡の再構成を行い運動量を測定する。電磁カロリメータは電磁シャワーにより電子及び光子のエネルギーを測定する。ハドロンカロリメータは、ハドロンシャワーを起こさせることによって電磁カロリメータと同様にジェットのエネルギーを測定する。ミューオンは荷電粒子であるが、制動輻射の断面積が小さく、強い相互作用も起こさないため、最外部に配置したミューオンスペクトロメータにより運動量と位置を測定する。

ATLAS においても内部飛跡検出器、(電磁/ハドロン) カロリメータ、ミューオンスペクトロメータが内側から順に配置されている。ATLAS 検出器の全体像を Fig.2.3、粒子の検出概念を Fig.2.4 に載せる。ATLAS はマグネットに特徴があり、一般的なソレノイド磁石に加えてトロイド磁石を用い、ミューオンスペクトロメータにおける運動量測定を可能にしている。これらを総合して様々な陽子陽子衝突反応に対応し、超前方を除いた全立体角を覆い、ほぼ全ての粒子を検出することが可能となっている。次小節以降でそれぞれについてもう少し詳しく説明する。

ATLAS の座標系

座標系の概略図を Fig.2.5 に示す。ATLAS では主に xyz 座標系もしくは $r\phi z$ 座標系を用いている。 xyz 座標系は一般的な三次元直交座標系であり、ビームパイプ方向を z 軸、LHC リング中心方向を x 軸、それらと垂直な方向を y 軸としている。また、円筒型である ATLAS 検出器の両サイドを表すのに z 軸の正方向を A-side, 負方向を C-side と呼ぶことがある。 $r\phi z$ 座標系は円筒座標系であり、ATLAS 検出器の各要素の位置を示すのに適している。ビームパイプ方向を z 軸とするのは同じで、円筒の動径方向を r 、方位角方向を ϕ とする。また、擬ラピディティ η という物理

量を使うことがしばしばある。これは衝突点からの天頂角 θ を用いて次式のように表される。

$$\eta = -\ln(\tan(\theta/2))$$

η 、 ϕ で表すと生成粒子の分布が一様になることから、粒子のヒット位置を示すのによく用いられる。また、構成要素の検出器はシリンダー状の部分 (バレル部) とディスク状の部分 (エンドキャップ部) でできており、 η の大小でこれらを区別することが多い。

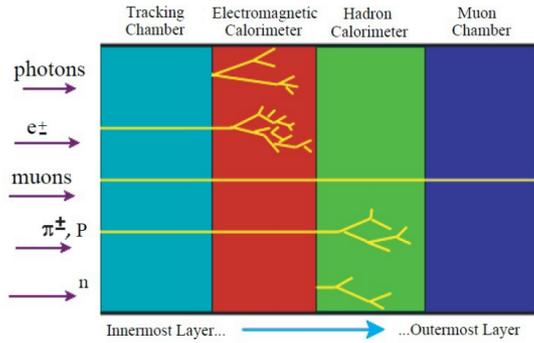


Fig. 2.4: 各粒子の検出概念図

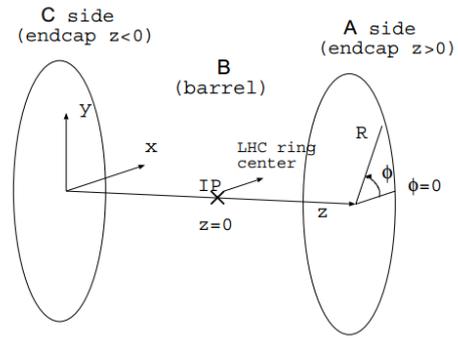


Fig. 2.5: ATLAS の座標系 [10]

2.2.2 内部飛跡検出器

検出器の最内部において飛跡の再構成をするのが内部飛跡検出器 (ID: Inner Detector) である。ATLAS の ID は内層のシリコン検出器及び外層の遷移放射検出器で構成されている。バレル部 ID の概略図を Fig.2.6 に示す。

シリコン検出器

ID 内層には飛跡再構成の要求精度を満たすため、チャンネルが細分化され、位置分解能に優れたシリコン検出器を配置する。以下の 2 種類がある。

- Pixel 検出器
シリコンピクセルを用いた高分解能の位置検出器である。バレル部は 3 層からなり、内側から順 (R 座標の小さい順) に B-Layer、Layer-1、Layer-2 と呼ぶ。
- SCT (Semi-Conductor Tracker)
シリコンマイクロストリップを用いた位置検出器である。ソレノイド磁場により曲げられた荷電粒子の飛跡をとらえることで横運動量 (p_T) の測定を行う。

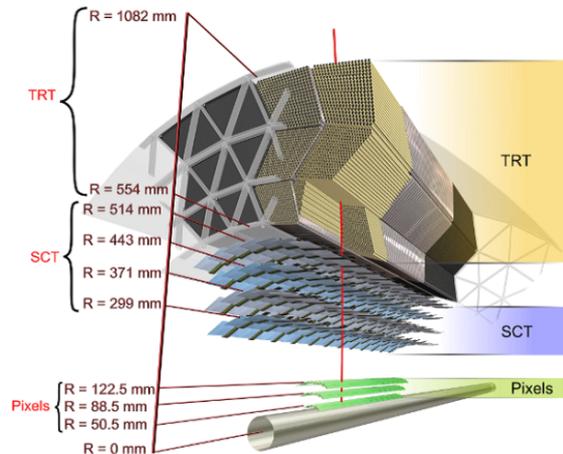


Fig. 2.6: バレル部 内部飛跡検出器

遷移放射検出器

ID を全てシリコンで作るのはコスト面で厳しい。代わりに ID 外層には遷移輻射²を利用した検出器である Transition Radiation Tracker (TRT) を用いている。ストローチューブ検出器と、遷移放射物質としてのポリプロピレンファイバーが互いに重なり合った構造をしており、ポリプロピレンからの X 線をストローチューブ検出器が捉える。電子からは比較的能量の大きい X 線が放射されるため、分別することができる。

2.2.3 カロリメータ

カロリメータは ID の外側において粒子のエネルギーや放出角度を測定する検出器である。用途により電子や光子を検出する電磁カロリメータと、ジェットを検出するハドロンカロリメータに分かれる。カロリメータの概略図を Fig.2.7 示す。

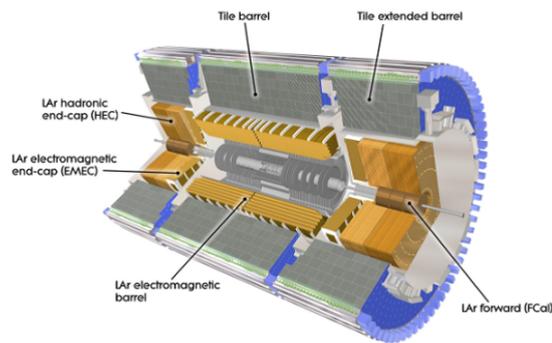


Fig. 2.7: カロリメータ

LAr 電磁カロリメータ

液体アルゴン (LAr) を使用したサンプリングカロリメータである。吸収体には鉛を使用しており、アコーディオンのような形状にすることで ϕ 方向の不感領域がなくなるように設計されている。バレル電磁カロリメータは $|\eta| < 1.48$ をカバーし、エンドキャップ電磁カロリメータは $1.38 < |\eta| < 3.2$ をカバーする。

ハドロンカロリメータ

バレル部 ($|\eta| < 1.7$) には鉄の吸収体とタイル状のシンチレータが交互に重ね合わさった構造を持つ Tile カロリメータが使用されている。一方エンドキャップ部 ($1.5 < |\eta| < 3.2$) には銅の吸収体と LAr で構成された Hadronic End-cap Calorimeter (HEC) が使用されている。

- Tile カロリメータ

Tile カロリメータは鉄板を吸収体とし、タイル状のシンチレータを交互に重ね合わせたサンプリングカロリメータである。シンチレータタイルの両端に波長変換ファイバーが繋がれており、2つの光電子増倍管から読み出しを行う。

- LAr Hadronic Endcap Calorimeter

HEC は電磁カロリメータと同じく LAr を用いたサンプリングカロリメータである。ただし吸収体には銅を使用している。HEC は 32 個の同一な形状のくさび形モジュールを組み合わせて円盤状になっている。

²荷電粒子が誘電率の異なる 2 つの物質の境界において起こす放射

2.2.4 ミューオンスペクトロメータ

ミューオンスペクトロメータは ATLAS 検出器の最外部に配置されている、ミューオンの位置測定等を行う検出器群のことである。ミューオンは $2.2[\mu\text{sec}]$ と寿命が比較的長く、カロリメータでのエネルギー損失も少ないため物質の透過力が強く、ミューオンスペクトロメータまで到達できる。全体図を Fig.2.8 に示す。ATLAS のミューオンスペクトロメータは役割によりトリガー用検出器と位置測定用検出器に分かれる。位置測定用検出器には磁場と垂直な方向 ($r-z$) の位置を $50[\mu\text{m}]$ 程度の精度で測定することが求められる。一方、トリガー用検出器には $25[\text{nsec}]$ 以内の応答、 p_T 測定によるトリガー判定、数 mm \sim 1cm の精度での第二座標 (ϕ) 測定が求められる。

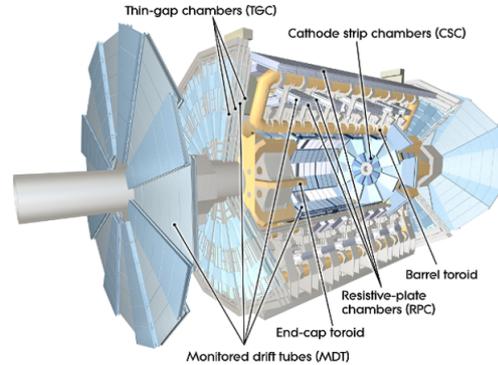


Fig. 2.8: ミューオンスペクトロメータ

トリガー用検出器

ミューオントリガーはバレル部を RPC、エンドキャップ部を TGC が担当する。

- RPC(Resistive Plate Chamber)

高抵抗板を電極として用いるガス検出器の一種である。ATLAS では互いに直交するストリップを用いて $z-\phi$ 二次元情報を取得できるようにしており、バレル部のトリガーに用いられる。 ϕ 方向の位置分解能は $5\sim 10[\text{mm}]$ 程度で、検出器のタイムジッターは $1.5[\text{nsec}]$ より小さく、反応時間が短い。

- TGC(Thin Gap Chamber)

ワイヤ間の間隔 (1.8mm) よりワイヤ・ストリップ間の距離 (1.4mm) の方が短いのが特徴的な MWPC である。これによりバンチ間隔である $25[\text{nsec}]$ 以内に $R-\phi$ 二次元読み出しを可能にし、エンドキャップ部のトリガーに用いられる。TGC については第 3 章で更に詳しく解説する。

高精度位置測定用検出器

- MDT(Monitored Drift Tube)

MDT はバレル部、エンドキャップ部の広いラピディティ領域をカバーし、 $r-z$ 方向成分を精密に測定することができる。カソード径 $30[\text{mm}]$ 、アノード径 $50[\mu\text{m}]$ であるドリフトチューブで構成され、1 本の位置分解能は $80[\mu\text{m}]$ である。スペーサーフレームの両側に、ドリフトチューブを 3 本もしくは 4 本を層状に並べたものが 1 つのチェンバーになる。

- CSC(Cathod Strip Chamber)

CSC は放射線の多い $2.0 < |\eta| < 2.7$ の領域に設置されている運動量精密測定用の MWPC である。ワイヤ間隔 $2.54[\text{mm}]$ 、ストリップ読み出し間隔 $5.08[\text{mm}]$ で、位置分解能 $60[\mu\text{m}]$ である。カウントレート上限が $150[\text{Hz}/\text{cm}^2]$ の MDT に代わり、 $1000[\text{Hz}/\text{cm}^2]$ の CSC がフォワード部の対応をする。

2.2.5 マグネット

荷電粒子の運動量測定のために、ATLAS では 2 種類の超伝導磁石を用いている。ソレノイド磁石、そして ATLAS の名前の由来にもなっているトロイド磁石である。2 種類のマグネットの図を Fig.2.9 に示す。

ソレノイド磁石

ID の外側に z 方向約 2[T] の磁場を発生させる超伝導ソレノイド磁石が設置されている。荷電粒子は ϕ 方向に曲げられ、ID で p_T が測定される。

バレルトロイド磁石

バレル部はカロリメータの外側に長さ 25[m] のトロイド磁石が設置されている。8 つの超伝導コイルにより ϕ 方向に約 0.5[T] の磁場が発生する。荷電粒子は η 方向に曲げられ、RPC と MDT で p_T が測定される。

エンドキャップトロイド磁石

エンドキャップ部にも長さ 5[m] のトロイド磁石が存在する。各コイルはバレル部のものと 22.5° ずつずれて配置されている。 ϕ 方向約 1[T] の磁場により荷電粒子を曲げ、TGC, MDT, CSC を用いて p_T を測定する。

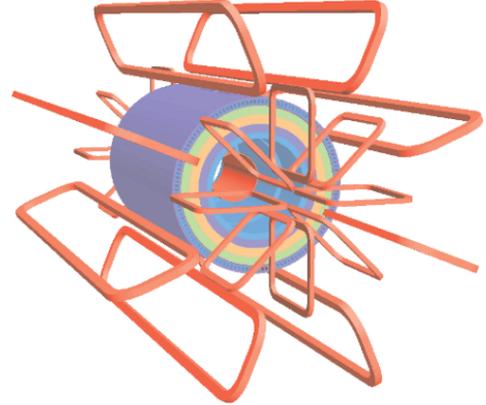


Fig. 2.9: ソレノイド磁石とトロイド磁石

また、 η の値に対するトロイド磁場の積分強度を Fig.2.10 に示す。トロイド磁場は ϕ 方向成分が主だが、磁場の不均一性は避けられないため、R 方向及び z 方向成分も存在している (Fig.2.11)

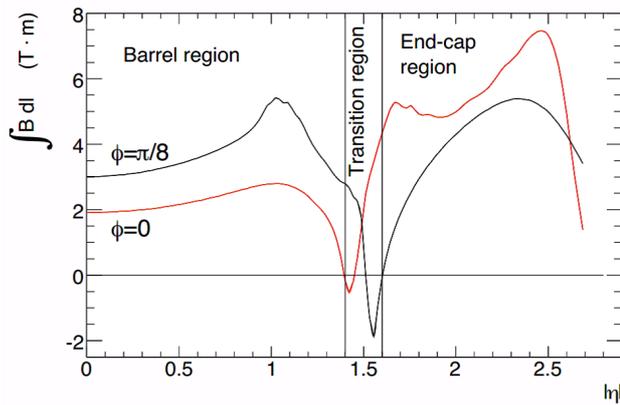


Fig. 2.10: η と磁場積分強度の関係

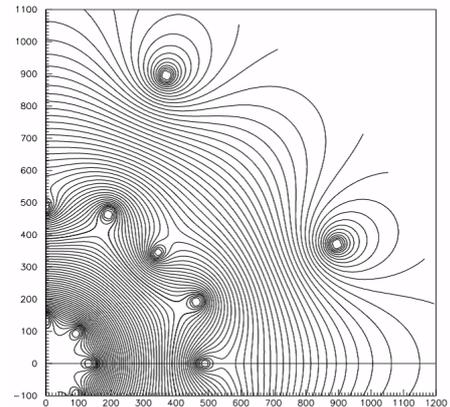


Fig. 2.11: $x - y$ 平面の磁束の構造

2.3 ATLAS トリガーシステム

高エネルギー実験、特に非常に稀な事象を探索する ATLAS にとってトリガーシステムとデータ収集システム (DAQ: Data Acquisition) の性能は非常に重要である。14[TeV] のデザインエネルギーでの陽子陽子衝突を実現した場合、Higgs は 10 億回に 1 回程度の割合でしか生成されない。よって、膨大なバックグラウンドの中から興味深い事象をいかに効率よく選び出すかが重要である。本節では ATLAS のトリガー及びデータ収集システム (TDAQ: Trigger and DAQ) について説明する。

2.3.1 トリガー全体像

LHC では約 40[MHz] の頻度で衝突が起こり、一回の衝突で数 10 個の陽子が反応を起こす。これらを全て拾っていたのでは約 1[GHz] でデータがくることになり、とても処理しきれない。ATLAS では 3 段階のトリガーを用いてこのレートを 200[Hz] 程度にまで落とす。Level 1 (LVL1) で 75~100[kHz]、Level 2 (LVL2) で 2[kHz]、Event Filter (EF) で 200[Hz]、といった具合である (Fig.2.12)。

LVL1 は 2.5[μ s] という厳しいレイテンシーの条件からハードウェアで処理が行われ、ソフトウェア処理の LVL2、EF と区別される。このため LVL2、EF をまとめて High Level Trigger (HLT) と呼んでいる。

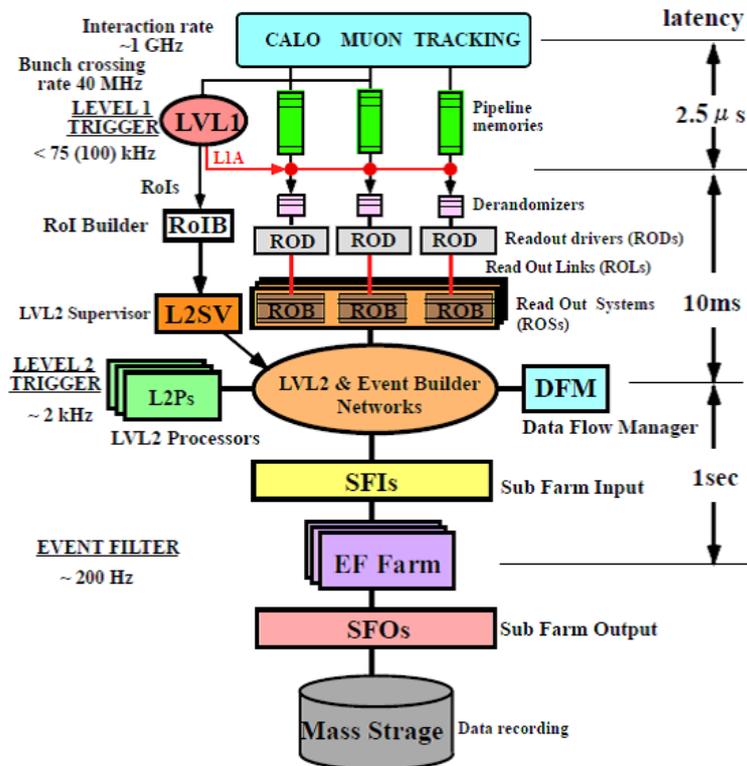


Fig. 2.12: TDAQ 概要

2.3.2 レベル1トリガー

LVL1はミューオンの p_T 情報及び電子、光子、ジェット等のエネルギー情報を用いてかけるトリガーである。 p_T 情報はTGC、RPCから提供され、エネルギー情報は電磁/ハドロンカロリメータから精度を落としたものが提供される。これら検出器のシステムと、情報を統合してトリガー判定を行うCentral Trigger Processor (CTP)、さらにトリガーを分配するTiming Trigger and Control distribution system (TTC)でLVL1トリガーシステムが構成されている。LVL1トリガーシステムの概要をFig.2.13に示す。

読み出しデータはLVL1に与えられたレイテンシーである $2.5[\mu s]$ の間は保持しておかなければならないので、少なくとも100段のパイプラインメモリ(LVL1 Buffer)でトリガーの発行を待つ。CTPは現象に合わせてMU(muon)、EM(electromagnetic)、J(jet)等のトリガーマニューが用意されており、いずれかの基準を満たした場合に、トリガーの発行を示すLevel 1 Accept (L1A)信号が発行される。

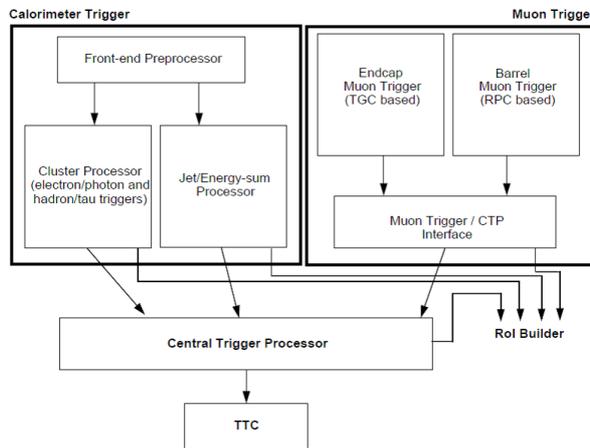


Fig. 2.13: LVL1 トリガーシステム

TTC

TTCは各検出器システムのフロントエンドにタイミング/トリガー信号を届けたりフロントエンドに個別に命令を送るために用いられる。タイミング/トリガー信号にはクロック、L1A、ECR、BCR等がある。ECRはEvent Count Resetの略で、イベントカウントのリセットを行うための信号である。BCRはBunch Count Resetの略で、バンチカウントのリセットを行うための信号である。

Fig.2.14のようにTTCはLocal Trigger Processor (LTP)、TTCvi、TTCvx、ROD busyから構成されている。LTPは各検出器システムごとにおかれ、ローカルにおけるマスターの役割を果たす。CTPからタイミング/トリガー情報を受け取り、クロックをTTCvxに、他をTTCviに渡す。この際、例えばトリガーに関してL1Aをそのまま渡すか、ローカルに生成されたトリガーを用いることができるなど、ローカルでの運用も可能になっている。

TTCviは受け取った情報を元にトリガーをA-Channel、その他の信号をB-ChannelとしてコーディングしてTTCvxに渡す。TTCvxは2種類の信号をTDMにより多重化し、光信号により

フロントエンドに分配する。TDM は Time Division Multiplexing の略で、時間ドメインを分割することで複数のチャンネルを同時に送信する技術である。RODbusy モジュールは ROD(Read Out Driver) からの busy 信号をまとめ、LTP を経由して CTP へと受け渡す。busy は ROD が何らかの原因で処理が追いつかない場合に発行され、L1A の発行を停止させる。フロントエンドで TTC 信号を受け取るには、TTCrx という IC を搭載したモジュールを用いる。TTCrx は TTC 信号をデコードしてタイミング/トリガー情報を再生する。例として TGC フロントエンドでは、TTCrx を載せた TTCrq メザニンカードによりデコードし、ファンアウトモジュールを介して各 LVL1 Buffer にトリガー信号を配っている。

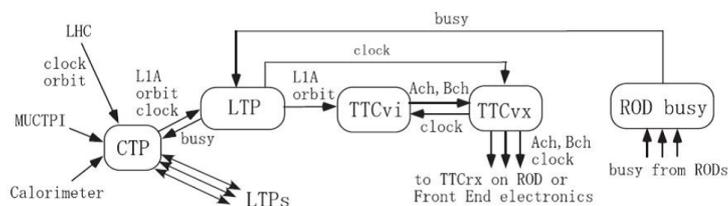


Fig. 2.14: TTC システムを構成するモジュール

L1A は TTC によりフロントエンドの LVL1 Buffer に届けられ、データが読み出される。データはデランダムマイザという機構によってトリガー発行のばらつきを吸収し、Read Out Driver (ROD) に送信される。ROD までを各検出器システムが担当している。ROD はデータを ATLAS 共通のフォーマットに変換し、後段の Read Out System (ROS) に送る。ROS は複数の Read Out Buffer (ROB) で構成されており、LVL2 の処理の間データを保持する。また、このデータフローとは別に、Region of Interest (ROI) 情報が LVL2 に渡される。ROI は、LVL1 トリガーで得られた粒子の存在領域を η と Φ で表したものであり、LVL2 トリガーに使用される。

2.3.3 High Level Trigger

LVL2 では LVL1 より高精度なトリガー判定を行う。そのため LVL1 で用いられなかった MDT、CSC、ID 等の情報にもアクセスできるようにする。ただし 40[ms] のレイテンシー制約があるため、ROI 情報を元に適切なデータを ROS から取り出す。LVL2 トリガメニューを用いて LVL2 判定が行われ、通ると Level 2 Accept (L2A) が発行される。L2A が発行されると、ROS に格納されていた全データは Sub Farm Input (SFI) buffer に移され、所定のフォーマットに変換される。

EF では ROI で限定せず全てのデータを用いてトリガー判断を下す。トリガー判定は複数の EF Sub Farm から構成された EF Farm において、並列処理により行われている。EF Sub Farm は SFI からデータを受け取り、最大 4[sec] かけてトリガーを発行する。EF を通過すると、該当データとトリガー情報が Sub Farm Output (SFO) buffer に渡され、最終的なディスクへの書き込みが行われる。

2.4 ATLAS 実験の目指す物理

これまで ATLAS 実験が掲げてきた主目的の 1 つとして Higgs 粒子の探索及び精密測定が挙げられる。Higgs 粒子は存在を予言されてから 50 年近く様々な実験で探索が続けられてきた。LHC 以前の実験では、LEP により $114[\text{GeV}/c^2]$ 以下の領域が、Tevatron³ により $156\text{-}177[\text{GeV}/c^2]$ の領域がそれぞれ 95% の精度で棄却されており、LHC での結果に期待が寄せられていた。

2010 年から本格稼働を始めた LHC は、2011 年までの運転で $141\text{-}476[\text{GeV}/c^2]$ の領域を 95% の精度で棄却。2012 年 7 月、ATLAS と CMS は揃って $126[\text{GeV}/c^2]$ 付近に“新しいボゾン”が存在することを発見した。両グループは発見されたボゾンの性質を研究し、その結果から CERN は 2013 年 3 月、発見された粒子は Higgs 粒子であることが示唆されたことを発表した。

本節では LHC での Higgs 測定を中心に、ATLAS で検証する物理について説明する。

2.4.1 Higgs 生成過程

Higgs の主な生成過程として、 $gg \rightarrow H$ (gluon fusion), $qq \rightarrow qqH$ (vector boson fusion), $q\bar{q} \rightarrow (W/Z)H$ (W/Z associate production), $gg \rightarrow ttH$ (top associate production) の 4 つが挙げられる。各生成過程のファインマンダイアグラムを Fig.2.15 に示す。また、Higgs の生成断面積は Fig.2.16 のようになる。

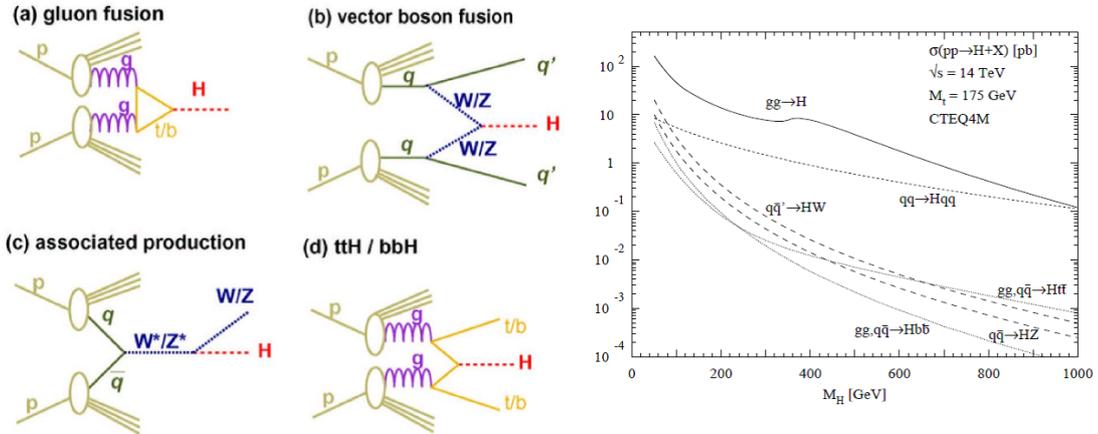


Fig. 2.15: Higgs 粒子の主な生成過程

Fig. 2.16: Higgs の生成断面積

gluon fusion (GF): $\sim 30\text{pb}$

グルーオンは質量をもたないので Higgs とは結びつかないが、トップクォーク、ボトムクォークといった重いクォークのループを介して Higgs 粒子を生成する。LHC では最も断面積が大きいためメインの生成過程であるが、Higgs 粒子の崩壊から出てくる粒子以外は高い p_T を持たないので、バックグラウンドとの選別が難しい。

³フェルミ国立加速器研究所の所有する陽子-反陽子衝突型加速器。周長 6.3[km] であり、重心系エネルギーはおおよそ $2[\text{TeV}]$ である。

vector boson fusion (VBF): $\sim 5\text{pb}$

2つのクォークから放出されたベクターボソン (W, Z) が結合する過程で、2番目に断面積が大きい。GF に比べて断面積は 1/6 程度だが、散乱角前方に反跳クォークの高 p_T ジェットが2本出るのでバックグラウンドとの選別は比較的容易である。

W/Z associated production (WH/ZH): $\sim 3\text{pb}$

粒子・反粒子の対消滅で生じたベクターボソンから制動放射の形で Higgs が放出される過程である。W/Z がレプトン崩壊を起こした場合にバックグラウンドとの識別が容易である。

top associated production (ttH): $\sim 0.5\text{pb}$

グルーオンから対生成したトップクォークから Higgs が生成される。トップクォークは b と W (qq or l) に崩壊し特徴的な信号を出すので識別が可能である。

2.4.2 Higgs 崩壊過程

Higgs の崩壊過程は複数種類考えられる。ここでは主な過程 (チャンネル) を5つ紹介する。崩壊分岐比は Fig.2.17 のようになる。

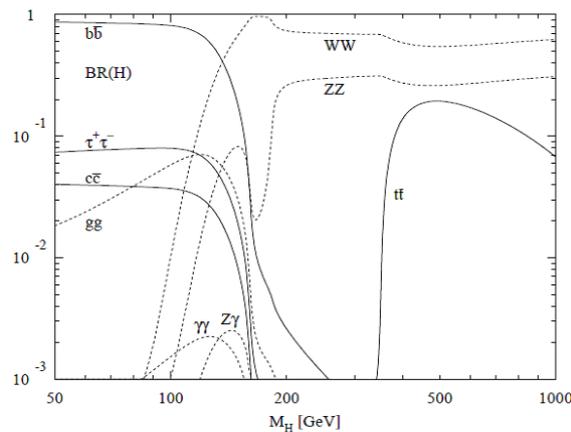


Fig. 2.17: Higgs 粒子の崩壊分岐比

$H \rightarrow \gamma\gamma$: $\sim 0.2\%$

Higgs が2つの光子に崩壊する過程である。光子は電磁カロリメータでしか捕捉できないため、カロリメータの性能が重要である。エネルギー、角度を高い精度で測定することができれば不変質量が Higgs の質量の部分で鋭いピークが見える。このため質量の測定にも用いられる。不変質量と測定値の間には次の関係がある。

$$m^2 = 2E_{T1}E_{T2}(\cosh(\Delta\eta) - \cos(\Delta\Phi))$$

$H \rightarrow WW^*$ $\sim 22\%$

Higgs が2つのWに崩壊し、それぞれが $l\nu$ (l は μ もしくは e)に崩壊する過程で、最も発見感度の高いチャンネルの一つである。 $\nu\nu$ ペアの mE_T (missing E_T)と ll ペアで横方向質量(m_T)を組むとヤコビアンピークが見える。

$H \rightarrow ZZ^* \sim 3\%$

Higgs が2つのZに崩壊し、それぞれが ll に崩壊する過程である。on-shellのZが崩壊したレプトンの組は不変質量が91[GeV]になるので、これを用いてバックグラウンドを落とすことができる。4つのレプトンの不変質量を計算すると鋭いピークが現れるので質量測定に貢献できる上、角度分布からはスピンとCPを決定することができる。

$H \rightarrow \tau\tau \sim 6\%$

Higgs が2つの $\tau\tau$ に崩壊する過程である。 τ は $l\nu$ か $h\nu$ に崩壊するが、2つのうち少なくとも片方がレプトン崩壊したものを用いる。バックグラウンドのDrell Yan τ のエネルギー分布の肩に乗る形で緩やかなピークが立つ。

$H \rightarrow bb \sim 58\%$

Higgs が2つのbに崩壊するチャンネルで分岐比は最も大きい。しかし信号と区別できないQCDバックグラウンドが非常に多く、 $q\bar{q} \rightarrow (W/Z)H$ と併せて用いられるため、最終的な断面積は小さくなる。

2.5 RUN1における ATLAS グループの功績

LHC は 2011 年と 2012 年にそれぞれ重心系エネルギー 7[TeV], 8[TeV] で陽子陽子衝突を行い、ATLAS グループはそれぞれ約 $5[fb^{-1}]$, $21[fb^{-1}]$ のデータを取得した。本節では、RUN1 で得られたデータの解析結果と、今後期待される Higgs に関する物理について概説する。

2.5.1 新粒子の発見

標準模型によると Higgs 粒子の各崩壊チャンネルへの崩壊割合は、Higgs 粒子の質量で決まっている。ATLAS は 2012 年 7 月、2 つのチャンネルの解析結果を示し、126[GeV] 付近に新粒子による信号が見られることを発表した [1]。Fig.2.18 が $H \rightarrow \gamma\gamma$ 、Fig.2.19 が $H \rightarrow ZZ$ のチャンネルから得られた不変質量分布である。これら 2 つのチャンネルにおいて、両者とも約 126[GeV] の質量を持つ事象が、バックグラウンド事象だけから予想される数を統計的に有為の上回るレベルで存在することが確認された。この 2 つの結果と、その他の Higgs 探索チャンネルのデータを組み合わせて解析したところ、信号の有為度は 5σ のレベルであった。

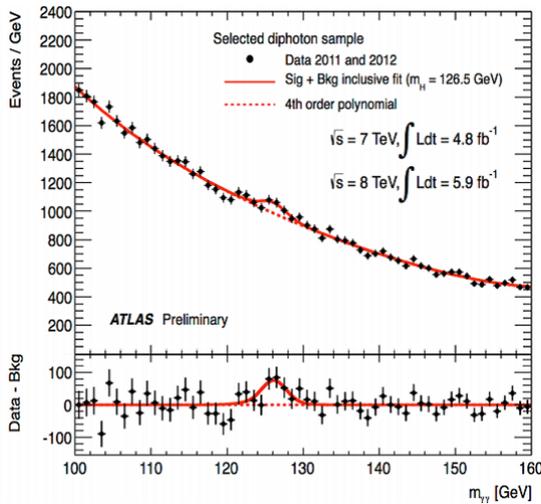


Fig. 2.18: 2 つの光子から組んだ不変質量分布。赤の点線は既知の反応からのバックグラウンド分布、赤の実線はバックグラウンドに信号を加えた仮定をした fit から得られた。

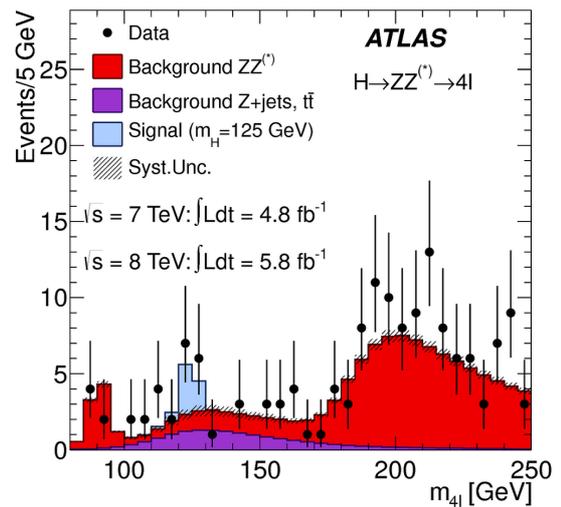


Fig. 2.19: $ZZ \rightarrow 4lepton$ から組んだ不変質量分布。120~130[GeV/c²] の領域では 13 事象が観測された。この領域のバックグラウンド予想は 5.3 事象であった。

2.5.2 Higgs 精密測定 of 現状

発見された新粒子について、本当に標準模型で予言された Higgs 粒子であるのか否かが注目された。ATLAS 並びに CMS は新粒子の精密測定を進めていき、2013 年 3 月、CERN は両実験の結果から、新粒子は Higgs 粒子であると事実上発表した [4]。これはスピンの 0 であることと、生成および崩壊過程でゲージボゾンと結合していることを確認したことが決め手となった。2013 年 10 月には論文として正式に発表され、同年に発表されたピーター・ヒッグス、フランソワ・アン

グレースとハゲルズのノーベル物理学賞受賞に大きく貢献する結果となった。ここでは、2013年までの Higgs 精密測定結果を簡単に説明する。

質量

Higgs の質量は標準模型からは予言できない量であり、測定により求める必要がある。具体的には $H \rightarrow \gamma\gamma$ 及び $H \rightarrow ZZ^*$ で測定される。尚、標準模型 Higgs かどうかの確証を得るためには、後述のスピンのパリティ及び湯川結合定数を求める必要がある。崩壊幅については、ATLAS の 1 GeV の分解能を下回るので測定できない。

発見された粒子の質量を、 $H \rightarrow \gamma\gamma, H \rightarrow ZZ$ の各チャンネルで測定した値は

$$H \rightarrow \gamma\gamma: m_H = 126.8 \pm 0.2(stat.) \pm 0.7(syst.) [GeV/c^2]$$

$$H \rightarrow ZZ: m_H = 124.3^{+0.6}_{-0.5}(stat.)^{+0.5}_{-0.3}(syst.) [GeV/c^2]$$

となっており、それぞれの結果を合わせると、以下のような結果となっている。[4]

$$m_H = 125.5 \pm 0.2(stat.)^{+0.5}_{-0.6}(syst.) [GeV/c^2]$$

信号の強さと結合定数

標準模型の予言する生成断面積×ヒッグス粒子の崩壊分岐比を仮定した場合に得られる信号数に比べ、何倍の信号を得たかという指標を「信号の強さ」(μ)と呼ぶ。たとえば、背景事象を引いた後の信号数が標準模型の予言と一致する場合は $\mu = 1$ であり、予想する背景事象数と得られた事象数が等しい場合は $\mu = 0$ となる。

Higgs 粒子の質量を $125.5 [GeV/c^2]$ と仮定した時、5つの崩壊チャンネルの信号の強さから、各生成過程の断面積を求めることができる。これを、湯川結合による生成 ($\mu_{ggF+ttH}$) 及びゲージ結合による生成 (μ_{VBF+VH}) の2つに分けて信号の強さを定義し、これらの比を測定した (Fig.2.20)[4]。その結果、W/Z とのゲージ結合による粒子生成の存在を示唆する結果が得られた。

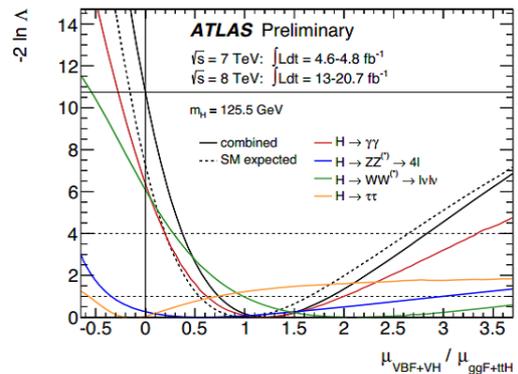


Fig. 2.20: $\mu_{VBF+VH} / \mu_{ggF+ttH}$ の測定

観測する信号数は生成断面積と生成された粒子の崩壊分岐比の積に比例するので、様々なチャンネルで観測する事象数から、生成と崩壊に寄与した結合定数の積を求めることができる。ただし、この値を分離することはできないので、何らかの仮定を導入することで生成と崩壊への寄与を抽出し、結合定数を求める。5通りの仮定を導入し、結合定数の標準模型予言値に対する比を測定した結果が Fig.2.21 である [4]。個々の仮定同士に強い相関があることに注意が必要だが、今のところ標準模型と無矛盾な結果となっている。

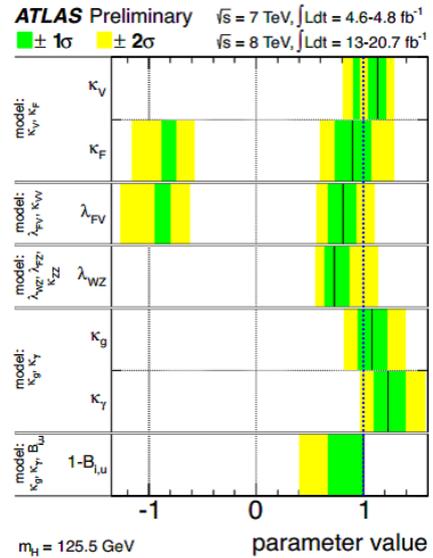


Fig. 2.21: 結合定数測定。上から順に5つの仮定の結果が示されている。

スピン

Higgs のスピンは0であると予想されている。H → ZZ* において4つのレプトンの放出された角度を調べることで、スピン及びパリティを調べることができる。現在、2つのγという終状態に信号を確認していることから、スピンの値としては0か2かに焦点が当てられている。グルーオン融合過程とクオーク・反クオーク消滅過程の比率を $f_{q\bar{q}}$ と定義し、これを0~100%まで変化させ、各々の仮定に対してスピン測定を行う。測定に用いた崩壊チャンネルは $H \rightarrow \gamma\gamma$, $H \rightarrow ZZ$, 及び $H \rightarrow WW \rightarrow e\mu\nu\nu$ である。Fig.2.22 の $CL_s J^P = 2^+$ は、スピン0という標準模型に対してスピン2という仮定をデータがどれだけ嗜好しているかという度合いを表している。あらゆる $f_{q\bar{q}}$ において、 3σ 以上で $J^P = 2^+$ を否定し、 $J^P = 0^+$ であることをデータは示唆している。[4]

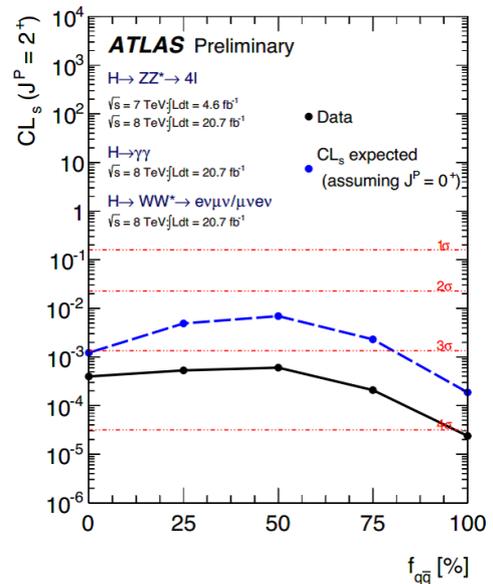


Fig. 2.22: $CL_s J^P = 2^+$ の $f_{q\bar{q}}$ に対する依存性。

今回発見した Higgs 粒子は現在のところ標準模型と無矛盾であるが、標準模型の枠内である確証は得られていない。そのため2015年からの実験で、 $H \rightarrow \tau\tau$ 及び bb の検証などに期待がかかる。更に、トップクオークとの湯川結合の測定として $t\bar{t}H$ 生成過程の検証も2015年以降の最重要テーマとなる。

2.6 RUN2 計画

2013 年までにヒッグスボゾンが発見されたが、これは LHC で掲げられてきた目的のひとつを果たしたに過ぎない。現在、LHC は TeV 領域を探索できる唯一の加速器であるため、今後も新たな物理探索を続けていく。2.5 で説明した Higgs の精密測定をさらに進める他、超対称性粒子 (SUSY) を始めとした Beyond Standard Model (BSM) 物理の探索が求められる。これらを達成するにはより高いルミノシティを目指してアップグレードする必要があり、LHC 及び ATLAS は現在アップグレードに向けた研究開発を進めている。

2.1.1 で説明したように LHC のデザインでは重心系エネルギー 14[TeV]、瞬間ルミノシティ $10^{34}[cm^{-2}s^{-1}]$ であるが、2012 年までの RUN1 では最大重心系エネルギー 8[TeV]、最大瞬間ルミノシティ $0.7 \times 10^{34}[cm^{-2}s^{-1}]$ で運転を行っていた。これを、デザインした性能まで引き上げるため、2013 年 2 月から 2014 年 11 月まで LHC をシャットダウンし、加速器のアップグレードを行っている。これに伴い ATLAS 検出器も高ルミノシティ環境に対応するためアップグレードを行っており、私の所属する TGC グループにおいては、後述するトリガーシステムの改良に取り組んでいる。

次節からは具体的なアップグレードの中身について概説する。

2.6.1 加速器

LHC では重心系エネルギーを高めるため、RUN2 に向けて次の方法が計画されている。

- 超伝導マグネットの修理

現在の超伝導マグネットは一部で接続部の電気抵抗が大きく ($> 7[n\Omega]$)、高い電流を流すことが不可能となっている。その超伝導マグネットを修理・交換することにより、現在よりも内部抵抗を小さくすることが計画されている。これによって強い磁場を作り、高いエネルギーを持つ陽子を周回させることが可能になる。

- ビームパイプ内の真空度の向上

空気が漏れている箇所を修理することにより、ビームパイプ内の真空度を向上する。

尚、RUN2 は 2015 年にバンチ間隔 50[nsec] で開始される予定であり、2017 年までにバンチ間隔は 25[nsec] になる。瞬間ルミノシティは最大で $2 \times 10^{34}[cm^{-2}s^{-1}]$ まで達する可能性がある。

2.6.2 ATLAS 検出器

加速器のアップグレードに伴い、これまで使用してきた検出器及びデータ収集システムのままでは様々な問題が起こることが分かっている。例えば、パイルアップ⁴の増加によりカロリメータのエネルギー分解能やトラックの再構成の精度が悪くなることや、読み出し回路やトリガー回路の負担が大きくなること、検出器自体の放射線損傷が早まることに対しても対策を講じる必要がある。RUN2でATLASが行う主なアップグレードの概要を説明する。

- IBL(Insertable B Layer) の導入

現在の Pixel 検出器のバレル部は 3 層構造になっており、最も内側の B Layer はトラッキング、primary vertex⁵の同定に加え、bクォークの同定に必須の検出器である。ルミノシティ上昇に伴い非効率が発生するため、B Layer とビームパイプの間に新たな Pixel 検出器 (IBL: Insertable B Layer) を挿入し、Pixel 検出器を 4 層構造にする。これにより bクォークを同定できる効率が上がると期待されている。

- アルミニウムパイプへの交換とシールドの追加

衝突点付近のビームパイプにはシールドされていない場所があり、そこから飛来する光子や中性子によって生成された荷電粒子 (2 次生成粒子) はバックグラウンドとなりうる。そのため、ビームパイプを現在のステンレスから質量数の小さいアルミニウムに交換することによって、2 次生成粒子との相互作用を抑えることが計画されている。また、シールドを追加し、ビームパイプから飛来する粒子を抑える。

- ミューオンスペクトロメータの改善

現在 Endcap Extra (EE) Chamber には穴があり、エンドキャップ部とバレル部の境の領域 ($1.0 < |\eta| < 1.3$) のトラッキング効率が低い。そのため RUN2 ではこの穴を埋めるために EE Chamber を追加する⁶。これにより磁場中でのミューオンの直接観測が可能となる。

⁴一度のバンチ衝突で同時に起きる相互作用の数

⁵陽子陽子衝突による相互作用が起こる点。これによって生成された bクォークのような比較的寿命の長い粒子が崩壊した点を secondary vertex と呼ぶ。

⁶2012 年に C-side のみインストールが完了している。2015 年までに A-side にも追加予定である。

第3章 レベル1エンドキャップミュオントリガーシステム

LVL1 ミュオントリガーは、ウイークボゾンの崩壊から生成される高い運動量をもつミュオンを捕えるためにも非常に重要である。LVL1 ミュオントリガーは TGC、RPC によって発行されるトリガーであり $|\eta| < 1.05$ (パレル領域) を RPC、 $1.05 < |\eta| < 2.70$ (エンドキャップ領域) を TGC がカバーしている。本章ではこのトリガーのエンドキャップ領域を担当する TGC の概要と、そのトリガースキーム、付随するエレクトロニクスについて詳しく解説する。

3.1 TGC について

まず始めに TGC の動作原理と配置、トリガー単位などの用語について説明する。

3.1.1 TGC の構造と動作原理

TGC は 2.2.4 で説明した通り、ミュオンスペクトロメータのエンドキャップ領域 ($1.05 < |\eta| < 2.70$) をカバーしているトリガー用の検出器である。 $|z| \simeq 7.0\text{m}, 7.4\text{m}$ に配置されるインナーステーション (EI/FI) と $|z| \simeq 13.4\text{m}, 14.7\text{m}, 15.2\text{m}$ に配置されるミドルステーション (BW, Big Wheel) に分けられる。EI (Endcap Inner) は $|z| \simeq 7.4\text{m}$ 、FI (Forward Inner) は $|z| \simeq 7.0\text{m}$ に設置されている。TGC はエンドキャップ領域を円盤状にカバーするため、各チェンバーの形は台形をしており、その大きさは配置場所によって多少の異なりはあるが一辺が $1\sim 2\text{m}$ 程度である。Fig.3.1 に TGC の位置及び構造を示す。

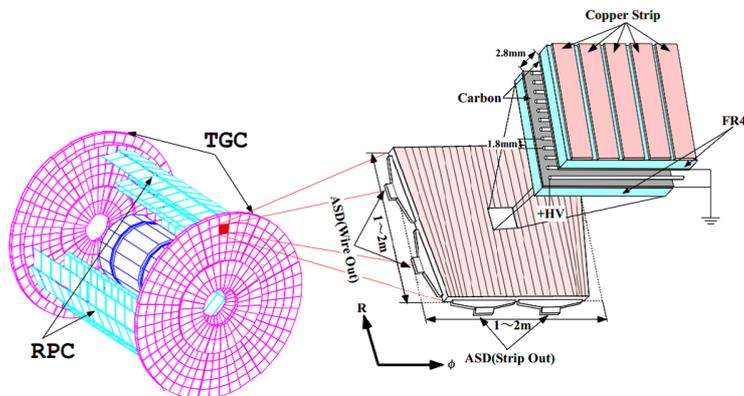


Fig. 3.1: TGC の内部構造

構造

TGCはMWPC (Multi Wire Proportional Chamber) の一種であり、直交するアノードワイヤとカソードストリップによる2次元読み出しが可能になっている。Fig.3.2 に示すように、ワイヤ間の距離が1.8mmなのに対してワイヤとストリップの間は1.4mmと短いのが特徴である。ワイヤの間隔が狭いのは電子のドリフト時間を短くし、バンチクロッシング間隔(25nsec)に対応できるようにするためである。

構造はアノード(陽極)として直径50[μm]の金メッキをしたタングステンワイヤが台形の上底、下底に平行に張られている。カソード(陰極)はガラスエポキシ板に表面抵抗が約1[M Ω /square]のカーボン塗布してある。ガラスエポキシ板を挟んだ反対の面には1面を32分割した扇形の銅のストリップがワイヤに直行して並べてある。ワイヤにはガスギャップの距離を一定に保つため約30[cm]毎にワイヤサポートがあり、局所的な不感領域を作っている(Fig.3.3)。ワイヤは6~20本(幅にして10.8~36[mm])をまとめて1つのチャンネルとして読み出す。ストリップは32本あり、それぞれが1つのチャンネルとして読み出される。これによりTGCは2次元の読み出しが可能で、ワイヤによりR方向を、ストリップにより ϕ 方向の位置の検出を行うことができる。

動作原理

TGCの内部は CO_2 /n-pentane (55/45)混合ガスで満たされており、 CO_2 は電離ガスの役割、n-pentaneはクエンチャーの役割を担っている。ワイヤには2.9[kV]程度の高電圧が印加されており、ガス中を荷電粒子が通過すると、その経路にあるガス分子が電離されイオン化され、生成された電子はアノード・カソード間の強電場によってアノードに向かう。そして最も近傍のワイヤに近づくると急激に加速され、周辺のガス分子をイオン化して電子雪崩を起こす。ワイヤはこの電子雪崩を信号として読み出す。ワイヤ近傍の電子雪崩によって生成された陽イオンはカソード方向に移動していき、カソード面では陽イオンが引き寄せられる。それによってカーボン面の裏側のストリップに電荷を誘起することでストリップ側の信号を得ることが出来る。電離の際に生じる紫外線はn-pentaneが吸収し、必要以上の電子雪崩が発生するのを抑えている。

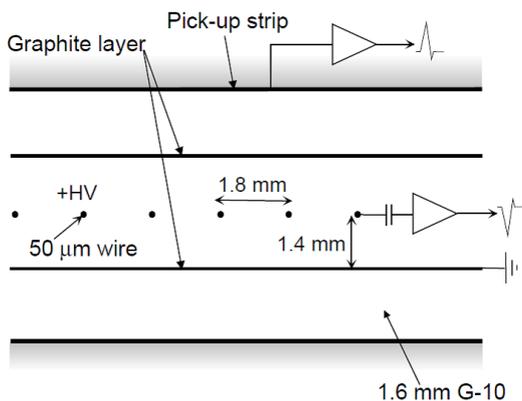


Fig. 3.2: TGC 断面図

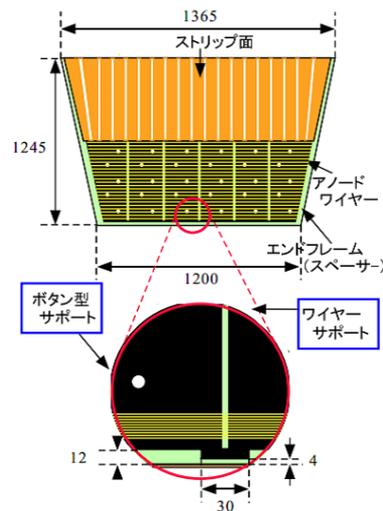


Fig. 3.3: TGC チェンバーの模式図 [13]

分類

ATLAS 実験では TGC は 1 層単独では用いずに、2 層または 3 層を重ねた構造にして用いている (Fig.3.4)。Doublet (2 層) の場合は 2 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。Triplet (3 層) では、2 層目にはストリップがなく、3 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。多層にすることで各層のコインシデンスを取ってバックグラウンドによるフェイク信号の影響を減らすだけでなく、ワイヤサポートによる不感領域の影響も減らすことができる。

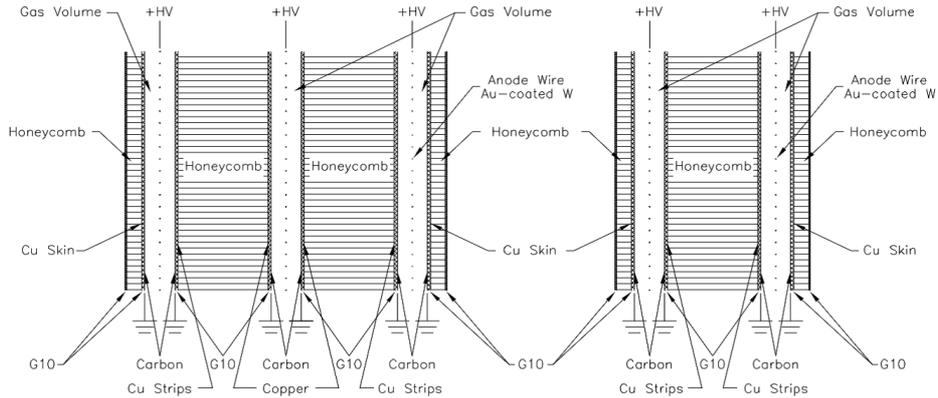


Fig. 3.4: (左) Triplet 構造の模式図 (右) Doublet 構造の模式図。

3.1.2 TGC の配置

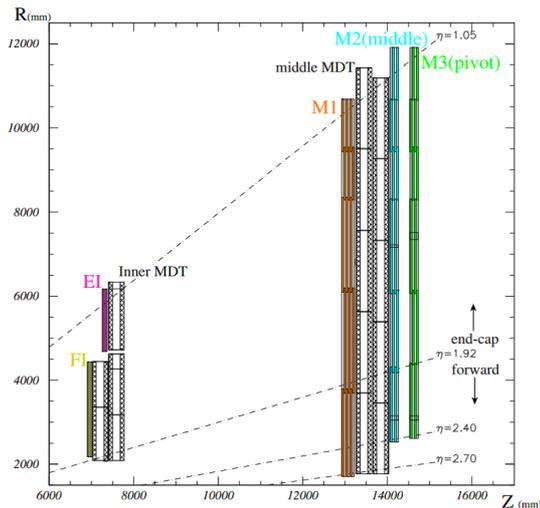


Fig. 3.5: TGC R-Z 平面図

TGC の配置図を Fig.3.5 に示す。TGC システムは M1 (triplet)、M2 (middle)、M3 (pivot) と EI (Endcap Inner)、FI (Forward Inner) の 5 つから構成されている。M1 は 3 層のチェンバー、M2・M3・EI・FI はそれぞれ 2 層のチェンバーから成り、トリガー判定には M1・M2・M3 の計 7 層でトリガー判定を行う。M1・M2・M3・EI・FI の 5 つがそれぞれ ATLAS 検出器の両側のエンドキャップで円盤状に並べられて配置されている。BW の位置座標は内側から順に M1 ($Z \approx 13.4\text{m}$)、M2 ($Z \approx 14.7\text{m}$)、M3 ($Z \approx 15.2\text{m}$) となっている。M1 と M2 の間は 1m ほど間隙があるが、ここに MDT が入っている。

BW

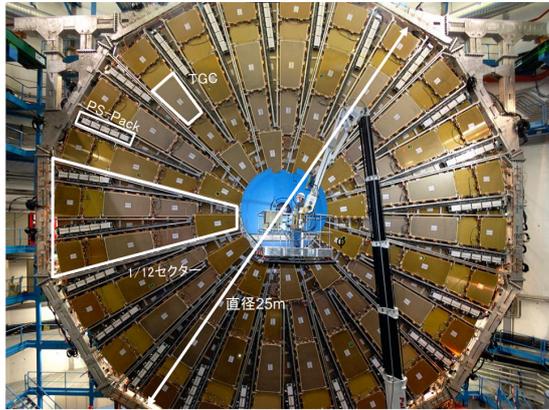


Fig. 3.6: BW[12]

Fig.3.6にBW(Big Wheel)の写真載せる。TGCは1/12円をひとつの単位とし、データ処理やTGC建設はこの単位で行われている。BWのカバーする $1.05 < |\eta| < 2.70$ の領域のうち、 $1.05 < |\eta| < 1.90$ をEndcap、 $1.90 < |\eta| < 2.70$ をForwardと呼ぶ。TGCは後述のトリガーセクターという単位で領域を分けて信号処理を行うが、この $|\eta|=1.90$ はトリガーセクターの境界であり、チェンバーの境目でもある。尚、 $2.42 < |\eta| < 2.70$ の領域はM1しかカバーしていないため、トリガー情報生成は行われず位置測定のみ行われる。

EI/FI

Fig.3.7にEI/FIの写真、Fig.3.8にEI/FIの概形を示す。EI(Endcap Inner)は、バレル部にインストールされているトロイドマグネットによって全ての η 領域を覆っていないという特徴を持っている。RUN1では、EI/FIはトリガー判定には使用されず、位置測定のみ行っていた。



Fig. 3.7: 奥に見えるのはFIチェンバーである。手前に見えるのはMDTである。[3]

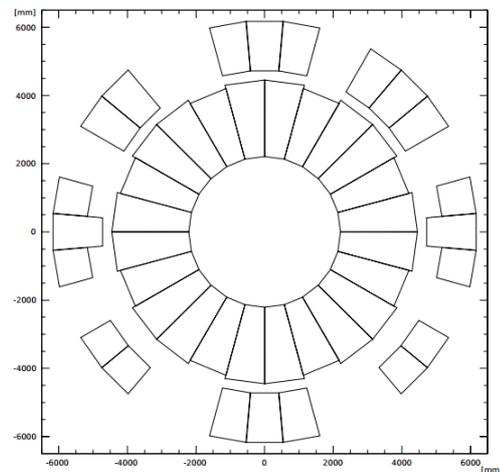


Fig. 3.8: EI/FIの概形。EIのうちチェンバーが欠けている部分にはトロイドマグネットが挿入されている。

3.1.3 トリガーセクター

TGC の組み立てや実際のデータ処理等は、円盤を ϕ 方向に 1/12 分割した”セクター”という単位で行われる。また、Forward 領域はチェンバー 1 枚、Endcap 領域は R 方向に連続した 4 枚 (M1) または 5 枚 (M2, M3) の集合をトリガーセクターと呼ぶ。Fig.3.9 に示すように、1 セクターには Forward のトリガーセクターが 2 つ ($\phi 0, \phi 2$)、Endcap のトリガーセクターが 4 つ ($\phi 0 \sim \phi 3$) 含まれている。トリガーセクターはトリガー情報を生成する際の単位であり、トリガーセクターの ϕ 方向の幅がちょうど TGC1 枚の幅と一致している。

これらはさらに小さいサブセクターに分けることができる。1 つのサブセクターをワイヤ・ストリップとともに 8 チャンネルで構成すると、Endcap では $37 (R) \times 4 (\phi) = 148$ サブセクター、Forward では $16 (R) \times 4 (\phi) = 64$ サブセクターに分割される。サブセクターはトリガー判定の最小単位であり、TGC における ROI に相当する。

また、サブセクターを R 方向に 2 つ、 ϕ 方向に 4 つ (計 8 つ) まとめた単位を SSC (Sub Sector Cluster) と呼ぶ。この SSC という単位は、後述するトリガー処理の際に使用する単位である。

Fig.3.9 にセクター、サブセクター (ROI) 及びサブセクタークラスタ (SSC) の概略図を示す。ATLAS 実験に設置される TGC の総数は約 3700 枚あり、全チャンネル数は R 方向で約 22 万、 ϕ 方向で約 10 万になる。

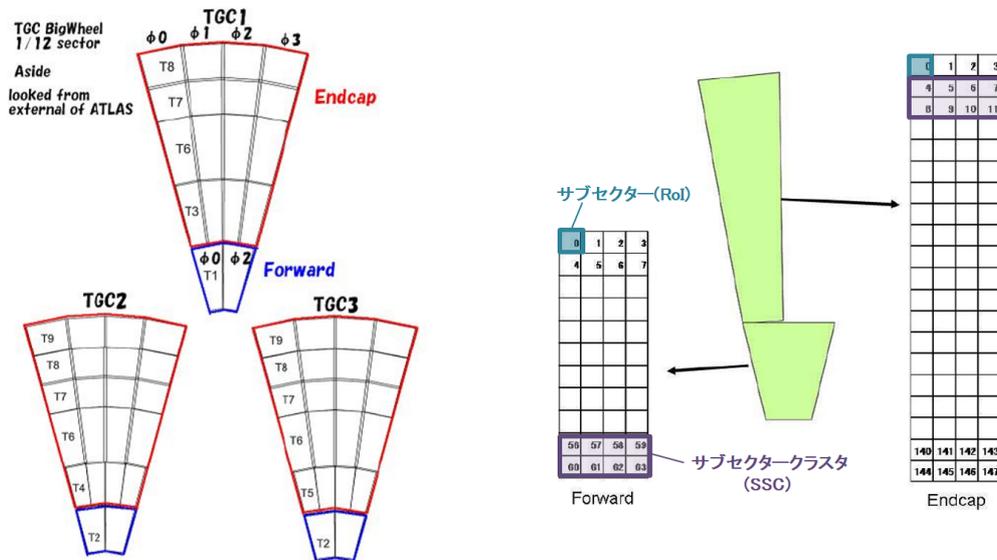


Fig. 3.9: TGC におけるトリガー単位。A-side, C-side それぞれで 72 トリガーセクターに分かれている。更に Endcap トリガーセクターは 148 ROI, Forward トリガーセクターは 64ROI に分けられる。8 つの ROI をまとめて SSC と呼ぶ。

3.2.2 段階的なコインシデンス

ここでは少し踏み込んで、トリガーを発行する手順について各エレクトロニクスごとの動作を踏まえて簡単に説明する。TGC はヒット情報のコインシデンスを段階的に行っていき、 p_T 計算に必要な量を統合していく。各段階で必要になるエレクトロニクスとともに記すと、以下のような手順になる。尚、各エレクトロニクスの詳細は次節以降で詳しく述べる。

1. SLB ASIC

Doublet 内のコインシデンスと Triplet 内のコインシデンスは、ワイヤーとストリップ独立に SLB (Slave Board) ASIC により行われる。つまり SLB ASIC は役割として Doublet・ワイヤ/ストリップ (WD/SD), Triplet・ワイヤ/ストリップ (WT/ST) の 4 種類が必要になる。Fig.3.11 のように WD、SD では $3/4$ コインシデンス、WT では $2/3$ コインシデンス、ST では $1/2$ コインシデンスがとられる。さらに WD、SD ではコインシデンスマトリックスにより Low- p_T 情報が生成される。Low- p_T とは M2 と M3 の間の Δ の度合いである。この 2 つの Doublet は距離が近いので高い p_T が測れないのでこのように呼んでいる。

2. HPT ボード

次のコインシデンスは Doublet と Triplet の間で HPT (High- p_T) ボードにより行われる。つまり HPT ボードの役割としてワイヤー、ストリップの 2 種類が必要になる。コインシデンスマトリックスにより High- p_T 情報が生成され、複数の Low- p_T 、High- p_T トラックから高いものを選択して SL に送る。ここで High- p_T とは M1 と M3 の間の Δ の度合いである。M1 と M3 は離れているので高い p_T が測れる。

3. SL ボード

最後のコインシデンスはワイヤーとストリップの間で、Sector Logic (SL) ボードにより行われる。Coincidence Window と呼ばれる特別なマトリックスを用いて最終的な p_T 情報が算出される。

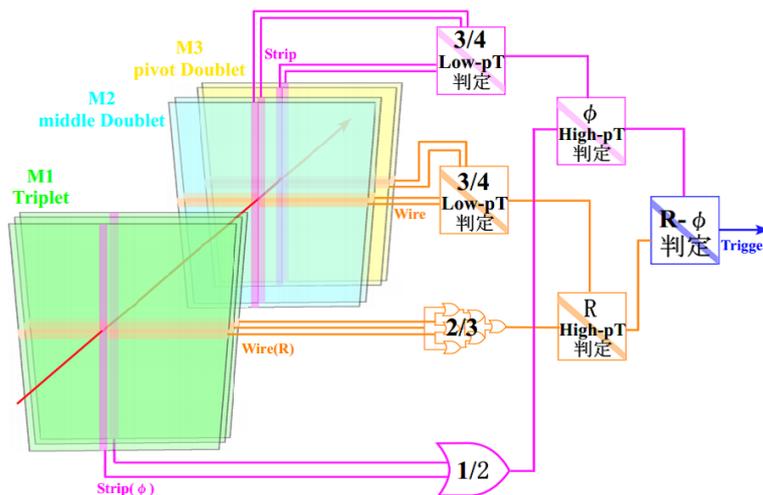


Fig. 3.11: コインシデンス処理の概念図

3.2.3 Coincidence Window

LVL1 ミューオントリガーでは閾値を複数設定してミューオンの p_T を $p_{T1} \sim p_{T6}$ の 6 段階に分ける。Coincidence Window (CW) とは SL に届いた $(\Delta R, \Delta\phi)$ の組に対してそれが 6 段階のどの p_T に相当するかをマップしたものである。CW は SL に LUT(Lock Up Table) として実装されており、SL は $\Delta R, \Delta\phi$ 情報をアドレスに変換して対応する p_T 値を読み出す。

Fig.3.12 は CW の一例である。横軸が $\Delta\phi$ 、縦軸が ΔR であり、 ΔR の大きさによって p_T の領域が移っていくのが見える。CW は ROI の数だけ用意されている。磁場の 8 回対称性から $1/8$ 円について考えればよいので、含まれる ROI の数を数えると $6 \times 148 + 3 \times 64 = 1080$ の CW を用意する必要がある。CW はモンテカルロシミュレーションを用いた解析により適宜修正が施され、トリガー効率を落とさない最適な分布が採用されている。

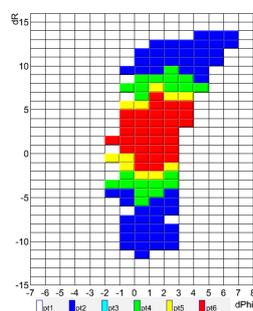


Fig. 3.12: CW の一例

L1 menu	$p_{T1} \sim 6$	condition
L1MU_ 0	p_{T1}	$p_{T6} \text{GeV}$ 未満
L1MU_ 6	p_{T2}	$p_{T6} \text{GeV}$ 以上
L1MU_ 10	p_{T3}	現在は使用されていない
L1MU_ 11	p_{T4}	$p_{T11} \text{GeV}$ 以上
L1MU_ 15	p_{T5}	$p_{T15} \text{GeV}$ 以上
L1MU_ 20	p_{T6}	$p_{T20} \text{GeV}$ 以上

Table. 3.1: LVL1 トリガーマニュー

3.3 エレクトロニクス

TGC エレクトロニクスの概要と、各モジュールの機能及び配置について述べる。

FPGA, ASIC について

FPGA (Field Programmable Gate Array) は、自由に内部回路を書き換えることのできる LSI である。内部構造は無数のロジックセルからなっており、1 つのセルは組み合わせ回路を記述する LUT と、順序回路を記述する FF (Flip Flop) で構成されている。LUT やロジックセル間をつなぐインターコネクトは RAM であり、これらに値を書き込むこと (Configuration) で目的の回路を形成することができる。RAM ベースのアーキテクチャであるため、揮発性であり電源を落とすと回路は初期化される。FPGA は目的の回路を得るためのコストや時間が大幅に削減できるため、広範な用途で用いられている。

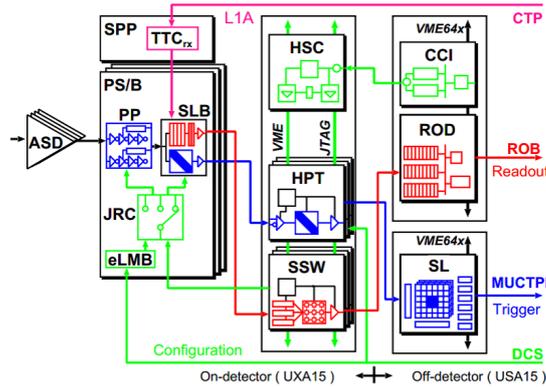
同様の IC に CPLD (Complex Programmable Logic Device) がある。FF と AND/OR アレイからなるマクロセルをスイッチングマトリックスで接続することにより、目的の回路を形成する。不揮発性のメモリをベースにしているため、FPGA と異なり電源を落としても回路が消えることはない。FPGA より規模は小さいが、LSI 間を相互接続したり、不揮発性を生かしてブートローダに使用されたりする。

また、ASIC (Application Specific Integrated Circuit) も書き込み可能な LSI だが、こちらはまず設計を行い、その回路を元に業者が製造するものである。大量生産する場合には FPGA よりも単価が安くなる、Configuration の必要がないという特徴がある。放射線耐性の面からいうと、FPGA

や CPLD よりも ASIC の方が強いため、高エネルギー実験のフロントエンドでは ASIC を用いることが多い。また、FPGA でも RAM ではなくヒューズを用いて構成された anti-fuse FPGA は放射線に強く、こちらもしばしば用いられる。

3.3.1 システム全体

TGC エレクトロニクスの全システムを Fig.3.13 に示す。



TGC エレクトロニクスのデータの流は大きく分けて以下の3つに分かれている。

- トリガー系 LVL1 ミューオントリガー判定のための情報処理を行う
- リードアウト系 L1A が来ると TGC 各層のミューオンヒット情報の読み出しを行う
- コントロール系 TGC エレクトロニクスの各モジュールをコントロールする

Fig. 3.13: TGC エレクトロニクスのデータの流

以下、それぞれのデータの流について説明する。尚、ボード、モジュールの詳細は次節以降で説明する。

トリガー系

TGC の信号は、検出器付属の ASD (Amplifier Shaper Discriminator) Board で増幅、整形が行われた後、TGC モジュール面に設置されている PS Board (Patch panel and Slave board ASIC Board) に作動信号である LVDS (Low Voltage Differential Signaling) で送られる。PS Board 内では Patch Panel (PP) でバンチ識別が行われ、Slave Board (SLB) で Triplet、Doublet それぞれ独立にコインシデンスが取られる。この結果は TGC 外縁クレートに収められている High p_T Board (HPT) に LVDS で送られる。HPT では、Triplet、Doublet 間のコインシデンスが取られ、その結果は光ケーブルで USA15 というコントロールルームに設置された Sector Logic (SL) に送られる。SL はワイヤー、ストリップのコインシデンス処理、 ΔR 、 $\Delta\phi$ による p_T 判定を行い、位置情報 (ROI) と p_T 情報を含んだトリガー信号を MUCTPI に出力する。

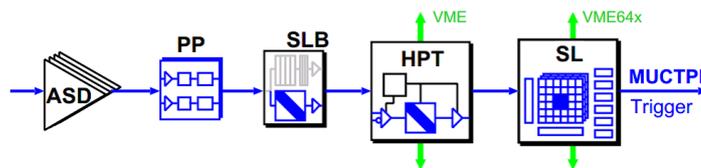


Fig. 3.14: トリガー系

リードアウト系

CTP が出す LVL1 トリガー信号は、Service Patch Panel(SPP) 上の TTCrx で受信し、Slave Board (SLB) へ送られる。SLB は L1A (Level-1 Accept) を受けたバッファ上のデータを前後合わせて 3 バンチ分、TGC 外縁クレートに収められている Star Switch(SSW) に LVDS で送信する。SSW は各 SLB のデータを収集し、光ケーブルで USA15 の Read Out Driver(ROD) に送信する。ROD はイベントの整合性をチェックし、PC ベースの Read Out System に出力する。

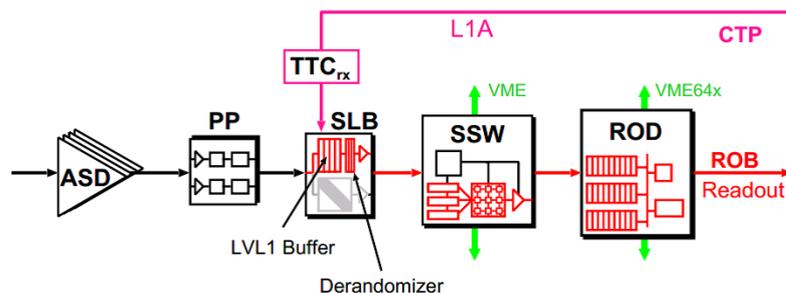


Fig. 3.15: リードアウト系

コントロール系

USA15に置かれている VME モジュールは直接 PC で制御される。一方、実験ホール内にある TGC 外縁上の VME クレートには、VME マスターとして HSC (High p_T Board SterSwitch Controller) が置かれ、USA15 の CCI(Crate Control Interface) から光ケーブルで遠隔操作する。また、TGC モジュール面に設置される PS Board は、SSW から JTAG プロトコルを用いて制御する。この時、PS Board 上のルーティングには専用の JRC(JTAG Route Controller) が使用される。更に別系統として、DCS(Detector Control System) が TGC 外縁上の VME クレートと PS Board に制御系を持ち、TGC の HV(High Voltage supply) や ASD 閾値などの設定、監視が行われる。

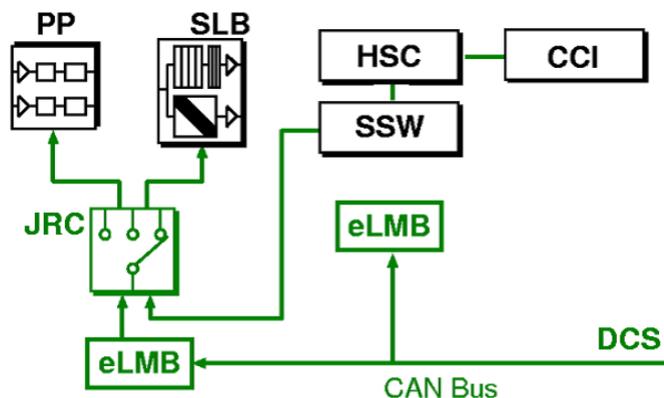


Fig. 3.16: コントロール系

エレクトロニクスの配置

TGC エレクトロニクスは大きく分けて 3 箇所を設置されている。模式図を Fig.3.17 に示す。以下では各エレクトロニクスの接続について説明する。

- フロントエンド (PS pack)

Triplet の（衝突点から見て）正面と pivot Doublet の裏側に設置されている。Fig.3.18 に示すように、PS Board と Service Patch Panel が収められ、TGC チェンバーと直接 LVDS でリンクされる。TGC エレクトロニクスが設置される場所の中で最も放射線が強く、搭載される IC は十分な放射線耐性を備えている必要がある。

- HSC クレート

TGC BW の外縁上に設置される VME クレートである。トリガー処理を行う HPT、読み出し処理を行う SSW、これらの制御に用いる HSC が設置される。HSC クレートは TGC1/12 単位に 1 台設置されている。また、PS Pack と 15m の LVDS でリンクされている。

- ROD クレート

USA15 というコントロールルームに設置される VME クレートである。実験ホールからは 90 ~100m 離れており、HSC クレートとは光ケーブルでリンクされている。ここにはトリガー処理、読み出し処理をそれぞれ統括する SL、ROD が設置される。また、HPT クレートを遠隔操作する CCI が設置されている。TGC エレクトロニクスの最終段に位置し、MUCTPI や Read Out System にデータが受け渡される。

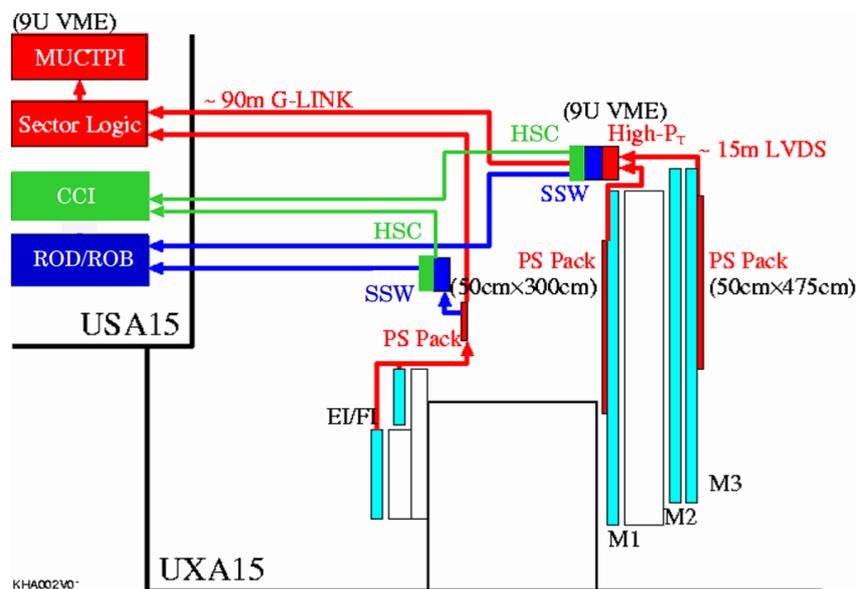


Fig. 3.17: TGC エレクトロニクスの配置 (R-Z 断面)

また、アトラス実験ホールと USA15、各エレクトロニクスの位置関係を Fig.3.19 に示す。

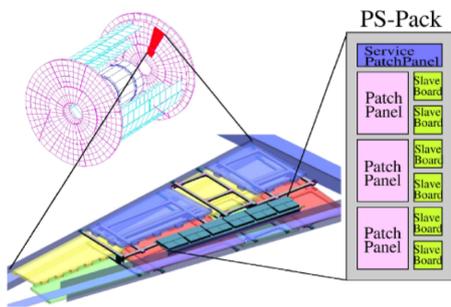


Fig. 3.18: PS Pack

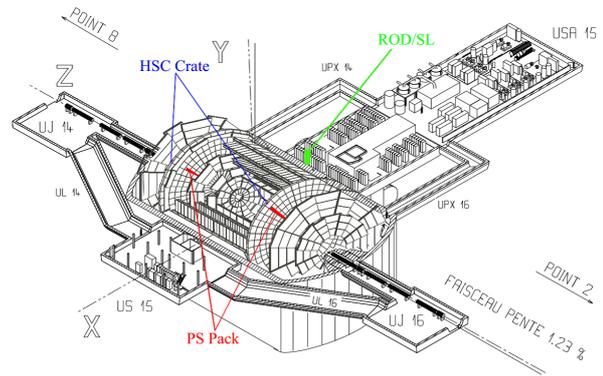


Fig. 3.19: 実験ホールとコントロールルームの位置関係

3.3.2 フロントエンド

ここでは TGC に直結された ASD から PS Board に含まれるエレクトロニクスの解説を行う。PS Board は PP、SLB を含む各種 ASIC が搭載されており、フロントエンドにおける読み出しから制御まで行う。1/2 セクターごとにまとめられており、Triplet 用は 10 個、Doublet 用は 17 個の PS ボードが連結されている。Fig.3.20 に PS ボードの写真とブロック図を示す。

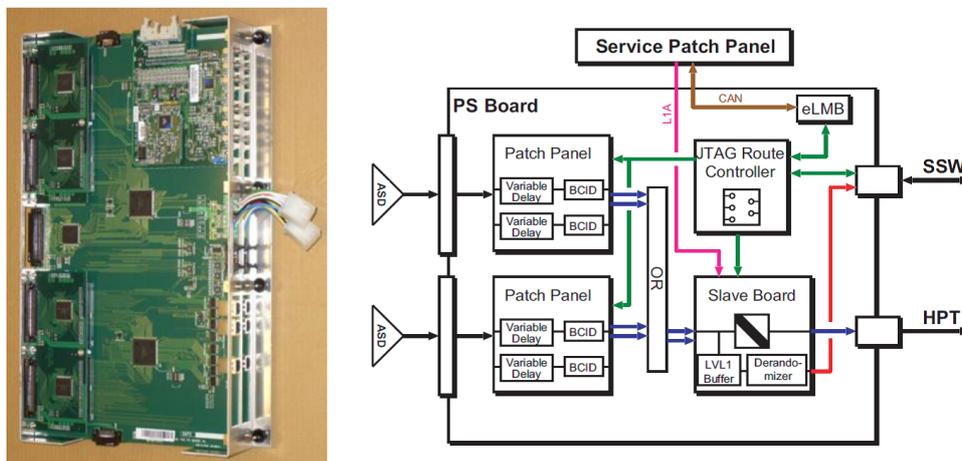


Fig. 3.20: PS Board の構成

ASD

ASD ASIC は TGC のアナログ信号を増幅、整形したのち、閾値電圧を超えた信号だけを LVDS(Low Voltage Differential Signaling:低電圧作動信号) レベルの信号で出力する ASIC である。1 つの ASD Board は 4 チャンネルを処理する ASD ASIC を 4 つ搭載しており、計 16 チャンネルを担当している。7 層のワイヤー及び 6 層のストリップには全て同一の ASD Board が取り付けられている。

また、ASD Board 以降のエレクトロニクス診断やタイミング調整のために、トリガー信号を受けて、擬似的な TGC の出力信号 (Test Pulse) を出力する機能も持っている。

Fig.3.21 に ASD の写真、Fig.3.22 にブロック図を示す。ASD Board は、後述する PP ASIC が設置される PS Board とツイストケーブルで接続され、動作電源、閾値電圧、Test Pulse のためのトリガーは全て PS Board から供給される。また、ASD Board には 16 チャンネル目のアナログ信号をモニタできるアナログ出力もついている。

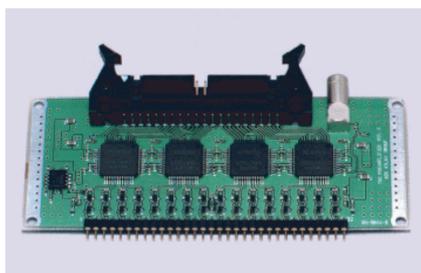


Fig. 3.21: ASD Board

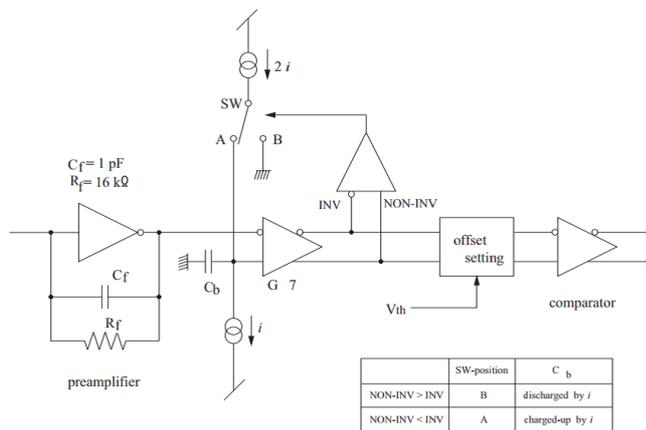


Fig. 3.22: ASD ASIC のブロック図

PP ASIC

PP (Patch Panel) ASIC は PP に届く信号のタイミング調整及びバンチ識別を行っている。各 PP に送られてくる信号は TOF (Time of Flight) の差やケーブル長の差により到達時間は必ずしも揃わない。そのため、各信号にディレイをかけることで、このばらつきを調整する。具体的には、ASD からの LVDS 信号を LVDS レシーバーにより、CMOS レベルの信号に変換する。次に variable delay 回路で、各チャンネルにそれぞれディレイをかけることによりタイミングの調整を行う。このディレイは 0.84nsec 単位で調整が可能になっている。PP より前には可変ディレイ回路は存在しないことに加え、後段にバンチ識別が控えているため非常に重要な機能である。

PP のもう一つの重要な役割がバンチ識別である。具体的には TTC から供給される LHC クロックと同期をとることを行っている。これにより同じバンチクロッシングのデータは同じクロックのエッジにそろえられる。最期に TGC の重なった部分のダブルカウントを防ぐため、OR ロジックを通して SLB ASIC に送られる。

また PP ASIC は、ASD Board に向けて Test Pulse を発生させるためのトリガーを出力する Test Pulse 回路も搭載している。Test Pulse の振幅、タイミングは可変であり、JTAG プロトコルによって制御出来る。尚、1 つの PP ASIC は 32 チャンネル、つまり 2 つの ASIC ボードからの入力を処理できる。Fig.3.23 に PP ASIC のブロック図を示す。

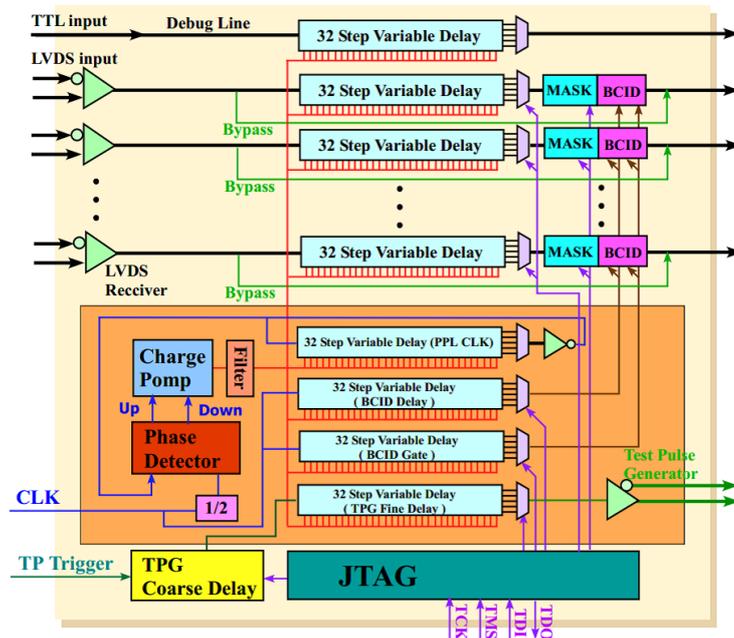


Fig. 3.23: PP ASIC ブロック図

SLB ASIC

SLB ASIC のブロック図を Fig.3.24 に載せる。SLB ASIC は大きく分けて、トリガー部とリードアウト部からなる。以下、それぞれの動作について説明する。

- トリガー部

ワイヤーカストリップ、Doublet か Triplet などによって 5 種類のコインシデンスマトリックス (ワイヤ Doublet、ストリップ Doublet、ワイヤ Triplet、ストリップ Triplet、EI/FI) を切替えて使用する。Triplet、Doublet にはそれぞれ、 $2/3$ (Strip は $1/2$)、 $3/4$ のコインシデンス条件が課される。また、PP ASIC からの信号に $1/2\text{clock}$ 単位でディレイをかける機能や、各チャンネルをマスクする機能、連続したチャンネルにヒットがあった時にその一つのチャンネルだけから信号を出力させる機能 (デクラスタリング:Fig.3.25 参照)、さらに SLB 以降のエレクトロニクスの診断やタイミング調整を行うためのテストパルスを出力する機能も持っている。

- リードアウト部

リードアウト部は、LVL1 トリガーの判定を受けたデータの読み出しを行う部分である。主に LVL1 バッファとデランダムマイザにより構成される。データは LVL1 バッファと呼ばれる、幅 212bit、深さ 128 段のシフトレジスタに蓄えられる。212bit の内訳は入力データ 160bit、トリガーパートの出力 40bit、バンチカウンタ値 12bit となっている。このデータは CTP からの L1A が与えられるまでの時間保持され、L1A が与えられると該当するデータとその前後 1 バンチずつの、計 3 バンチ分のデータにそれぞれ、イベントカウンタの値 (4bit) が付加されデランダムマイザにコピーされる。デランダムマイザにコピーされるとすぐに、3 バンチ分のデータは別々にシリアルに変換し SSW に送られる。

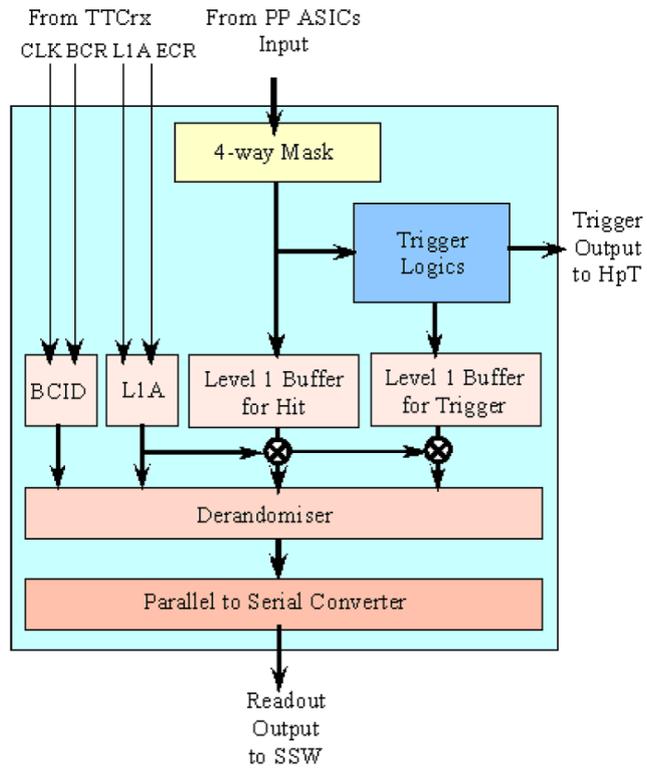


Fig. 3.24: SLB ASIC ブロック図

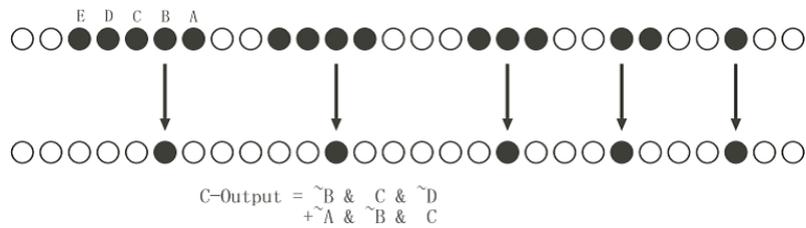


Fig. 3.25: デクラスタリング

JRC(JTAG Routing Controller)

JRC は 2 系統の入力ポートと 7 系統の出力ポート、それらをコントロールするための 2 系統の JTAG ポートを持つスイッチングルーターである。それぞれのラインは、 \overline{TRST} , TCK, TMS, TDI, TDO の 5 つの信号から成る。2 系統の入力ポートは SSW と eLMB からのもので、Fig.3.26 のように CA_ JTAG (または CB_ JTAG) が JRC 内のスイッチをコントロールすることで、Q1~Q7 のポートのうち 1 つを選択して DA_ JTAG (または DB_ JTAG) の信号をそのまま出力する。JRC は、PP/SLB にアクセスするためのインターフェイスであり、PP/SLB の設定は JRC を中継して行われる。7 系統の出力ポートは、4 つが PP ASIC へのもので、3 つが SLB ASIC へのものである。JRC は Anti-fuse FPGA を使っている。

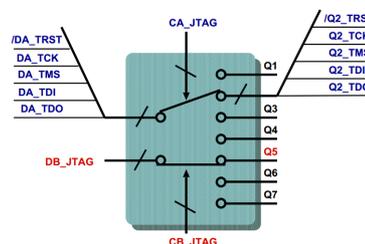


Fig. 3.26: JRC

DCS(Detector Control System)

DCS は eLNB(embedded Local Monitor Box) と呼ばれるサブモジュールを使用し、ADC (Analog-Digital Converter) や DAC(Digital-Analog Converter) が搭載され、センサーからの信号をデジタル化してモニターし、制御用のアナログ信号を作り出せる。具体的には、温度モニター、チェンバー位置モニター、ASD の閾値電圧の設定などを行う。eLMB は CAN バス^a というプロトコルを通じてデータの読み書きが行われる。

^aCAN(Controller Area Network) はマルチマスターのシリアルバスシステムで、アドレスの概念がなく、送信側は識別子を付けてメッセージを配信し、受信側はその識別子を見てメッセージを受信するかどうかを決める。



Fig. 3.27: DCS

3.3.3 HSC クレート

HSC クレートは、HPT 及び SSW のための VME 9U クレートである。1 セクターにつき 1 つの HSC クレートが対応するため、合計で 24 のクレートが用意されている。クレート自体が BW の外縁にあり放射線環境下にあることから、放射線耐性を持つ HSC (HighPtBoard SterSwitch Controller) という特殊なモジュールが開発され、VME マスターとして用いられている。HSC は G-Link で USA15 にある CCI (Control Configuration Interface board) (後述) から遠隔操作される。

HPT

HPT は Doublet と Triplet の情報を用いて HPT コインシデンス情報を生成する。HPT はまず、PS Board から送られてきた LVDS レベルのシリアルライズされたデータを、パラレルのデータに変換する。HPT では、SLB ASIC まで独立に処理されてきた Doublet と Triplet のデータを統合して HPT コインシデンス情報を生成する。Triplet は 2 つの Doublet よりも衝突点に近く、しかも Doublet 同士の間隔よりも離れた位置に設置されているため、Triplet を用いることによりトroidアルマグネットによってあまり曲げられることがなかった大きな p_T を持つミューオン

信号を選別できる。HPT ではワイヤとストリップは独立に処理が行われ、 ΔR 、 $\Delta\phi$ を出力する。Fig.3.28 にワイヤ、Fig.3.29 にストリップのブロック図を載せる。出力データはシリアルライズされ、オプティカル信号に変換されて、光ファイバーによって 90~100m 離れた実験室外の USA15 に設置されている SL に送信される。HPT はエンドキャップ領域用のワイヤとストリップ用、フォワード領域用の計 3 種類作られる。フォワード領域用には 3 つ、エンドキャップ領域用には 4 つの HPT ASIC が搭載される。

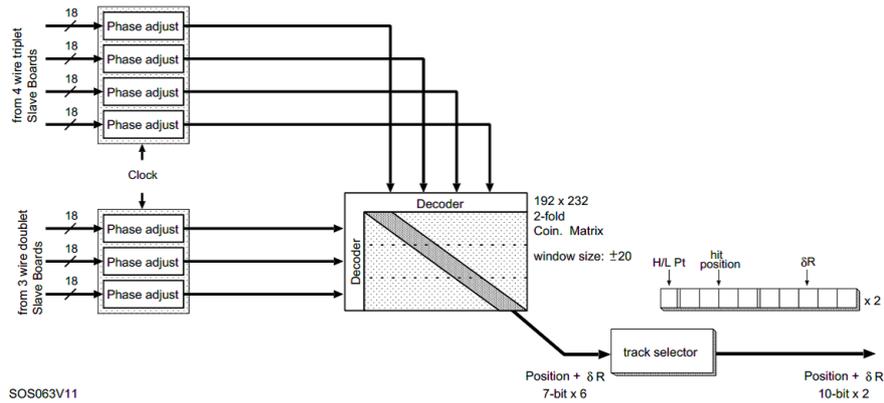


Fig. 3.28: HPT ワイヤー ブロック図

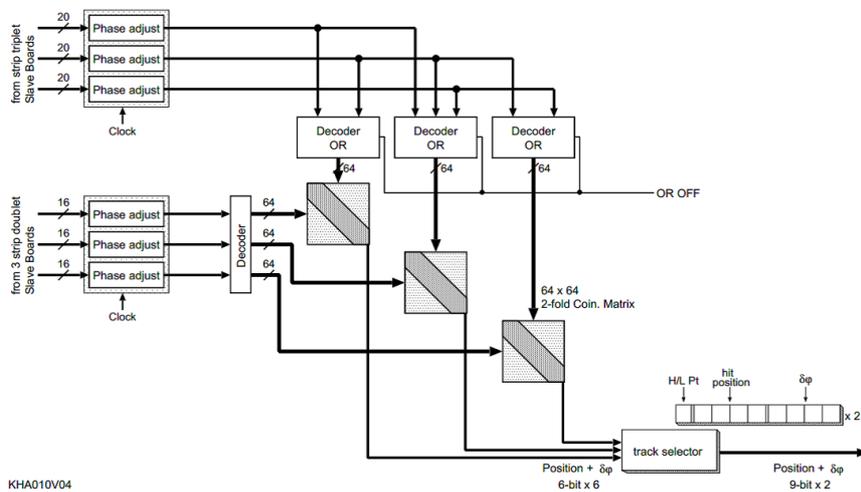


Fig. 3.29: HPT ストリップ ブロック図

Star Switch(SSW)



Fig. 3.30: SSW

SSW (Star Switch) の主な役割は、SLB のリードアウトから送られてくるデータを圧縮し、ROD にデータを送る前にデータ量を減らして、効率よい読み出しができるようにすることである。具体的なデータ圧縮は、データを cell と呼ばれる 8bit ごとの塊に分け、各 cell にアドレスを付け、値がゼロでない cell だけをアドレスと共に送る。TGC の全チャンネルのうちヒット信号を発生するのはごく一部なので、これによりデータを減らすことが出来る。1 つの SSW で最大 23 個の SLB のデータを受ける。SSW はまず、SLB からの LVDS レベルのシリアルライズされたデータを受け取り、それをパラレルのデータに変換する。そのデータは SSWrx (レシーバー) に送られ、データの圧縮が行われる。その後データは、SSWtx (トランスミッター) に送られ、データ形式が整えられる。整えられたデータはシリアルライズされ、光信号に変換されて 90~100m 離れた USA15 に設置された ROD に送られる。Fig.3.30 に SSW の写真を載せる。

3.3.4 ROD クレート

SL のクレートは USA15 にある VME9U+6U クレートであり、4 セクター分の SL と TTC 信号のファンアウトモジュール、VME マスターとしての SBC¹ が収められている。USA15 にあるので HPT とは G-Link で接続されている。

Sector Logic(SL)

SL については第 4 章で詳しく説明し、ここでは簡単に述べることにする。SL (Sector Logic) は TGC エレクトロニクスシステムのトリガーのデータが最終的に集められるモジュールであり、2 トリガーセクター分の信号を処理する。SL は主に R- ϕ コインシデンス、プレトラックセクター、ファイナルトラックセクターから構成される。まず SL は、HPT から送られてきたシリアルライズされているオプティカル信号を受け取り、電気信号に変換した後パラレル変換をする。そして、HPT Board まで独立に処理されていた R 方向 (ワイヤ) と ϕ 方向 (ストリップ) の HPT 信号から両者のコインシデンス (R- ϕ コインシデンス) を取ることにより、ミューオンのトラックを構築する。それらのトラックを、SSC ごとに 6 段階の p_T の閾値によって分類する。閾値は書き換え可能な Look-UpTable (LUT) によって実装される。プレトラックセクターは、6 段階の p_T 判定のそれぞれに用意され、 p_T の大きい順に 2 つの選択し、最大 12 トラックがファイナルトラックセクターに送られる。ファイナルトラックセクターでは、プレトラックセクターから送られた 1 トリガーセクター分のトラックから p_T の大きいものを 2 つ選択し、6 段階の p_T 判定と位置情報を MUCTPI に送る。このロジックは FPGA に書き込まれる。SL が処理に使用した HPT からのデータと SL での処理の結果は、SL に搭載された SLB ASIC から USA15 に設置された SSW に送られる。SL には各セクタに対して一つずつ SLB ASIC が搭載され、JRC も搭載される。Fig.3.31 に SL での処理の流れを載せる。

¹Single Board Computer: CPU などが搭載され、VME を直接コントロールできるモジュール

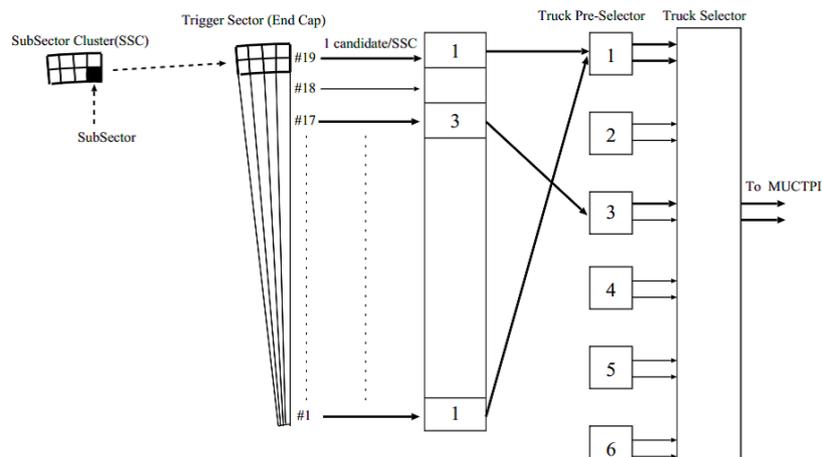


Fig. 3.31: SL での信号処理の概念図

Star Switch(SSW)

ROD クレートの SSW は、HSC クレートに収められている SSW と同じものであり、SL の出力を受け取り、ROD に受け渡す役割を担っている。

ROD

ROD (Read Out Driver) は TGC エレクトロニクスシステムの中でリードアウトのデータが最終的に集まるモジュールである。ROD は複数の SSW からシリアル化された圧縮データを光ファイバーを通して受け取り、オプティカル信号を電気信号に変換した後平行データに戻し、FIFO メモリに一時格納する。このデータを、トリガー情報を元に同じイベントごとにまとめ、決められたフォーマットにしたがってヘッダー、トレーラーをつける。まとめられたデータは S-Link という、フロントエンドとリードアウトのエレクトロニクスを繋ぐために CERN で開発された光信号のリンクモジュールによって ROB に送信される。イベントの同定やヘッダー、トレーラーをつけるためには TTC からのトリガー情報が必要となるため、ROD には TTCrx が載せられたメザニンボードが搭載され、これにより TTC からの信号を受け取ることができるようになっている。Fig.3.32 に ROD の写真を載せる。



Fig. 3.32: ROD

CCI

CCI (Control Configuration Interface Board) はローカルホストからの命令を受け取り、命令専用レジスタに格納したあと HSC へと送信する。一方 HSC からの応答は、応答専用レジスタに格納されローカルホストが読み出す。これら以外にも状態監視用のレジスタや VME 優先割り込み用のレジスタが用意され、これらは VME 経由でアクセスすることが可能である。Fig.3.33 に CCI の写真を載せる。

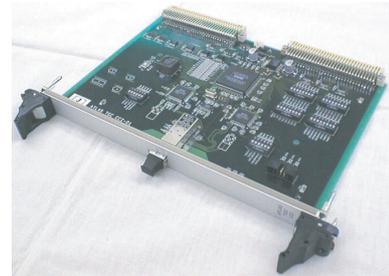


Fig. 3.33: CCI

3.3.5 TTC

TGC のエレクトロニクスで TTC の信号を用いるのは主に PS ボード及び SL の SLB ASIC、そして ROD である。まず、BW 上の PS ボードには SPP (Service Patch Panel board) が連結されている。これは TTCrq というメザニンカードを用いて TTC の光信号をデコードし、フラットケーブルにより各 PS ボードに TTC 信号をファンアウトするモジュールである。Doublet の 17 個連結された PS ボードに供給できるように、最大 18 個にファンアウトできる構造になっている。USA15 において、SL は VME クレートに取められているため、この SPP を VME 用に改良した SL-SPP が用いられている。これによりクレート内の 12 個の SL に TTC 信号を配っている。ROD に関しては TTCrms と呼ばれるメザニンカードを用いてデコードしている。ROD ごとにカードを搭載しているため、光信号をファンアウトして入れる必要がある。このためには TTCoc という光ファンアウトモジュールを用いる。

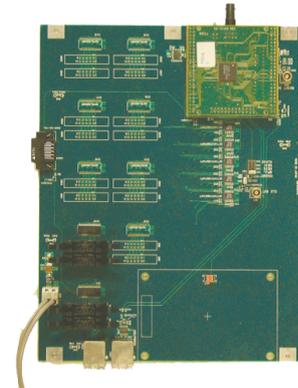


Fig. 3.34: SPP

3.4 RUN2に向けて

LHCは2015年から始まるRUN2に向けて現在アップグレードが進行中だが、それに伴いミュオングループの担当するLVL1ミュオントリガーシステムもアップグレードが求められる。2012年までのRUNを総括すると、最も対策を講じなければならないと考えられる項目が2点挙げられる。

本節では現状トリガーシステムの問題点の把握と、改善に向けたミュオングループの取り組みを述べる。

3.4.1 現状の問題

フェイクミュオンによるトリガー

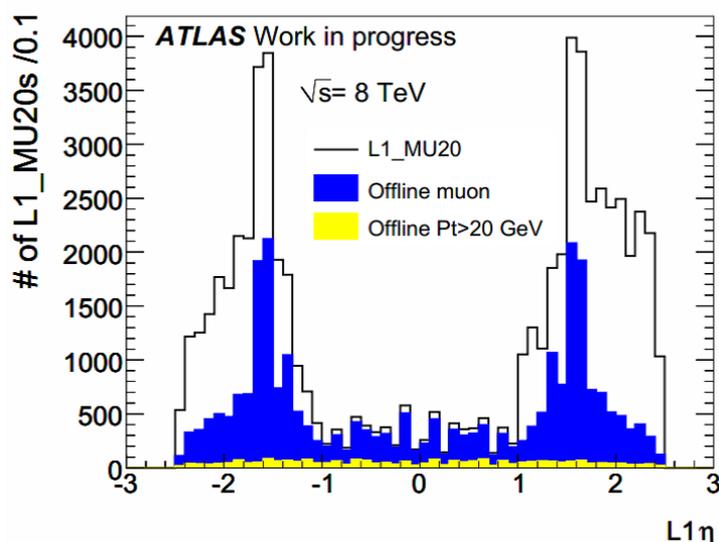


Fig. 3.35: あるrunにおけるL1MU20の η 分布

ミュオンスペクトロメータのLVL1トリガーメニューのうち、重要度の高いL1_MU20について考える。これはミュオンが $p_T 20[\text{GeV}/c]$ 以上を持っていると判断された場合に発行されるトリガーで、2012年時点では4.5[kHz]使っている。しかしこのままミノシティが上がるとL1_MU20のレートも上がり、ミュオンに割り当てられている25[kHz]をRUN2で超えてしまう恐れがある。

ここでL1_MU20の数を η の分布で見ると、Fig.3.35のようにになっている。黒線で示しているのがL1_MU20のイベント数、青線がofflineで衝突点からのミュオンの飛跡が再構成されたイベント数、黄色がofflineミュオンのうち実際に p_T が20[GeV/c]以上であったイベント数である。

offlineで再構成されたミュオンのうち実際に p_T が20[GeV/c]以上であった割合が少ないのは、LVL1トリガーに用いられる検出器の位置分解能が数cm程度であり、運動量分解能が悪いた

め 20[GeV/c] 以上と誤ってしまうものが存在するからである。しかし RUN2 において TGC 及び RPC チェンバーは現在のものを引き続き使用するため、これを改善することは困難である。よって問題となるのは衝突点由来のミューオンではない荷電粒子によって発行されるトリガーである。現状のトリガーシステムではこのようなイベントが約 6 割存在しており、フェイクトリガーと呼んでいる。そのほとんどは、TGC がカバーする $|\eta| > 1.0$ のエンドキャップ領域に集中しており、できる限り削減しなくてはならない。RUN2 ではエンドキャップのトリガー方法を改善し、ルミノシティが上がってもミューオンのトリガーレートを 25kHz 以内に収める必要がある。

バーストリガーによる読み出しバッファの Overflow

2012 年までの RUN において、実際の粒子によるヒット信号ではなく電気的なノイズが原因と思われる事象がミューオンスペクトロメータ全体で観測された。Raw Data の解析から得られた情報として、このようなノイズは検出器の広範囲で見られ、更にはある程度の時間幅を持って連続的に発生していることが判明した [7]。この現象をバーストと呼んでいる。Fig.3.36 はイベントディスプレイの一例であり、バーストが発生したと思われるイベントでは通常のイベントと比較すると明らかに広範囲で大量の信号が検出されていることが分かる。TGC においてもチェンバーの広範囲に渡りヒット信号が見られる。

現時点までの調査で判明していることは、ミューオン検出器全体にノイズが乗った事象が観測されているということである。これらのノイズによって、たまたま wire と strip のコインシデンスが成立しトリガーが発行されてしまうことがあった。更にノイズは連続的に発生することがあるため、複数バンチに渡り連続してトリガーが発行されることもあった。その場合、連続して SL から MUCTPI へトリガーを送ることになり、その結果データ読み出しバッファのオーバーフローによる障害 (ROD Busy, 2.3.2 参照) の発生が RUN1 の間に複数回発生した。これは、ATLAS 実験でのデータ損失に繋がる深刻な問題であり、RUN2 ではこのような事態を防がなければならない。



Fig. 3.36: イベントディスプレイの比較 (左) 通常のイベントの例 (右) ノイズによるイベントの例

3.4.2 フェイクミューオンの原因

フェイクの原因としては、ミューオン以外の荷電粒子が磁場によって曲げられ、衝突点から来たように見えてしまうことが考えられる。このヒットが高い p_T のミューオンと同じような信号を残すと、LVL1 でトリガーされてしまう。Fig.3.37 にこのような事象の模式図を示す。

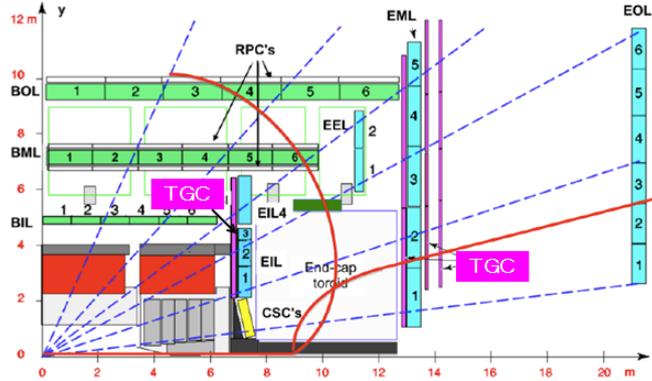


Fig. 3.37: フェイクトリガーを発行させる粒子の飛跡の一例

LVL1 でトリガーされた事象のうち、内部飛跡検出器にヒットのないものは、内部飛跡検出器にヒットがあったもの（衝突点由来の事象）に比べて低速度であることが判明している (Fig.3.38,[8])。また、Fig.3.35 で示したように、A-side 側に多く飛来していることから、正電荷をもつ荷電粒子であると考えられる。以上のことから、フェイクミューオンの正体は、ミドルステーションの直前に位置しているトロイド磁石付近やビームパイプを囲むシールド付近で発生した低運動量の陽子であると考えられる。

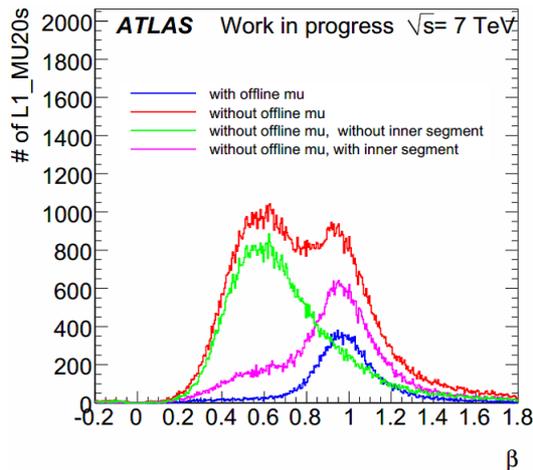


Fig. 3.38: L1MU20 を発行した荷電粒子の $\beta(=v/c)$ 分布 [8]. 青で示されているのが offline で再構成されたミューオンの分布である。一方、赤で示されているのが offline で再構成されなかった事象における荷電粒子の速度分布である。そのうちマゼンタは MDT のインナーステーションにヒットを伴っていたもの、緑はインナーステーションのヒットを伴っていなかったものである。

3.4.3 バーストの原因

ミュオングループでは現在、RAW データ解析などを通して原因を調査中である。バーストはミュオンスペクトロメータのみで観測されている事象であり、内部飛跡検出器やカロリメータにおいては同現象の観測は報告されていない。

3.4.4 対策

EI/FI を用いたトリガー

RUN2 では、2012 年までのトリガーシステムには用いられていなかったインナーステーション TGC(EI/FI) の情報を用いる。EI/FI へのヒットを要求することで、フェイクミュオンによるトリガーを抑えることが期待されている。その概念図を Fig.3.39 に示す。このロジックは TGC トリガーシステムの最終段を構成する Sector Logic(SL) に組み込むことにしている。すでに EI/FI 信号を用いた基本回路のロジックの開発は終わり、現在は BW と EI/FI 信号のディレイを調整中である [16]。本論文では、場所ごとに最適化された詳細なコインシデンス条件を用いることを目標とし、ファームウェアの開発をさらに進めたことについて記述する。具体的なトリガーロジックや、期待される効果については第 5 章で詳細に論じることとする。

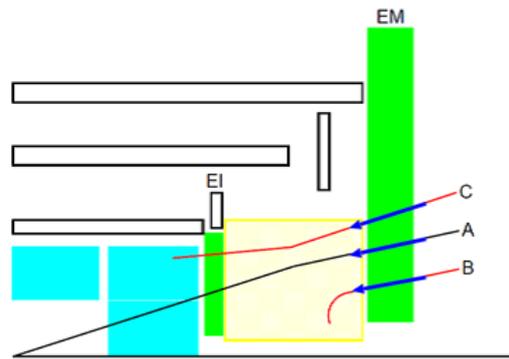


Fig. 3.39: EI/FI を用いて衝突点由来のミュオン以外の粒子によるトリガーを削減するイメージ

バーストによる連続したトリガーの抑制

データ読み出しバッファのオーバーフローを防ぐためには、ROD に至るまでのエレクトロニクス内でバーストによるトラックを検知し、これが連続した場合は、実際の粒子によるトラックでないものと見なし、それらのトラックをトリガー候補から外す必要がある。出来る限り早い段階でこれを検知し TGC からの連続したトリガー信号を VETO することにした。バーストによる連続トリガーを落とすロジックは、EI/FI を用いたトリガー同様、SL に導入する。SL 内での具体的なトリガーロジックと期待される効果については、第 5 章で詳細に述べる。

第4章 Sector Logic

RUN2で新しく導入するトリガーシステムは、Sector Logicに実装される。よって本章ではTGCシステムで使用されているSector Logic(以下、SL)について詳細に述べる。ここで解説するのはSLの基本的な仕様(2012年9月以前に使用されていたSLの仕様)であり、2012年9月以降に行った改良については第5章で述べることにする。

4.1 Sector Logic の基本設計

第3章でも述べた通り、SLは前後方ミューオントリガーシステム(TGCシステム)のトリガー系回路最終段に位置し、MUCTPIに最終的なトリガー情報を渡す。TGCシステムのトリガー論理の中でのSLの役割は2つあり、1つ目は、前段階まで独立に扱われていたワイヤーとストリップ(Rと ϕ)のヒット位置情報のコインシデンス処理を行うと同時に ΔR 、 $\Delta\phi$ からミューオンの p_T を6段階の値で評価すること(R- ϕ コインシデンス)。2つ目は、コインシデンス処理され p_T が得られた飛跡の候補の中から、より高い p_T を持つ候補を最大で2つ選ぶことである。

これまでSLはHPTボードから受けたBWのHigh-Ptコインシデンス情報だけをトリガー判定に使用してきた。実際は、SLボードにはBWからの信号の他に、EI/FI chamberからの信号も結線されており、EI/FI信号も受け取っている。新しく開発した回路では、第3章で説明したフェイクトリガーを落とすため、このEI/FIからの情報を用いる。この新しい回路については第5章で改めて詳細を述べる。

4.1.1 システムからの制約と設計思想

SLは以下の要求を満たすように設計されている。

1. LHCの衝突周波数である40.08MHzに同期して、デッドタイムレスで動作し、それぞれのバンチで独立して結果を出す。
2. 入射ミューオンの運動量測定で用いられる6段階の閾値は、探索する物理や測定条件により実験中に自由に変更できる。
3. HPTモジュールからの入力情報とSLの出力情報は読み出し可能である。

1.の条件を満たすために、SLの動作クロックにはLHCクロックを起源としたTTCクロックが用いられる。2.の条件を満たすために、SL上のFPGAに搭載されたBlock RAM¹を使用している。SLは ΔR 、 $\Delta\phi$ からミューオンの p_T を算出する。TGCの各ROIに対し、この ΔR と $\Delta\phi$ を6段階の p_T と対応付ける表(Coincidence Window, CW)を予め作成しておく。CWの作成にはシミュレーションを用いており、各ROIについて、このCWの対応をBlock RAMに記憶させてお

¹アドレス及びデータ幅がいくつかのメニューから選択可能な同期メモリで、ユーザーによる初期値の設定が可能である。

くことで、 p_T の算出をボード上で行うことができる。また、ミューオンの p_T 閾値を変更するには、Block RAM に書き込まれた CW を変更することで対応可能である。3. の条件を満たすために、SL のボード上に SLB ASIC が搭載されており、通常の TGC ヒットデータと同様の処理で読み出される。

4.1.2 入力信号

本節では SL に入力される信号について解説する。SL には HPT ボードから BW High-Pt コインシデンス情報が、PS ボードから EI/FI 情報が入力される。HPT ボード、PS ボードと SL 間の通信には Hewlett Packard HDMP-1000 G-Link と呼ばれる通信技術 [5] を用いており、パラレルシリアル変換を行い、光信号を光ケーブルで送信する。1 本の光ケーブルは 16bit または 17bit を送信する。HPT ボード、PS ボードは TTC クロックに同期して約 40MHz で信号を送るので、各ケーブルでの信号の伝送速度は $16(17) \times 40M = 640(680)Mbps$ となる。

BW 信号

Endcap 用 SL ボードは 1 つのトリガーセクターにつき 6 本の光ファイバーで HPT 出力を受け取る。4 本はワイヤー HPT 出力の受信に使用され、そのうち 3 本は 17 bit, 1 本は 16 bit を受信し、合計で $17 \times 3 + 16 = 67$ bit を受信する。残りの 2 本はストリップ HPT 出力の受信に使用され、2 本とも 17 bit を受信し、合計で $17 \times 2 = 34$ bit を受信する。1 枚の SL ボードで 2 トリガーセクター分の領域を処理するので、 $(4 + 2) \times 2 = 12$ 本の光ファイバーで HPT 出力を受け取る。Forward SL は 1 つのトリガーセクターにつき 3 本の光ファイバーで HPT 出力を受け取る。そのうち 2 本はワイヤー HPT 出力の受信に使用され、合計で 34 bit を受信する。残りの 1 本はストリップ HPT 出力の受信に使用され、合計で 16 bit を受信する。1 枚の SL ボードは 2 トリガーセクターを担当するので、 $(2 + 1) \times 2 = 6$ 本の光ファイバーで BW 信号を受け取る。1 つのトラック情報はワイヤーからは 10 bit, ストリップからは 9 bit で入力され、その内訳は Table.4.1 のようになる。

Table. 4.1: HPT からの入力データフォーマット

Chip		Candidate	Signal[bit width]				
HPT Endcap wire	Chip0(7bit)	1st	POS[1]	H/L[1]	Sign[1]	$\Delta R[4]$	
	Chip1-3(20bit)	2nd	HitID[3]	POS[1]	H/L[1]	Sign[1]	$\Delta R[4]$
		1st	HitID[3]	POS[1]	H/L[1]	Sign[1]	$\Delta R[4]$
HPT Endcap strip	Chip0(18bit)	2nd	HitID[3]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi[3]$
		1st	HitID[3]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi[3]$
	Chip1(16bit)	2nd	HitID[2]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi[3]$
		1st	HitID[2]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi[3]$
HPT Forward	Chip0 (wire) (20bit)	2nd	HitID[3]	POS[1]	H/L[1]	Sign[1]	$\Delta R[4]$
		1st	HitID[3]	POS[1]	H/L[1]	Sign[1]	$\Delta R[4]$
	Chip1 (wire) (16bit)	2nd	HitID[1]	POS[1]	H/L[1]	Sign[1]	$\Delta R[4]$
		1st	HitID[1]	POS[1]	H/L[1]	Sign[1]	$\Delta R[4]$
	Chip2(strip) (14bit)	2nd	HitID[1]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi[3]$
		1st	HitID[1]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi[3]$

wire 情報での HitID は SSC 単位での位置を表しており、POS の 0/1 で R 方向のサブセクター単位の位置が決まる。0 が R の大きいほうを表している。strip 情報での HitID は、チェンバーの右半分か左半分かを表し、POS で更にその半分のどちらかが決まり、 ϕ 方向のサブセクター単位の位置が決まる²。H/L 情報は HPT コインシデンスを通過したか否かを 1(H)/0(L) で表す。Sign は ΔR 、 $\Delta\phi$ の符号である。Endcap Wire Chip0 を除いた各 Chip はそれぞれ 1st、2nd の 2 つの候補を出力する。上位ビット側が 1st の情報を表している。

EI/FI 信号

EI/FI 情報は Endcap 領域の SL ボードにのみ入力される³。1 枚の SL ボードは 4 本の光ファイバーで 64 bit の EI/FI 情報の入力を受ける。1 枚の SL ボードは 2 つのトリガーセクターの信号を処理するが、入力された信号は 2 つのトリガーセクター両方で使用するため、SL ボード上で 2 つに分け、2 つの FPGA にそれぞれ入力する。EI/FI から送られる 4 本のファイバーは、それぞれ EI/FI の 1 セクター分からの情報に対応している。つまり 1 枚の SL ボードは、2 つのトリガーセクターと 4 つの EI/FI セクターを対応付けている。1 本のファイバーで送られるデータフォーマットは Table.4.2 のようになる。EI/FI 情報の 1 bit は EI/FI チェンバーのワイヤーまたはストリップの 8 チャンネルの OR をとり、2 層のチェンバーの OR をとったもの (1 out of 2 coincidence) である。1 つの EI Doublet のワイヤーは 24 チャンネル、ストリップは 32 チャンネルあり、1 つの FI Doublet はワイヤー、ストリップ共に 32 チャンネルある。よって、1 つの EI Doublet はワイヤー情報を 3 bit、ストリップ情報を 4 bit に載せて SL に送る。また 1 枚の FI Doublet はワイヤー、ストリップとも各 4 bit の情報を SL に送る。

Table. 4.2: PS ボードから受ける入力データフォーマット

Bit	Signal	Bit	Signal
0	EI strip ch24-31 OR	8	FI strip ch24-31 OR
1	EI strip ch16-23 OR	9	FI strip ch16-23 OR
2	EI strip ch 8-15 OR	10	FI strip ch 8-15 OR
3	EI strip ch 0- 7 OR	11	FI strip ch 0- 7 OR
4	EI wire ch16-23 OR	12	FI wire ch24-31 OR
5	EI wire ch 8-15 OR	13	FI wire ch16-23 OR
6	EI wire ch 0- 7 OR	14	FI wire ch 8-15 OR
7	Not used	15	FI wire ch 0- 7 OR

4.2 Sector Logic Board の仕様

4.2.1 概要

SL ボードには、Endcap 用ボードと Forward 用ボードの 2 種類の基板が存在し、それぞれトリガーセクターの Endcap 部分と Forward 部分を担当している。ボード 1 枚でトリガーセクター 2 つ分の領域をカバーし、Endcap 用ボードは 1 枚で Big Wheel の 24 分の 1、Forward 用ボードは

²Big Wheel の構造から、チェンバーの右左の概念は、セクターによって反転する。

³Forward 領域には対応する EI/FI チェンバーが存在しないため、EI/FI 情報の入力はない。

1枚で Big Wheel の 12 分の 1 の領域を処理する。TGC システム全体では、Endcap 用ボード 48 枚、Forward 用ボード 24 枚を使用している。

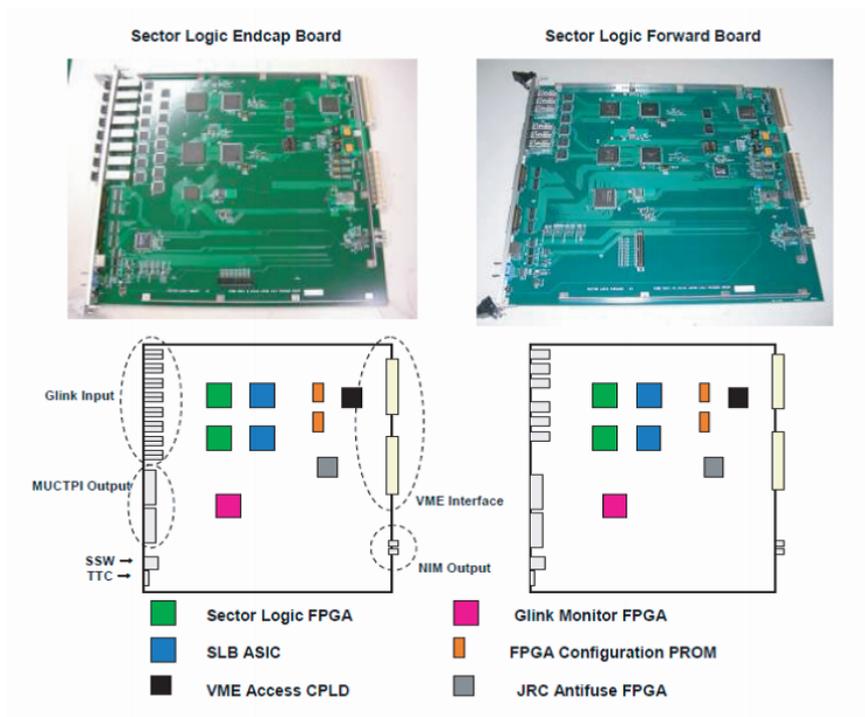


Fig. 4.1: SL ボード

Endcap 用ボードと Forward 用ボードの写真と概念図を Fig.4.1 に載せる。SL ボードは VME9U のスレーブモジュールで、VMEbus のインタフェース、入出力のインタフェースと CPLD、FPGA、ASIC、PROM (Programable Read Only Memory) などの IC で構成されている。フロントパネル部には HPT、PSB からの G-Link 入力 (LC コネクタ)、TTC からの LVTTTL の入力、SSW との LVDS 入出力 (CAT6)、MUCTPI への LVDS 出力のインタフェースが、後方には NIM 出力 (LEMO) が備えられている。また、図にはないが、ボード上には JTAG 通信のインタフェース (JTAG ピン) があり、外部から各 IC に対して JTAG 通信が可能となっている。2 種類のボードには共通して以下の主要 IC が搭載されている。

- Sector Logic FPGA
Sector Logic FPGA はボードの中核となるトリガー論理を実装する。1つの FPGA がトリガーセクター 1つに対応しており、1枚のボードに 2個搭載されている。
- Glink Monitor FPGA
Glink Monitor FPGA は、HPT からの G-Link プロトコル入力の状態を監視する回路を実装する。1枚のボードに 1個搭載されている。Glink Monitor FPGA は信号受信用の IC を監視し、通信エラーを検知したら自動的に復旧させる。
- VME Access CPLD
VME Access CPLD は、VME のマスターモジュールと SL ボードの通信を担い、各 FPGA

とのアクセスを可能にする回路が実装される。また、この CPLD には JTAG のルーティングを行う回路が実装されており、VME でのアクセスやボード上の JTAG ピンから SLB ASIC、FPGA、PROM との JTAG 通信を可能にしている。

- FPGA configuration PROM
FPGA は揮発性であり、電源を切ると内部の回路は消えてしまうのため、FPGA とペアで搭載した PROM に Sector Logic FPGA と Glink Monitor FPGA の設計データを入れておき、電源投入時に FPGA への書き込み（コンフィギュレーション）を行う⁴。
- SLB ASIC
PSB に実装されている SLB ASIC と同じものを用いており、SL が出力するトリガー情報と、HPT からの入力の読み出しを行う。ひとつの Sector Logic FPGA の情報をひとつの SLB ASIC で読み出すため、1 枚のボードに 2 個搭載されている。
- JRC Antifuse FPGA
PSB に実装された JRC と同じものを用いており、SSW 経由での SLB ASIC との JTAG 通信のルーティングを行う。

搭載されている IC については、用途により Endcap 用と Forward 用で異なるものが使用されている。主要な IC に関して Table.4.3 と Table.4.4 にまとめる。

Table. 4.3: SL Endcap 用ボードの主要 IC

用途	IC の種類	使用製品	搭載個数/board
Sector Logic	FPGA	XC2V3000-BG728(xilinx)	2
Glink monitor	FPGA	XC2S150E-FG456	1
VME Access	CPLD	XC2C256-PQ208(xilinx)	1
FPGA Configuration	PROM	XCF18P(xilinx)	2
読み出し	SLB ASIC	-	2
JTAG ルーティング	Antifuse FPGA	A54SX08A(Actel)	1

Table. 4.4: SL Forward 用ボードの主要 IC

用途	IC の種類	使用製品	搭載個数/board
Sector Logic	FPGA	XC2V1000-BG575(xilinx)	2
Glink monitor	FPGA	XC2S50E-PQ208	1
VME Access	CPLD	XC2C256-PQ208(xilinx)	1
FPGA Configuration	PROM	XCF08P(xilinx)	2
読み出し	SLB ASIC	-	2
JTAG ルーティング	Antifuse FPGA	A54SX08A(Actel)	1

⁴ただし 2012 年 RUN1 では使用しておらず、RUN 開始時に VME bus を通じて FPGA をコンフィギュレーションする方法が取られた。

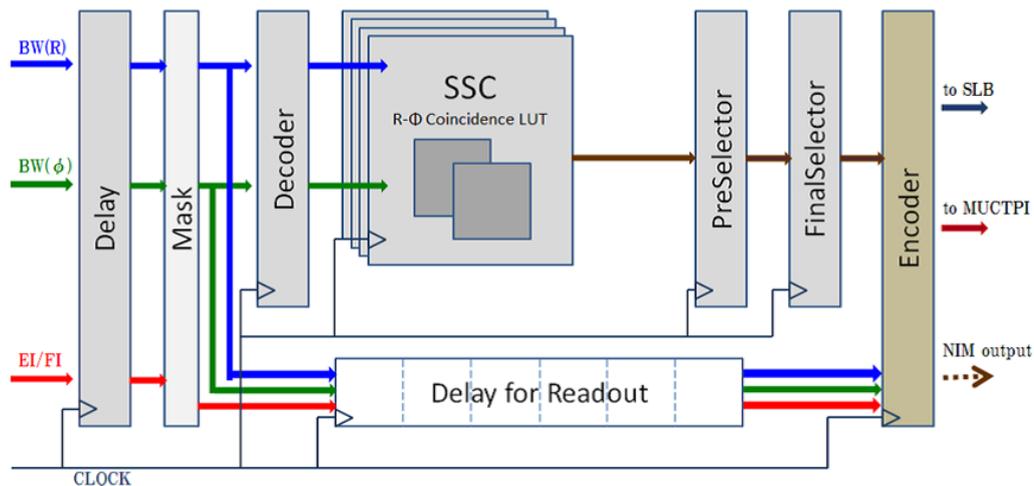


Fig. 4.2: Sector Logic FPGA 内部機能ブロック

4.2.2 Sector Logic FPGA 内部設計

FPGA の回路設計は、Verilog-HDL(Hardware Description Language) によって行われている。HDL は論理回路も言語によって設計できる。記述したコードから FPGA のベンダーが提供する論理合成ツールを用いて、実際の論理回路へと変換される。Sector Logic FPGA のコードは、いくつかの機能別にモジュール化されており、論理の変更や追加に柔軟に対応できるように設計されている。ここでは、Sector Logic FPGA に実装される回路の詳細を機能ブロックに分けて説明する。まず、全体のブロックダイアグラムを Fig.4.2 に示す。機能ごとに大別すると、Delay、Decoder、SSC Logic、Pre TrackSelector、Track Selector、Encoder の 6 つに分けられる。

Delay

入力された信号を半クロック幅 (12.5ns) 単位で任意の時間、遅らせる回路である。構造としては、FF(FlipFlop) を連続して連結したシフトレジスタになっている。Decoder の前段に位置する Delay ブロックは HPT からの複数のファイバーからの入力を同期させたり、信号をラッチするタイミングをずらすために用いる。Encoder の前段に位置する Delay ブロックは、HPT の入力情報とそれに対応する SL の出力を同期させて SLB ASIC に入力するために用いる。

Decoder

Delay ブロックから渡される HPT からの入力信号を意味のある信号列に解釈し、SSC 別に分けて次段の SSC Logic に出力する。また、対応する入力がない SSC へは、ヒットが無いという情報を次段に出力する。

SSC Logic

SSC Logic は、R- ϕ コインシデンスを行う回路である。SSC Logic には halfSSCLogic というサブモジュールが 2 つある。halfSSC とは、SSC を ϕ 方向に 2 分割した単位であり、ROI が 4 つ含まれる。2 つの halfSSC Logic で halfSSC 別に p_T を求めたあと、どちらかの p_T の高い軌跡を 1 つ選択し出力を行う。2 つの halfSSC で同じ p_T を持つ軌跡がある場合は、 ϕ の値によってどちらかを決める。LUT で使用する FPGA の XC2V シリーズ (Virtex-2) のメモリ資源は、18kbit の Block RAM 単位で構成されており、アドレス、入出力幅が可変である。SL では、Block RAM を 4kbit(アドレス 12bit 幅) \times 入出力 4bit の Single-Port RAM を使用している。halfSSC Logic に入力されるのは、Table.4.1 に示した、R、 ϕ それぞれの POS、H/L、Sign と ΔR 、 $\Delta\phi$ で、合計で 13bit 幅である。入力が 13bit 幅なので、アドレス 12bit 幅の RAM2 つで構成し、halfSSC の LUT を実現している。RAM の出力する p_T は 1 から 6 なのでビット幅は 3bit であり、残り 1bit は、 ΔR の Sign を出力するようになっている。

Pre Track Selector

Pre Track Selector は、R の最も大きいもの (η の小さいもの) から位置的優先順位を付ける回路である。各 SSC からのヒット情報は p_T 別に 6 つの Pre Track Selector に入力される。

Track Selector

Track Selector は、6 つの Pre Track Selector より送られて来るそれぞれ最大 2 つの軌跡候補から、

- (1) p_T が高い
- (2) Pre Track Selector がつけた位置的優先順位が高い

の優先順位で最大 2 つの軌跡を選び出す。

Encoder

Encoder は Delay ブロックから送られて来る HPT モジュールからの入力信号と、Track Selector から送られて来る最大 2 つの軌跡候補のデータを規定の形式に変更し MUCTPI と SLB ASIC 送る回路である。MUCTPI 出力に含まれる BCID(バンチクロッシング ID) を PSB と合わせる仕組みもこのブロックに実装されている。また、Glink Monitor から Glink 入力のエラー情報もこのブロックに入力され SLB ASIC に送られる。Table.4.5 に MUCTPI への出力フォーマットを載せる。

CHRG1、CHRG2 はそれぞれ 1st、2nd 候補に対するミューオンの HPT からの入力 ΔR の符号 (Sign) である。BCID はグローバルな BCID(バンチクロッシング ID) の下 3 桁である。PT1、PT2 はそれぞれ 1st、2nd 候補に対する 6 段階 (1-6) の p_T である。ROI1、ROI2 はそれぞれ 1st、2nd 候補に対する位置情報 ROI である。MT2C とは More Than 2 Candidate の略で軌跡情報が 3 つ以上のときに High (1) となる信号であるが、現在は使用されていない。

Table. 4.5: MUCTPI への出力データフォーマット

		7	6	5	4	3	2	1	0
SL Endcap	3	CHRG2	CHRG1	BCID[2]	BCID[1]	BCID[0]	1	1	PT2[2]
Output to	2	PT2[1]	PT2[0]	PT1[2]	PT1[1]	PT1[0]	0	ROI2[7]	ROI2[6]
MUCTPI	1	ROI2[5]	ROI2[4]	ROI2[3]	ROI2[2]	ROI2[1]	ROI2[0]	0	ROI1[7]
(32bit)	0	ROI1[6]	ROI1[5]	ROI1[4]	ROI1[3]	ROI1[2]	ROI1[1]	ROI1[0]	MT2C
SL Forward	3	CHRG2	CHRG1	BCID[2]	BCID[1]	BCID[0]	1	1	PT2[2]
Output to	2	PT2[1]	PT2[0]	PT1[2]	PT1[1]	PT1[0]	1	1	1
MUCTPI	1	ROI2[5]	ROI2[4]	ROI2[3]	ROI2[2]	ROI2[1]	ROI2[0]	1	1
(32bit)	0	1	ROI1[5]	ROI1[4]	ROI1[3]	ROI1[2]	ROI1[1]	ROI1[0]	MT2C

補助的機能

SL には FPGA の余剰メモリを利用して、トリガー生成論理とは別に、SL の状態や運転状況をモニターし、トリガー論理を補助する機能が搭載されている。

- Trigger Counter

Trigger Counter は Encoder からのトリガー出力の有無の 1 ビットの入力を 10 秒間 (400000000Clock) カウントする。カウントされた値は、レジスタに渡され VME Access によって読み出すことができる。この値を読み出すことで、大まかなトリガーレートの推移をモニターできる。

- Mask

Mask 機能とは Decoder ブロックの前段におかれ、HPT からの入力信号を部分的にマスク (遮断) する機能である。

- H/L Mask : HighPt 判定された信号か、LowPt 判定された信号かを判断してマスクを行う
- SSC Mask : SSC 単位でトリガー出力のマスクを行う
- EI/FI Mask : EI/FI からの信号を使用するかどうかのマスク。使用しない場合、SL の ReadOut Line の EI/FI 領域における OR 情報を取る前に、SL への EI/FI Input 信号を遮断する

4.2.3 Glink Monitor FPGA 内部設計

Glink Monitor FPGA も HDL(Hardware Description Language) によって設計されている。

Auto Recover

Auto Recover は Glink 受信 IC(デシリアライザー) である HDMP-1034A8(Agilent 社) の RX-Error ピン状態を監視し、エラー状態になっていた場合、クロックの同期周波数の設定ピン (Rx-DIV[1:0]) を一度 40.08MHz の範囲外の設定にし、すぐに 40.08MHz の設定に戻す。通常 200~250 クロック後に復帰するが、復帰しない場合は 500 クロック後に再度 40.08MHz の範囲外に設

定し、復帰するまでこれを繰り返し試みる回路である。また、1回でも同期が外れた場合、その情報を保持しておく事が出来るようになっている。ファイバー 1 本の入力で受信 IC が 1 個必要で、Endcap ボードは 16 個、Forward ボードは 6 個の受信 IC を搭載しており、受信 IC と同じ数の Auto Recover 回路を FPGA 内に実装される。また、Glink Monitor FPGA はボード上の 2 つの Sector Logic FPGA に、エラー情報 1 ビットを出力する。これは、Auto Recover 回路の出力を対応する Sector Logic FPGA に関して OR をとったものである。

4.2.4 VME Access CPLD 内部設計

VME Access CPLD も HDL(Hardware Description Language) によって設計されている。

VME Access

VME Access CPLD は、VMEbus のアドレス線、データ線、データ制御線を制御し、マスターに対して応答し通信を行う回路が実装されている。レジスタの読み書きによって、各 FPGA の設定や機能の切り替えが可能となる。また、FPGA のコンフィギュレーション (回路の焼きこみ) も VME アクセスによって行うことが可能である。内部に VME からの 16MHz の Clock で状態を遷移させる 8 段の State Machine (8 ビットのシフトレジスタ) を設けおり、これで順序処理をおこなっている。よって、一回の VME アクセスに 8 Clock(500ns) を要する。

JTAG Router

VME アクセスもしくはボード上の JTAG ピンからの JTAG 信号を、レジスタの値もしくはボード上のディップスイッチの値によって各 FPGA、PROM、SLB ASIC に対してルーティングを行う。

第5章 新しいトリガー回路の開発と実装

第3章で述べた通り、ミュオングループではRUN2に向けてフェイクトリガーの削減とバーストの抑制を行う。私はこれらのトリガーロジックを実現するための新しい回路を開発し、Sector Logic(SL)のファームウェアとして実装した。本章では新しい回路の開発、実装について説明し、期待される性能について述べる。また、開発した回路の動作確認について解説する。

5.1 EI/FIを用いた新しいトリガー回路の開発

本節ではSLの信号処理にEI/FIを用いた新しいトリガー回路について説明する。まず昨年までのミュオングループでの取り組みについて説明した後、私が行った新しいトリガー回路開発について述べる。

5.1.1 2012年の取り組み

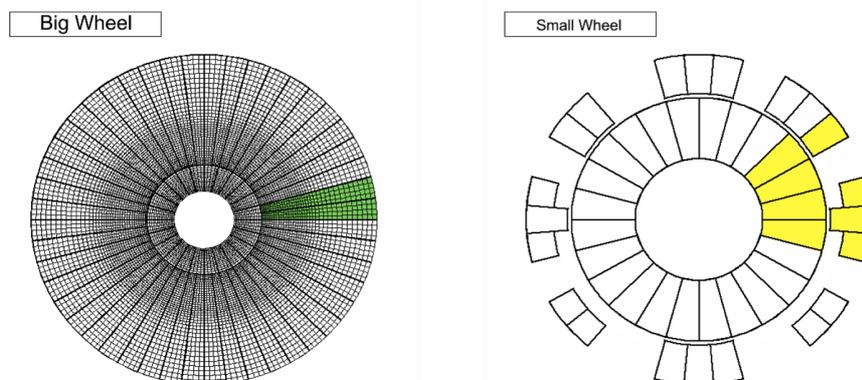


Fig. 5.1: BW、EI/FIの概形。左がBW、右がEI/FIを表しており、BWの緑色で示した部分がひとつのトリガーセクターである。このトリガーセクターに対応するEI/FI chamberを示したのがEI/FIの黄色で示した部分である。Inner Coincidenceをとる際、SWのヒットは全24セクター中4セクターの中で探索され、その中でヒットしたチャンネルがあるかどうかで、トリガー判定が行われる。例えば左図で緑色に塗られた領域のROIでL1 MU20トリガーが発行された場合、右図の黄色で塗られた範囲の中から探索され、ヒットしたチャンネルがあればトリガーが発行される仕組みである。

RUN2ではEI/FIを新たに用いてフェイクトリガーを削減し、トリガーレートをLVL1で許されている値内に収めることを目指している。そのためにTGCグループでは以下の様に段階的な計

画を立て、2012年から実行に移し始めた。

- (1) EI/FI 信号が使用可能か確認するために簡易のコインシデンス回路を実装し、BW とのタイミング調整を行う。
- (2) EI/FI チェンバーに対してより精密なヒット要求を課す回路を実装し、トリガーレートの要求を満たすファームウェアを完成させる。

このうち (1) で示した行程は 2012 年に実行されている。[16] ここでは 2012 年に行った SL ファームウェア開発及びタイミング調整について解説する。

EI/FI を用いた新しいトリガー回路は、SL 内に Inner Coincidence という機能として実装される。Inner Coincidence では EI/FI チェンバーのトリガー情報をトリガー判定に組み込む。ここで、Fig.5.1 に示すように、EI/FI のうち EI チェンバーは BW の全 η - ϕ 領域を覆っているわけではない。そのため Inner Coincidence は EI/FI に覆われた BW の ROI にヒットしたトラックに対してのみ EI/FI ヒットを要求する。この設定はコントロールレジスタを用いて行い、ROI 単位、さらには各 p_T 、に対して設定することを可能とした。尚、EI/FI ヒットの定義は同一の EI/FI チェンバー Doublet 内でワイヤー、ストリップの両方について Low- p_T coincidence がとれることである。各トリガーセクターは EI/FI Doublet 4 セクターから入力を受ける。2012 年に開発・実装したコインシデンス回路では、これら 4 セクターの Doublet のうち、1 つでもワイヤー、ストリップの両方で Low- p_T コインシデンスがとれたら EI/FI にヒットがあったとみなしてトリガー処理を行う回路が実装された。これをここでは簡易コインシデンス回路と呼ぶことにする。

また、トリガーは落とさず EI/FI ヒットの有無だけを調べるモード (Monitoring mode) も実装され、ATLAS 全体に影響を与えることなくトリガー回路改良のためのデータを取得することを可能とした。Monitoring mode に対し、EI/FI チェンバーのヒットの有無によってトリガーを落とすモードを Suppress mode と呼ぶ。Monitoring mode では、Inner Coincidence は R- ϕ coincidence から受けた信号に 1 bit の情報を加えて TrackSelector に渡す。この 1 bit を "veto bit" と呼び、MUCTPI に渡す SL のトリガー出力信号の中に組み込まれた。EI/FI にヒットが要求されているトラックが EI/FI ヒットを伴っていない場合、この veto bit の値を 1 とし、それ以外の場合は veto bit を 0 とする。veto bit の値はトリガー判定には反映されない。veto bit 情報を含んだトリガーのフォーマットを Table.5.1 に示す。veto bit は出力トリガーの 9 bit 目と 18 bit 目に対応する。Monitoring mode で用いるトリガー判定条件は、それまで RUN1 で使用してきた条件と変わらない。そのため Monitoring mode では ATLAS 全体にこれまで通りのトリガーを供給しながら、トリガー回路改良のためのデータを取得することができる。

実際、2012 年 11 月～12 月の RUN では簡易コインシデンス回路を実装した SL が ATLAS で使用され、monitoring mode を用いてデータ取得が行われた。すなわち、従来通りのトリガー供給を行いながら、EI/FI コインシデンスの評価が行われた。また、ここで得られたデータを使用して BW-EI/FI 間のタイミング調整をするための解析が行われた。EI/FI からの信号は HPT を通らず PS ボードから SL に入力される。そのため EI/FI の信号に適切な delay をかけることにより同バンチの信号を同じタイミングで正しく SL に届ける必要がある。2012 年にテストパルスを用いた正しい delay 値の予測が行われ、それに基づいて実データから delay 値の探索が行われた。しかし今のところ正しい Delay 値は得られておらず、BW と EI/FI のタイミングを揃えて SL に届けることがひとつの課題となっている。

Table. 5.1: veto bit 情報を含んだ MUCTPI への出力データフォーマット

		7	6	5	4	3	2	1	0
SL Endcap	3	CHRG2	CHRG1	BCID[2]	BCID[1]	BCID[0]	1	1	PT2[2]
Output to	2	PT2[1]	PT2[0]	PT1[2]	PT1[1]	PT1[0]	veto bit 2	ROI2[7]	ROI2[6]
MUCTPI	1	ROI2[5]	ROI2[4]	ROI2[3]	ROI2[2]	ROI2[1]	ROI2[0]	veto bit 1	ROI1[7]
(32bit)	0	ROI1[6]	ROI1[5]	ROI1[4]	ROI1[3]	ROI1[2]	ROI1[1]	ROI1[0]	MT2C
SL Forward	3	CHRG2	CHRG1	BCID[2]	BCID[1]	BCID[0]	1	1	PT2[2]
Output to	2	PT2[1]	PT2[0]	PT1[2]	PT1[1]	PT1[0]	1	1	1
MUCTPI	1	ROI2[5]	ROI2[4]	ROI2[3]	ROI2[2]	ROI2[1]	ROI2[0]	1	1
(32bit)	0	1	ROI1[5]	ROI1[4]	ROI1[3]	ROI1[2]	ROI1[1]	ROI1[0]	MT2C

5.1.2 LUT を用いた Inner Coincidence

ここでは、RUN2 に向け EI/FI に対してより精密なヒット要求を課すために行ったトリガー回路の開発について述べる。

Fig.5.1 で示したように、EI/FI は BW と比べて η - ϕ 平面においてカバーしている領域が狭いため、エンドキャップ領域のすべての ROI に Inner Coincidence を要求するとトリガーが発行できなくなる ROI が発生する。そこで全ての ROI に Inner Coincidence を要求するのではなく、予め Inner Coincidence を要求しない ROI を決めておき、その ROI には現行のトリガーを用いる。また、各トリガーセクターは EI/FI Doublet 4 セクター から入力を受け、その中からヒットを探索するが、これだと探索する範囲が広く、Fig.3.39 で示した C の粒子に対してフェイクトリガーを発行してしまう恐れがある。そのため 4 セクター全てではなく、衝突点由来のミューオンが通過した時にヒットするチャンネルに対してのみ Inner Coincidence でヒットを要求することによりフェイクトリガーを抑える。この時、 $p_T=20,40[\text{GeV}/c]$ のミューオンサンプルを用いて、各 SSC ごとに L1_ MU20 のトリガーが発行された時の EI/FI のヒットマップを基に作成された。衝突点由来の粒子が通過した時にヒットするチャンネルは 4 セクタの中の一部に集中しており、そのチャンネルに対してのみ Inner Coincidence でヒットを要求すればよい。

これらの EI/FI へのヒット要求は、BW でトリガーが発行された ROI の位置によって異なるため、指定する情報が膨大な量に上る。そこで、トリガーセクターごとに、FPGA 内の Block RAM に予めこれらの指定情報を書き込み、メモリの内容を参照する事によって結果を得る、LUT(Lookup-table) 方式を採用した。この LUT を Inner Coincidence Window(ICW) と呼び、各 SSC に対して ICW が用意された [18]。ROI ごとではなく SSC ごとに ICW を用意するのは、SL で使用している FPGA(Virtex-2) に実装されている Block RAM の数に制限があるためである。ICW は、SL の電源投入時に Block RAM のメモリを読み込み、Inner Coincidence で使用するためのレジスタに SSC 単位で記憶される。この動作を行う機能ブロックとして、IC_ Reader(Inner Coincidence Reader) を作成した。

ICW をまとめると、Inner Coincidence の際にエンドキャップ領域の各 SSC に対して

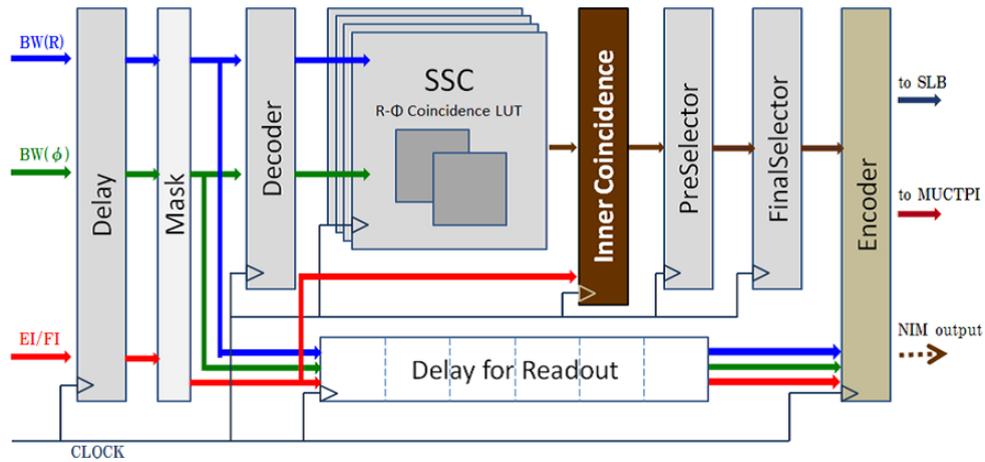


Fig. 5.2: 新しい Sector Logic FPGA 内部機能ブロック。Inner Coincidence という機能ブロックを追加している。

- SSC 内のどの ROI に対して Inner Coincidence を要求するか
- ワイヤ、ストリップそれぞれ、EI/FI のどこのチャンネルにヒットを要求するか

を指定した表である。

1 セクターに SSC は 19 個あり、エンドキャップ領域は全部で 48 セクターあるため、ICW は全部で $48 \times 19 = 912$ 個用意される。この ICW の性能によってフェイクトリガーをどれだけ削減できるかが決まり、またトリガー効率をどれだけ維持できるかが決まる。よって、なるべくトリガーレートを削減しつつトリガー効率を保つよう Inner Coincidence Window の最適化が行われた。RUN2 では、最適化された ICW を各セクターの SL に実装する。Inner Coincidence を含んだ SL の信号処理を Fig.5.2 に示す。

LUT を用いた Inner Coincidence は、 $R-\phi$ coincidence の次段に位置し、機能ブロックとして以下のように働く。また、これらの処理は SSC 単位で並列に行われる。

1. まず BW の $R-\phi$ coincidence で選ばれた全てのトラックについてその p_T , ROI で EI/FI トリガーが要求されているかどうかを確認する。
2. EI/FI ヒットが要求されていないトラックに関しては $R-\phi$ coincidence からの入力をそのまま下段の TrackSelector に渡す。
3. EI/FI ヒットが要求されているトラックに関しては、ICW で指定されたチャンネルにヒットがあったかどうかを確認する。ICW で指定されたチャンネルにヒットがあれば $R-\phi$ coincidence から入力された情報をそのまま下段の TrackSelector に渡す。ICW で指定されたチャンネルにヒットがなければそのトラックの情報は TrackSelector に渡さず、トリガー候補から外れる。

5.1.3 Inner Coincidence の要求を解除する機能

実際の運用では、RUN 中にチェンバーの不具合が発生する恐れがある。このような状況に対処するため、EI/FI へのヒット要求の有無を、RUN 中に変更できるようにする必要がある。そのため、ICW で指定した EI/FI へのヒットの要求を、SSC 単位で解除できるという機能を実装した。これは、"SSCdisable" というコントロールレジスタによる指定を行う。このレジスタは 19bit の幅を持ち、各 bit が各 SSC(19 個) に対応している。

5.1.4 期待される性能

ICW を用いたトリガー回路の導入によりトリガー数がどの程度削減可能となるのか、シミュレーションが行われた。その結果、TGC のカバーするエンドキャップ領域と RPC のカバーするバレル領域を分母にとると約 37.6 % のトリガーを削減できるという結果が得られた (Fig.5.3)。RUN2 でのトリガーレートは、EI/FI コインシデンスを導入しない場合 (RUN1 のトリガー条件と同じ場合)、約 34kHz となることが試算されている。計算に使用したパラメータ、計算方法を Table.5.2 に示す。よって、EI/FI コインシデンスを導入することで $34 \times (1-0.376)=21.2\text{kHz}$ となり、LVL1 で許されている 25kHz のトリガーレートを下回ることが示唆される。すなわち EI/FI コインシデンス回路の導入によって、LHC アップグレード後の RUN2 でも問題なく TGC システム運用が可能であることが期待される。

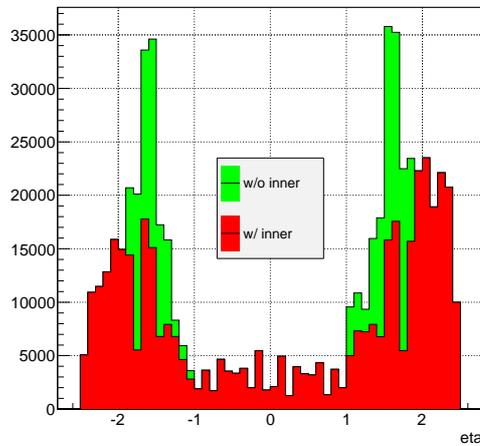


Fig. 5.3: ICW を用いた EI/FI コインシデンス回路を追加する前後のトリガー数の η 分布 [18]。緑色で示されている部分が、ICW を用いることによって削減されるトリガーを表している。

Table. 5.2: トリガーレート計算

parameter	用いた値
重心系エネルギー	13[TeV]
ルミノシティ	$2.0 \times 10^{34}[\text{cm}^{-2}\text{s}^{-1}]$
バンチ間隔	25[nsec]

2012 年 12 月の 25[nsec] run でのトリガーレート測定値を基に、衝突点由来のミューオンの増分、フェイクトリガーの増分をシミュレーションし、別々にレートを算出後、和を取っている。

5.2 ROD Busy を回避するための新しいトリガー回路の開発

本節では、バーストによる連続トラックをトリガー候補から外し、読み出し回路の overflow を防ぐ回路について説明する。

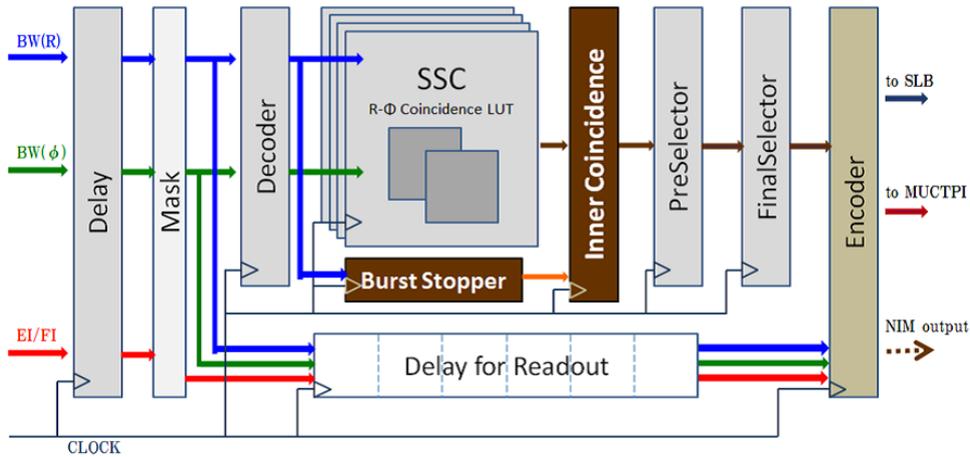


Fig. 5.4: 新しい Sector Logic FPGA 内部機能ブロック。Inner Coincidence に加えて BurstStopper という機能ブロックを追加している。

5.2.1 Burst Stopper の概要

バーストによる連続トラックをトリガー候補から外し、読み出し回路の overflow を防ぐ回路は、BurstStopper という機能として SL に実装する。BurstStopper を含んだ SL の信号処理を Fig.5.4 に示す。

バーストが起きたかどうかの判定には、BW からのワイヤー信号の OR をとったものを使用する。BurstStopper は、Decoder から出力されたワイヤー信号の OR を表す "hpt_trg" 信号が連続 M バンチ中に N 回以上検知された場合、バーストが起きたと見なす "BurstFlag" 信号 (VETO 信号) を出力する。ここで、M、N はコントロールレジスタによって指定可能な変数であり、0~31 までの数を設定することができる。例えば、M=8、N=3 という設定を行った場合、最新の連続 8 バンチの中に含まれるトラック数をカウントし、3 以上であれば、"BurstFlag" 信号を出力する。次段の Inner Coincidence は、"BurstFlag" 信号を受けてトラックをトリガー候補から外し、"BurstFlag" 信号が出力されていない時は、Inner Coincidence 機能の処理のみを行う。

BurstStopper は、Decoder の次段に位置し、機能ブロックとして以下のように働く。この機能ブロックの主要回路図を Fig.5.5 に示す。

1. Decoder から、ワイヤー信号の OR を表す "hpt_trg" 信号 (0 : hit あり, 1 : hit なし) を受けて M bit の幅を持つシフトレジスタにその信号を渡す。
2. "hpt_trg" 信号とシフトレジスタの (M-1) bit 目に格納された値を参照し、Table.5.3 に示す法則に従ってカウンタを回す。これにより連続 M バンチ中のトラック数をカウントすることができる。
3. カウンタに収められた値 ($n, 0 \leq n \leq M$) と、コントロールレジスタによって指定された値 ($N, 0 \leq N \leq 31$) を比較し、 $N \leq n$ であれば "BurstFlag" 信号 (VETO 信号) を出力する。

BurstStopper は、Decoder からの信号を受けてから "BurstFlag" を出力するまでに 2 クロックを消費する。

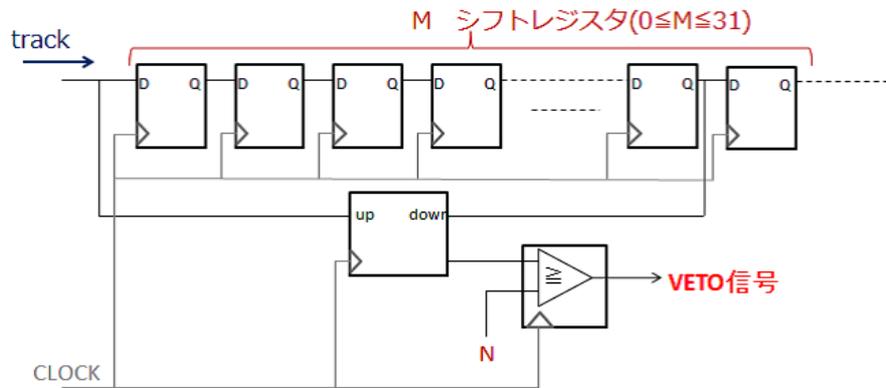


Fig. 5.5: BurstStopper の主要回路

Table. 5.3: BurstStopper 内のカウンタ

hpt_ trg	シフトレジスタ (M-1 bit 目)	カウンタ
1	1	値を保持
1	0	+1
0	1	-1
0	0	値を保持

5.2.2 Burst Monitoring

第3章でも述べたように、バーストが起きるメカニズムについては現在不明な点が多く、今後も原因の究明を行う必要がある。そのため、バーストに関する情報を読み出せるよう、いくつかのモニタリング機能を実装した。

1. SL でトリガーを落としたバンチ数をカウントする
 "BurstFlag" が出力された回数を数えるカウンターである。"VETO bunch" というレジスタにカウント数を記録し、VMEEncoder に渡す。カウント数は VME 経由で読み出すことができる。
2. バーストが起きた回数をカウントする
 "BurstFlag" が複数バンチに渡って連続している間は 1 回のバーストが続いているものと見なし、バーストが起きた回数を数えるカウンターである。"BurstCount" というレジスタにカウント数を記録し、VMEEncoder に渡す。カウント数は VME 経由で読み出すことができる。
3. NIM OUT
 SL のトリガーを VETO している間、SL ボード後方の LEMO から NIM 信号を出力する。

また、"BurstFlag" が出力されていてもトラックをトリガー候補から外さず、バーストが起きたことをモニタリング機能によって記録に残すモード (monitoring mode) も実装した。これに対し

て、“BurstFlag”の出力を受けてトラックをトリガー候補から外す処理を行うモードを suppress mode と呼ぶ。

5.3 新しいトリガー回路の実装

本節では、前節までに述べた2つの新しい回路を実装するにあたり行ったことを述べる。

5.3.1 削除した機能について

RUN2用のファームウェアを実装するにあたり、RUN1でのレイテンシーを保つために、これまで使用されてこなかった機能を削除した。

後ろどり

この機能は、同じROIへのヒットが2バンチ連続して検知された場合、後から来たバンチのトラックとして信号を処理する機能であり、Decoder内に実装されていた。ここでは、後ろどり機能の動作と導入目的、今回削除するに至った経緯を解説する。

まず、この機能の動作を解説する。HPTからの入力信号(wire 17bit × 3、wire 16bit × 1、strip 17bit × 2、計101bit)をInputBufferNextというレジスタに1クロックの間バッファしておき、InputBufferCurrというレジスタに渡す。InputBufferNextには次のバンチの情報が渡される。InputBufferCurrとInputBufferNextのヒット情報を比較し、同じROIにヒットがある場合、その情報はInputBufferNextに取められたバンチの情報と見なしInputBufferCurrに取められたバンチでは使用しない、そうでなければInputBufferCurrに取められたバンチのトラックとして使用する、というものである。

次に、この機能が導入された目的を解説する。Fig.5.6に示しているのはTGCの時間分解能であり、TGCの入射角が10度の場合に伝搬時間を考慮に入れると(Fig.5.6の下段左)、タイムジッターは30nsec弱である¹。したがって、タイムジッターの中で遅れて届くヒット情報は2バンチにまたがってIDされてしまう。ここで、このような時間に届く信号はタイムジッターの形状から考えて、後から来たバンチの信号である確率が高い。そこで、同一のROIに連続でヒット信号が来た場合は、後ろのバンチの信号として処理することとした。これを後ろどり機能と呼んでいる。

しかしRUN1が始まりデータ取得が開始されると、TGCの実際のタイムジッターはFig.5.6で示したような形状ではなく、どの時間も一様に信号が検出されるということが分かった。これは、Fig.5.6での解析は衝突点由来のミューオンのみを考慮していたためであり、実際には第3章で述べたようにフェイクミューオンがトリガーの殆どを占めていた。そのため後ろどりの機能は実際には使用されることがなかった。そこで、RUN2ではこの機能を削除することにより、SLの処理時間を1クロック削減することにした。Inner CoincidenceによってSLの処理時間が1クロック増加し、後ろどり機能の削除によって処理時間が1クロック減少したため、トータルではSLがHPTボードの信号を受けてからMUCTPIにトリガーを出力するまでにかかるレイテンシーはRUN1と同じ7クロックを保っている。

¹TGCの時間分解能は入射角が小さくなるにつれて悪くなる。またTGCに対する入射角は10~40度であるから入射角10度の場合が最もTGCの分解能が悪い場合となる。

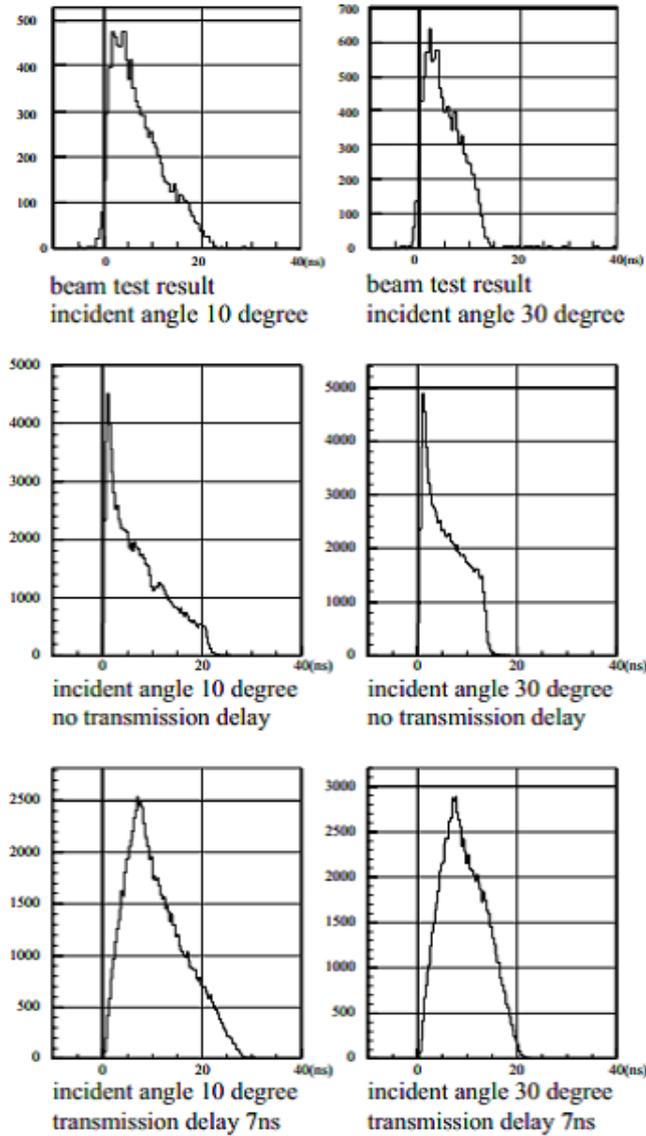


Fig. 5.6: TGC の時間分解能。[6] (左) 入射角 10 度の場合。(右) 入射角 30 度の場合 上段のヒストグラムは実験結果から得られた TGC の信号読み出しの時間分布 (横軸に時間分布、縦軸にエントリー) である。固定位置に荷電粒子を入射させているためにワイヤーでの伝搬遅延のばらつきは含まれない。中段の図は TARFIELD というプログラムを用いて TGC の分解能を計算したものである。その結果に対しさらに 0~7ns の伝搬遅延を加えて TGC のタイムジッターを計算し直したものが最下段の図である。

5.3.2 Forward 用 Sector Logic への対応

Endcap 用 SL については前述した通り、Inner Coincidence の追加と後ろどり機能の削除によりレイテンシーは RUN1 と同じ値になる。一方、Forward 領域は EI/FI を覆っていないため、Forward 用 SL には Inner Coincidence は実装されない。そこで Forward 用 SL については Burst Stopper のみ実装し、Inner Coincidence の代わりに”BurstFlag”信号を受けてトリガーを落とすか否かを判定する”TriggerVeto”という機能ブロックを追加した。これにより、Endcap 領域、Forward 領域を担当する双方の SL のレイテンシーを同じ 7 クロックにそろえることが出来た。また、BurstStopper は、Decoder の信号を受けてから Inner Coincidence に出力するまでに 2 クロック消費するが、同じバッチのトラックはその間 R-φ coincidence 処理が行われ、同タイミングで Inner Coincidence(Forward 用は TriggerVeto) に入力される。よって BurstStopper の追加による消費クロックの変更はない。

5.4 動作確認

新しく開発した回路を ATLAS に実装する前に、回路シミュレーションを用いた動作確認と、テストベンチを用いた SL 全体の動作確認を行った。

5.4.1 シミュレーションでの動作確認

新しく開発した Inner Coincidence 機能の動作確認のため、回路シミュレーションを行った。シミュレータには Xilinx 社の Xilinx ISE Simulator を使用した。このシミュレーションにより、SL が設計通りの動作をすることを確認した。

行ったシミュレーションの内容は以下の通りである。

- IC_Reader について、Block RAM のメモリを指定するインデックスをクロックの入力に合わせて正しく生成できているか。
- Inner Coincidence について、suppress mode で EI/FI の要求に従ったトリガー判定が行われるか。また、monitoring mode で EI/FI の要求を満たさなかった場合、トリガー候補から外し、”veto bit”を出力するか。
- BurstStopper について、指定した M,N の値に対して、正しく”BurstFlag”信号の出力が得られるか。
- Inner Coincidence において、BurstStopper が suppress mode の時、”BurstFlag”信号を受けてトラックをトリガー候補から外す処理が行われるか。
- バーストのモニタリング機能が正しく動作するか(”BurstFlag”信号を受けて”VETO bunch”がカウントアップされること、リセット信号を受けてカウント数が 0 に戻ることを確認)

シミュレーションの例を Fig.5.7 に示す。BurstStopper について、指定した M,N の値に対して正しく”BurstFlag”信号の出力が得られるかどうかをシミュレーションしている。

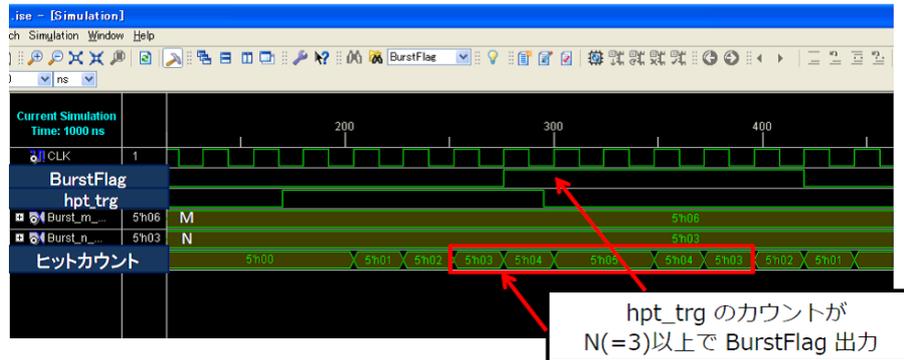


Fig. 5.7: BurstStopper 機能のシミュレーション例。ここでは $M = 6$ 、 $N = 3$ と設定している。hpttrg は BW wire 信号の OR を表しており、170nsec 付近から 290nsec 付近まで 5 バンチ連続のトラックを再現している。これを受けて BurstFlag 信号が出力されていることが確認できる (275nsec 付近)。

5.4.2 テストベンチを用いた動作確認

SL 全体の動作確認のため、CERN と KEK(高エネルギー加速器研究機構) にテストベンチシステムを構築した。

テストベンチでは SL に入力する G-Link 信号 (Endcap 165 bit, Forward 50 bit) を任意に作り、それに対する SL の出力との整合性を調べることができるようになっている。SL の入力信号は Pulse Pattern Generator (PPG) と呼ばれるモジュールで生成する。PPG は 6U の VME ボードで、1 枚につき 32 bit のデータを 2 本の LVTTTL 作動信号で送信する。PPG のデータは G-Link Tx for SL というモジュールに入力され、G-Link 信号に変換される。G-Link Tx for SL は 2 枚の PPG から 64 bit のデータを受け、17 bit の G-Link 信号を 2 つ、16 bit の G-Link 信号を 1 つ出力する。ここで、SL のテストに必要な G-Link 出力は、Endcap は 17 bit 出力が 5 つ、16 bit 出力が 5 つ、Forward は 17 bit 出力が 2 つ、16 bit 出力が 1 つである。よって 6 枚の G-Link Tx for SL を使用し、そのうち 1 枚は 2 つの 17 bit 出力のうち 1 つだけを使用し、2 枚は 17 bit 出力を使用しない。17 bit 出力が使われないボードは、PPG1 枚の入力から G-Link 信号を作る。SL のテストベンチでは 10 枚の PPG と 6 枚の G-Link Tx For SL を使用し、HPT ボード、PS ボードからの入力信号を再現した。

SL 上の SLB ASIC の出力は CAT6 ケーブルで SSW に送られ、SSW は G-Link 形式で信号を ROD に送る (3.3 参照) が、テストベンチでは ROD の代用として VME 汎用モジュールである PT5 (ProtoType5) を使用している。PT5 が SSW から受けたデータは VME を通じて SBC (SingleBoard Computer) で読み出される (KEK の環境では SBC の代わりに BIT3 と呼ばれる VME-PCI Interface を使用)。CERN で構築したテストベンチシステムの模式図を Fig.5.8 に示す。このテストベンチシステムの構築により、任意の入力信号に対する SL の出力を調べ、その動作の整合性を確認することを可能にした。

Inner Coincidence の動作確認

Inner Coincidence 機能について、以下の試験を行った。

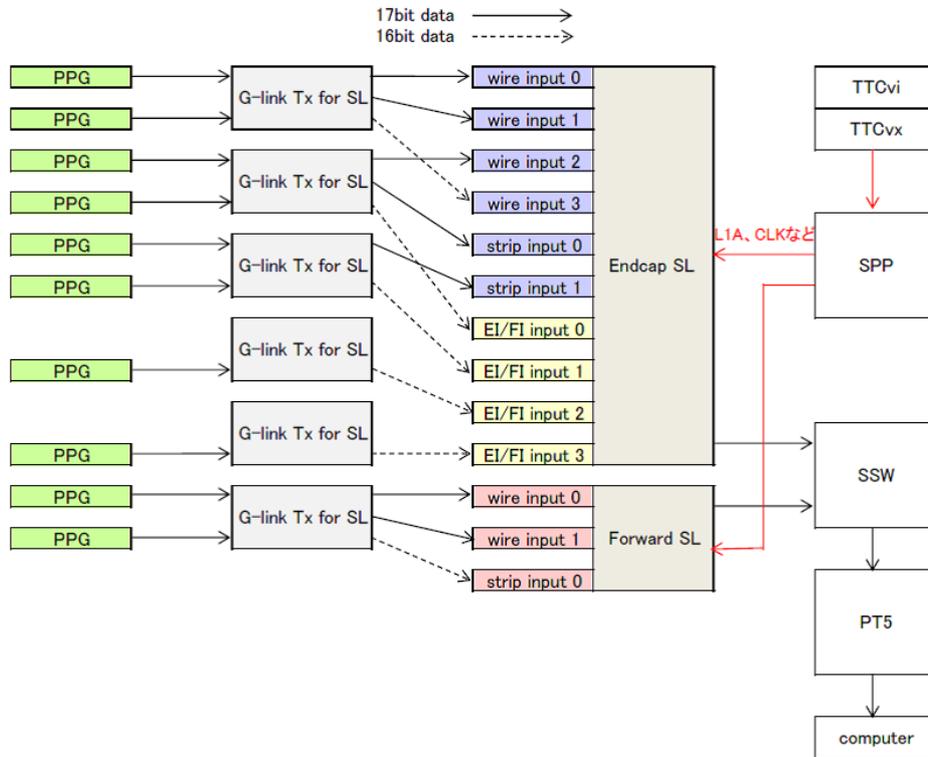


Fig. 5.8: CERN でのテストベンチセットアップ.

- CW で指定した通りの p_T 出力が得られるか
- EI/FI にヒットを要求する ROI について、ICW で指定したチャンネルにヒットがなければトラックがトリガー候補から外れるか

その結果、設計通りに動作することが確認できた。

BurstStopper の動作確認

BurstStopper の動作確認をテストベンチで行うにあたり行った準備、及び実際の動作試験について述べる。

BurstStopper で指定する 2 つのパラメータ M,N は、「連続 M バンチ中に N 回トラックを検知した場合、バーストが起きたと見なしてトラックをトリガー候補から外す」という意味を持っている。この機能の動作確認を行うためには、SL に N 回以上連続したヒット信号を入力し、N+1 回個目のバンチで MUCTPI に送るトリガーが出力されなくなっていることを確認すればよい。よって、バンチの識別を正確に行う必要がある。そこで準備として以下の実験を行った。

動作検証の準備

SL のトリガーを NIM 出力させ、それを TTC モジュールの NIM 入力に入れて L1A を生成させることを考える。Fig.5.9 に概念図を載せる。まず、PPG でテストパルスを用いて擬似的なヒット情報を周期的に入力させ SL でトリガーを生成する。この際、周期を調整して 128 段ある LVL1

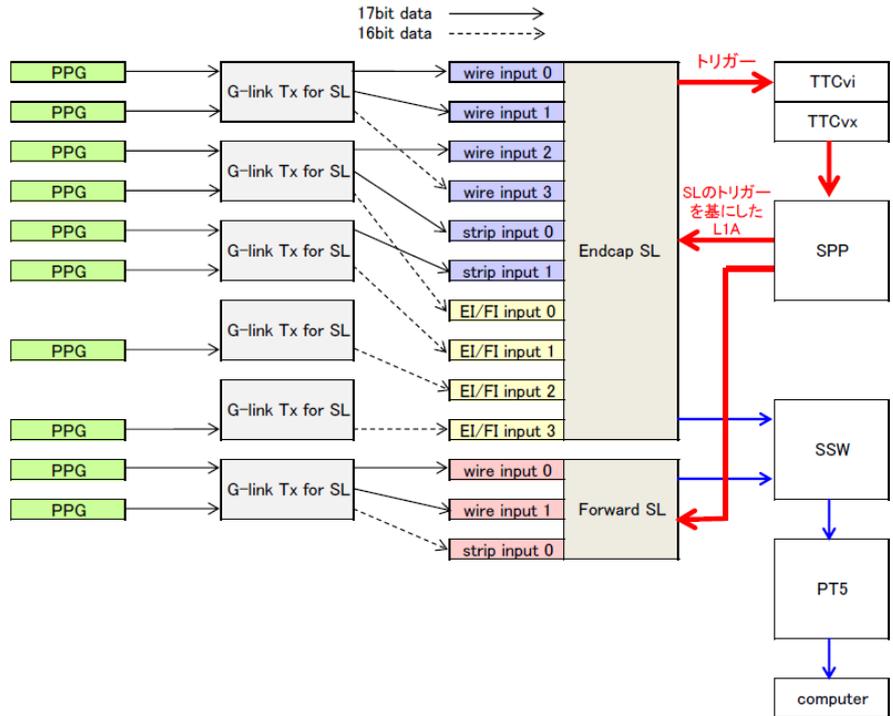


Fig. 5.9: BurstStopper 動作確認時の L1A 供給方法.

バッファには 1 つのヒット事象のみが入るようにする。続いて、SL の NIM 出力から L1A となって戻ってくるまでの時間を簡単に見積もり、LVL1 バッファの読み出し depth を設定する。実際に LVL1 バッファから読み出してみ、ヒット事象を読み出せるまで、見積もり値を上下させて LVL1 バッファの読み出し depth を決定した。これにより、トリガーを発行したバンチの情報を読み出すことができるため、正確にバンチの識別をすることができる。読み出しは Next, Current, Previous の 3 バンチ分を読み出すが、Current のバンチとして読み出すことができるよう LVL1 バッファの読み出し depth を調整した。その結果、depth=13 で Current バンチとして読み出せることが分かった。

実際の試験方法

まず、コントロールレジスタにより 2 つのパラメータ M,N を設定した。ここでは M=6, N=3 として説明を行う。PPG でテストパルスを用いて、3 (=N) バンチ以上連続したヒット情報を周期的に入力させ SL でトリガーを生成した。この際、周期を調整して 128 段ある LVL1 バッファには一連のヒット事象がひとつだけ入るようにした。LVL1 バッファの読み出し depth を、準備実験で得られた値に設定し、Current バンチとして読み出せることを確認した。更に読み出し depth をひとつずつ小さな値に変えて読み出しを行い、3 (=N) バンチ連続でトリガーが出力された後、4 (=N+1) バンチ目以降はトリガーが出力されなくなっていることを確認した。

モニタリング機能の動作確認

上記の動作試験に加え、SL で VETO したバンチ数をカウントする機能、バーストが起きた回数をカウントする機能の動作確認を行った。VME 経由でレジスタの値を読み出し、正しくカウント

できていることを確認した。

第6章 結論

LHC は 2015 年から計画されている RUN2 においてデザインエネルギー及びルミノシティに到達する。ATLAS 実験はこれに伴い検出器やデータ収集システムのアップグレードに取り組んでおり、エンドキャップ領域の LVL1 ミューオントリガーを担当する TGC グループにおいては、フェイクトリガーの削減及びバーストによる連続トリガーの抑制が重要課題となっている。

本研究では、RUN 2 に向けた対策として Sector Logic (SL) に組み込む新しい回路の開発・実装・動作確認を行った。新しく SL に実装する回路は主に 2 つである。

ひとつめは、フェイクトリガーを削減する目的で、これまでトリガー判定に用いられていなかったインナーステーション TGC(EI/FI) の情報を用いて BW とのコインシデンスを取る回路である。これは LUT として実装した Inner Coincidence Window(ICW) と呼ばれる参照表を基にトリガー判定を行うものである。ICW には、BW のヒット位置 (SSC 単位) に対して、ヒットを要求する EI/FI のチャンネルが指定されている。ただし、EI/FI は BW 全てを覆っているわけではないため、BW のヒット位置によっては EI/FI へのヒットを要求することができない。そのため EI/FI にヒットを要求する ROI であるか否かという情報も予め ICW に指定されており、トリガー判定に取り入れることにした。更に、運転中に EI/FI チェンバーに不具合が起きた際に対応できるよう、EI/FI へのヒット要求を SSC 単位で解除できるコントロールレジスタの実装を行った。ICW はトリガー効率をなるべく維持しながらトリガーレートを落とせるよう最適化されたものを実装する。

シミュレーションによると、この回路の導入によりエンドキャップ領域で約 37.6 % のフェイクトリガーを削減することが可能である。これにより RUN2 での LVL1 ミューオントリガーレートは約 21.2[kHz] となることが試算され、許容されるトリガーレート (25[kHz]) を満足すると考えられる。

ふたつめの新しい回路は、データ収集システムの障害を予防するという目的で、ノイズによる TGC の連続トリガー発行 (バースト) を抑制する回路である。これは、特定数 (=M) の連続バンチ内に、指定数 (=N) 以上のヒット信号を検知した場合に SL のトリガー出力を VETO するというものである。M,N はコントロールレジスタによる指定が可能であり、RUN が始まってから最適値を探索できるようにした。また、バーストの性質を study し原因を究明するために、複数のモニタリング機能を実装した。

- SL で VETO したバンチ数をカウントするレジスタ
- バーストが発生した回数をカウントするレジスタ
- SL ボードの後方に実装されている LEMO から、VETO している間信号を出力させる機能

これにより、RUN1 で問題になっていた ROD Busy を回避し、バーストが起きてもデータ収集を停止させない TGC システムとなることが期待できる。

以上の動作を実現する新しい回路を、Verilog-HDLによってデザインした。また、新しい回路を ATLAS に実装する前に、回路シミュレーションとテストベンチを用いて回路の動作確認を行った。その結果、新しいファームウェアを搭載した SL が、テストベンチにおいてデザイン通りに動作することを確認した。

新しいファームウェアは 2014 年 5 月の試運転時に ATLAS に実装され、運転を行う予定である。これに向けた準備として、今回新たに作成したレジスタをモニターするためのオンラインソフトウェア整備、及び BW-EI/FI 間の最終的なタイミング調整を行っていく必要がある。

謝辞

本論文の執筆にあたり、多くの方々の力をお借りしました。まずは、このような国際的な研究ができる機会を与えて下さり、数々のご指導を賜りました藏重久弥教授に深く感謝致します。さっぱり要領を得ない私を根気強く支えて下さり、研究に対する鋭いアドバイスや様々な知識についてご教授頂きました。また、その他研究室での会議、行事、CERN 出張など様々な場面で支えていただきました。深く感謝致します。

高エネルギー加速器研究機構の佐々木修教授には、未熟な私にハードウェアに関する助言を数多く頂きました。感謝申し上げます。更に TGC に関する研究において、石野雅也氏、青木雅人氏、隅田土詞氏、坂本宏氏、戸本誠氏、松下崇氏、堀井泰之氏、鈴木友氏を始めとした方々にご助力頂きました。私に至らない点が多くご迷惑をおかけすることも多々ありました。お詫びを申し上げるとともに、暖かく接して頂いたことに深く感謝申し上げます。

神戸 ATLAS グループの山崎祐司准教授、越智敦彦助教、清水志真助教、Yuan Li 氏には多くの刺激を頂きました。日頃の感謝の意を申し上げたいと思います。

TGC グループの先輩である田代拓也氏、二ノ宮陽一氏、大谷育生氏には研究に関する基礎知識を始めとし様々な面で適切なサポートを頂き、面倒を見て頂きました。感謝してもしきれません。また、CERN で有意義な生活を送ることができたのは、岸本巴氏、山内克弥氏、野辺拓也氏、奥山豊信氏を始めとする先輩方がいらしたからです。誠にありがとうございました。加藤千曲氏、小林大氏、樋口浩太氏、稲丸由夫輝氏は同期として切磋琢磨し、成長することができました。

粒子物理学研究室の竹内康雄教授、原俊雄准教授、身内賢太郎准教授、鈴木州助教には、素粒子物理学を基礎からご指導頂き、実験の奥深さ、面白さを教わりました。また、先輩である細川佳志氏、京都大学の中村輝石氏、同期の大西洋輔氏、後輩の皆さんのおかげで毎日楽しく過ごすことができました。日頃の感謝の意を述べさせていただきます。

ATLAS 日本グループ秘書の本田由子様、粒子物理学研究室秘書の横山有美様には出張手続きを始め、数多くのサポートを頂きました。誠にありがとうございました。

最後に、ここまで何不自由なく学生で過ごさせて頂き、日々の生活を支えていただいた家族に感謝の意を述べ、謝辞と致します。

参考文献

- [1] Latest Results from ATLAS Higgs Search
<http://www.atlas.ch/news/2012/latest-results-from-higgs-search.html>
- [2] Observation of a New Particle with a Mass of 125GeV
<http://cms.web.cern.ch/news/observation-new-particle-mass-125-gev>
- [3] ATLAS Collaboration. "ATLAS Photos" <http://www.atlas.ch/photos/index.html>
- [4] <https://twiki.cern.ch/twiki/bin/view/AtlasPublic/HiggsPublicResults>
- [5] "Testing of the HP G-Link chip set for an event builder application", O.Sasaki et.al, IEEE on Nuclear Science 42 (1995) 882 - 886
- [6] Osamu JINNOUCHI and Osamu SASAKI "Study on muon level-1 trigger scheme for TGC", 1998.
- [7] Masato Aoki ATLAS Muon Week "Level-1 Muon Endcap LS1 Activities" July 11,2013.
- [8] Yu Suzuki "Upgrade of the ATLAS Level-1 Muon Trigger for the High Luminosity LHC", July 2013.
- [9] 一宮亮, 神戸大学修士学位論文,
"ATLAS 実験前後方ミュオントリガー用 Sector Logic の開発", 2001
- [10] 片岡洋介, 東京大学修士学位論文,
"ATLAS 実験ミュオントリガーシステム用 LSI の開発と総合評価テスト", 2004
- [11] 門坂拓哉, 神戸大学修士学位論文,
"ATLAS 前後方ミュオントリガーシステム Sector Logic 及びオンラインソフトウェアの開発", 2008
- [12] 鈴木友, 総合研究大学院大学修士学位論文,
"ATLAS Muon Trigger System の commissioning : タイミング調整とその検証", 2009
- [13] 宇田純郎, 神戸大学修士学位論文,
"ATLAS 実験用ミュオントリガーチェンバーの性能評価", 2005 .
- [14] 早川俊, 神戸大学修士学位論文,
"LHC シングルビームを用いた ATLAS 実験前後方ミュオントリガーシステムの性能評価", 2009
- [15] 大谷育生, 東京大学修士学位論文,
"ATLAS ミュオントリガーシステムのアップグレードに向けたギガビット通信を用いたデータ収集系の検証及び読み出しプロトタイプの開発", 2013
- [16] 田代拓也, 京都大学修士学位論文,
"ATLAS 実験における新しいミュオントリガー回路の開発と実装", 2013
- [17] 谷和俊, 神戸大学修士学位論文,
"アトラス実験 Phase0 アップグレードに向けたレベル 1 ミュオントリガーの改良", 2013

- [18] 稲丸由夫輝, 神戸大学修士学位論文,
”アトラス実験 RUN2 に向けたレベル 1 ミューオントリガーの改良”, 2014
- [19] 稲丸由夫輝, 日本物理学会 2013 秋季大会発表, ”ATLAS 実験 Run2 に向けたレベル 1 ミューオントリガーの改良”
- [20] 『ヒッグス粒子の見つけ方 質量の起源を追う』, 戸本誠, 花垣和則, 山崎祐司, (丸善出版), 2012