

# 修士学位論文

Zynq 搭載汎用モジュール PT-Z の開発と  
LHC-ATLAS 実験への応用

2019 年 2 月 1 日

専攻名 物理学専攻

学籍番号 170s120s

氏名 堀口 楠日

神戸大学大学院理学研究科博士課程前期課程



## 概要

2012年7月、世界最大の陽子・陽子衝突型シンクロトロンである Large Hadron Collider(LHC)にて、標準模型において唯一未発見であったヒッグス粒子が発見された。今後、質量の起源とされるヒッグス機構の完成のためには、3点自己結合の観測などヒッグスの希少イベントの観測が必要である。欧州原子力研究機構(CERN)では、2025年からLHCよりルミノシティを5-7倍にアップグレードした High-Luminosity LHC(HL-LHC)を運転し、ヒッグス希少イベント観測を行う予定である。

ルミノシティの増加に合わせて、HL-LHCに設置されている検出器にも、放射線耐性の向上や、必要イベントを効率よく記録する事象選別(トリガー)の改良などのアップグレードが必須となる。

LHCに設置されている検出器の1つである ATLAS 検出器においても、HL-LHCに対応するための Phase-2 アップグレードが2023年から開始される。ATLASを構成するエンドキャップ Thin Gap Chamber(TGC)検出器では、検出器からの信号の全てを計測室に転送しアルゴリズム処理によるトリガー判定を行う新トリガーシステムへとアップグレードを行う。検出器からの信号の転送は光通信にて行われ、その制御にはデジタル集積回路 Field Programmable Gate Array(FPGA)が使用される。また、計測室にて行われるアルゴリズム処理にも大規模 FPGA が使用される。しかし TGC 検出器フロントエンドは高放射線環境であり、主に中性子が原因となる Single Event Upset(SEU)により FPGA は動作不良を起こす。また、計測室にて行われるアルゴリズム処理も大規模 FPGA を使用する巨大なシステムとなるため、フロントエンド、計測室の各々の FPGA にはモニタリングシステムが必要となる。

FPGA のモニタリングには、FPGA からのデータの一部を受け取り解析を行う能力と、接続先との迅速な通信能力が必要とされるが、その役目を担うデジタル回路として Xilinx 社製 System On Chip (SoC) デバイス Zynq が考えられる。FPGA に ARM CPU を搭載しワンチップ化したこのデバイスは、FPGA の大容量高速通信能力と、CPU の逐次処理による高度な情報処理能力、周辺機器操作能力を併せ持つ。しかし Zynq のエンドキャップミューオントリガーシステムへの応用を検証するには、既成の Zynq 搭載ボードでは機能が不足しており、また Zynq に搭載するプログラムも専用に開発する必要がある。

本研究では、ATLAS 実験エンドキャップミューオントリガーシステムのモニタリングシステムにおける Xilinx 社製 SoC デバイス Zynq の有用性を評価するために、Zynq を用いたプログラム開発手法の検証と、Zynq 搭載評価試験 VME ボード PT-Z の開発を行った。プログラム開発手法の検証では開発ツールの欠陥とその回避方法を発見し、PT-Z へのプログラム搭載の準備を行った。PT-Z の開発では搭載機能と部品の選定、Zynq とモジュールの接続の最適化検証、電圧毎の信号線の配分、必要な電源とそのレギュレーターの選定、機能ブロック図と回路図の作成を行った。現在 PT-Z の設計は完了し、基板作成の段階にある。PT-Z 完成後には Zynq を用いたプログラム開発検証にて得られた手法により動作プログラムを作成し、動作点検を行い、モニタリングシステムにおける Zynq の有用性の評価試験を行う予定である。

# 目次

第 1 章	序論	1
第 2 章	HL-LHC	4
2.1	HL-LHC の目指す物理	5
2.2	HL-LHC の技術	5
2.3	検出器の HL-LHC への対応	9
第 3 章	ATLAS 検出器	11
3.1	ATLAS 検出器	11
3.2	TGC 検出器	13
3.3	TGC トラックトリガーシステム	17
第 4 章	ATLAS エンドキャップミュオントリガーシステム	21
4.1	L0 ミュオントリガー	21
4.2	エンドキャップセクターロジック	22
4.3	HL-LHC での要求	24
第 5 章	System On Chip デバイス Zynq-7000	28
5.1	FPGA	28
5.2	ARM CPU	30
5.3	System On Chip デバイス Zynq-7000	33
5.4	Zynq-7000 の機能の実例	35
5.5	Zynq の応用	42
第 6 章	汎用 VME ボード PT-Z	47
6.1	高エネルギー実験における Zynq の応用	47
6.2	エンドキャップミュオントリガーシステムへの応用	48
6.3	検証ボードの開発の必要性	49
6.4	搭載機能	50
6.5	機能と構成	50
6.6	特徴	55
6.7	応用検証例	57
第 7 章	結論	60

付録 PT-Z 回路図	61
参考文献	91
謝辞	93

# 第 1 章

## 序論

Large Hadron Collider(LHC) は、欧州原子核研究機構 CERN によって、スイス・ジュネーブ郊外の地下 100m に建設された、世界最大の陽子・陽子衝突型加速器であり、その目的は素粒子の精密測定と新粒子探索である。2012 年 7 月 LHC において、質量 125GeV の新粒子の崩壊モードが観測され、検証の結果この新粒子は標準理論の完成に必要な粒子で、唯一未発見であったヒッグス粒子であることが確定した。ヒッグス粒子は、ゲージ粒子である W/Z ボソンのゲージ対称性の破れから質量をもつことを説明するものとして、ピーター・ヒッグス氏らにより提唱された [1] もので、W/Z ボソンのみならず、フェルミオンと相互作用することによって質量を与えると考えられている (ヒッグス機構)。ヒッグス粒子は発見されたものの、ヒッグス粒子の重要な性質であるフェルミオンとの結合 (湯川結合) のうちの、第 2 世代フェルミオンとの相互作用の観測や、ヒッグス粒子との自己相互作用 (HHH 結合) の直接観測はされていない。これらの相互作用は反応断面積が非常に小さい希少イベントである。ヒッグス粒子の生成断面積は  $34\text{pb}$  であり、2010 年から運転を開始している LHC の積分ルミノシティがおよそ  $100\text{fb}^{-1}$  であることを考えると、現在のままでの LHC のルミノシティでの観測は困難である。そこで CERN では、LHC からルミノシティを 5–7 倍に増加させた HL-LHC を運転する予定である。アップグレードは 2024 年から開始し、運転は 2026 年に開始する計画である (図 1.1)。積分ルミノシティの達成目標は  $3000\text{fb}^{-1}$  (図 1.2) であり、 $34\text{pb} \times 3000\text{fb}^{-1} \sim 10^8\text{event}$  となり、ATLAS 検出器のアクセプタンスが 0.1% であるとしても、 $10^5$  イベントのヒッグスイベントの観測が期待できる。しかしながらルミノシティが増加すると、観測したいイベントのみならず不要イベントや検出器に悪影響を及ぼす放射線も増加するため、検出器側においてもアップグレードが必要になる。



図 1.1: LHC から HL-LHC へのアップグレード計画 [2]

A Trooidal LHC ApparatuS(ATLAS) 検出器は、LHC のビーム衝突点に設置されている汎用検出器であ

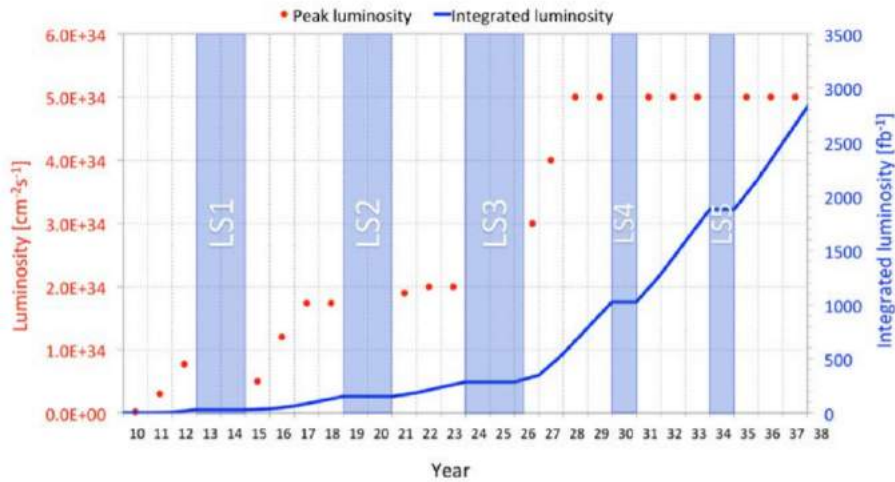


図 1.2: LHC から HL-LHC の積分ルミノシティ [3]

る。陽子同士の衝突により発生する粒子の軌跡・エネルギーを計測することで結合定数の精密測定や新粒子探索などを行う。衝突 1 事象につきデータ量は 2-3MB、HL-LHC ではバンチと呼ばれる陽子集団の衝突 1 回につき陽子の衝突が 100-200 回程度起こるとされており、その全てを保存することは技術的に不可能であるので、ATLAS 検出器では陽子・陽子衝突により発生するデータに対して事象選別（トリガー）を行っている。

ATLAS 検出器を構成する検出器の 1 つであるエンドキャップ TGC においては、検出器からのアナログ信号をデジタル信号に変換した後、技術的に可能な最大速度の 8Gbps/ch の光通信にて計測室の USA15 まで光通信で転送する。USA15 ではデジタル集積回路を用いたアルゴリズムによるトリガー判定が行われる。検出器から計測室までのデータ転送と計測室でのアルゴリズム処理にはどちらも Field Programmable Gate Array(FPGA) というデジタル集積回路が使用されるが、それぞれの FPGA の使用には課題がある。まず検出器側の光通信を行う FPGA は放射線による Single Event Upset(SEU) の影響を受ける。SEU とは放射線によりデジタル集積回路にビット反転が引き起こされる現象である。ATLAS 実験においては陽子・陽子衝突により発生したハドロンが検出器の構造物との相互作用を起こし 1MeV 以上の運動エネルギーを持った中性子が  $o(10^{11})/cm^2$  で大量に発生する。発生した中性子は集積回路中のシリコン原子核を反跳させることで局所的な電離を大量に引き起こし、コンフィギュレーションメモリやレジスタなど FPGA 内部のメモリ容量にビット反転を起こす。エンドキャップ TGC エレクトロニクス全体では 10 秒に 1 回程度の SEU が起こると考えられている。SEU により引き起こされるエラーは、コンフィギュレーションに対してビット反転が起こり正しいアルゴリズム処理が行われなくなるエラーと、計測室との通信障害を引き起こすエラーがある。前者のエラーに対しては、定期的にデータに対して誤り検出を行いビット反転を検知し、必要に応じて FPGA にリコンフィギュレーションを行うといった対策が講じられる。後者に関しては、通信の受信側である計測室と連携して通信を一時遮断し、リコンフィギュレーションを行うという対処が行われる。計測室にてアルゴリズム処理によるトリガー判定に使用される FPGA は、各検出器からの合計  $o(100)$ Gbps のデジタル信号の処理を行う大規模 FPGA を 48 台使用する巨大なシステムになる。検出器からおよそ 100m 離れた計測室においては放射線による SEU の影響はあまり考えなくてよいが、システムの巨大さから作動不良の部分が FPGA 以外の部分にも十分に起こりうる。このようなエラーに対しては、データを部分的に解析、出力し、正常な場合での解析結果と比較する方法が有効である。この方法には場合に応じて解析手法を変更できる柔軟

性が必要とされる。以上の理由と、HL-LHC では一度開始されたビームを停止させることが実質不可能であることを考えると、検出器と計測室、それぞれの FPGA に対して、他デバイスとの迅速な通信、複雑な場合分け処理と柔軟なデータ解析を行うモニタリングシステムが必要になる。このようなモニタリングを担うことができるデジタル集積回路として、場合分け処理と周辺機器操作に秀でた CPU を FPGA に搭載し一体化させた新型デバイス System On Chip デバイスを使用することが考えられている。過去の実績と、高速通信規格の関係から、ATLAS 実験では FPGA 製造大手 Xilinx 社が製造している SoC デバイス Zynq を使用する。本研究は HL-LHC に対応するための ATLAS のアップグレードにおける Zynq の有用性を検証するための評価ボード、Zynq 搭載汎用 VME ボード PT-Z の開発について行われたものである。

本論文の構成は次の通りとなる。第 2 章で HL-LHC が目指す物理について述べ、第 3 章で HL-LHC に対応した ATLAS 検出器について説明する。第 4 章で ATLAS 検出器のエンドキャップ TGC システムと将来的に必要なとされるモニタリングシステムについて述べ、第 5 章で SoC デバイス Zynq の機能とその高エネルギー実験及びエンドキャップ TGC システムへの応用について述べる。第 6 章では Zynq 搭載評価ボード PT-Z の開発について解説し、第 7 章で結論を述べる。



## 第 2 章

# HL-LHC

High-Luminosity LHC(HL-LHC) は、欧州原子核研究機構 (CERN) によって建設された Large Hadron Collider(LHC) をアップグレードした、陽子・陽子衝突型加速器である。LHC はスイス・ジュネーブ郊外の地下 100m に建設された、周長およそ 27km の世界最大のシンクロトン型加速器で、2010 年から運転を開始、陽子を光速の 99.9999991% まで加速・衝突させ、運動エネルギーから粒子の生成を行い、素粒子の標準理論の精査と標準理論を超える反応の模索を目的としている。2012 年 7 月には、標準理論の掲げる粒子 (図 2.2) で唯一未発見であったヒッグス粒子を発見することができた。LHC は 2024 年からの 2 年以上のアップグレード期間を経て、2026 年から HL-LHC として運転開始予定である。HL-LHC では、ビームのルミノシティを上げることで希少イベントのイベント数を増やし、精密測定を行うことを目標としている。

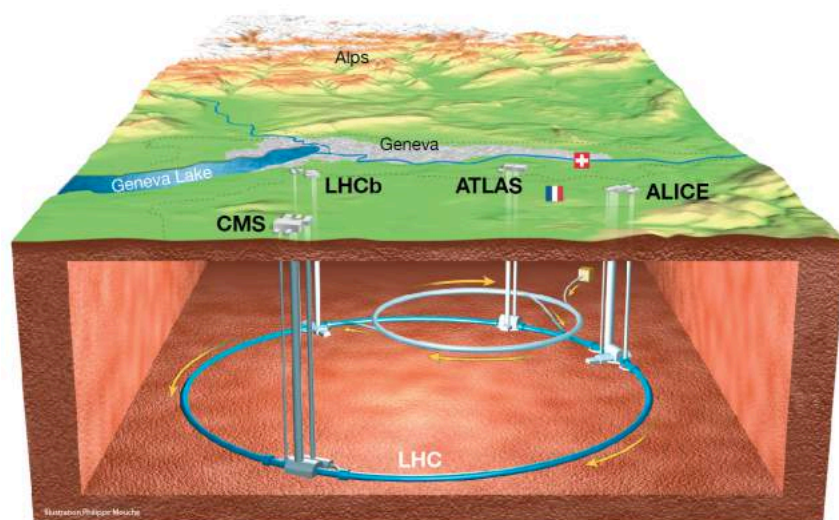


図 2.1: LHC/HL-LHC の概観 [4]。スイス・ジュネーブ郊外に位置する CERN の地下 100m のトンネル内に建設された。

## 2.1 HL-LHC の目指す物理

HL-LHC が目指す物理の 1 つにヒッグス粒子による希少イベントの観測がある。ヒッグス粒子は、ゲージ粒子である W/Z ボソンが質量をもつこと (ゲージ対称性の破れ) を説明するためにピーター・ヒッグス氏らにより 1964 年に提唱された粒子である。ゲージ対称性の破れは、W/Z ボソンだけでなくフェルミオンの質量の説明もでき、ヒッグス機構は質量の起源を示す理論となる。2012 年 7 月、LHC-ATLAS 実験にてヒッグス粒子が崩壊したとみられるモードが観測され、十分な検証の結果、その粒子がヒッグス粒子であると判明した。観測の次の段階として、第 2 世代のフェルミオンとの相互作用を示す湯川結合定数の測定実験が計画されている。またヒッグス粒子は 3 点自己結合を行うが、その自己結合定数の直接測定もヒッグス機構の更なる理解のためには不可欠である。すなわち、複素スカラー場  $\Phi$  における、真空期待値を  $\phi_0$  としたときのスカラー粒子のラグランジアン密度は、係数  $m$  を用いて

$$\mathcal{L} = \partial_\mu \Phi^\dagger \partial^\mu \Phi - \frac{m^2}{2\phi_0^2} [\Phi^\dagger \Phi - \phi_0^2]^2 \quad (2.1)$$

と表される。ゲージ場  $A_\mu$  による局所的ゲージ変換は、スカラー粒子の電荷を  $q$  として

$$\mathcal{L} = [(\partial_\mu - iqA_\mu)\Phi^\dagger][(\partial^\mu + iqA^\mu)\Phi] - \frac{1}{4}F_{\mu\nu}F^{\mu\nu} - \frac{m^2}{2\phi_0^2}[\Phi^\dagger\Phi - \phi_0^2]^2 \quad (2.2)$$

となる。ただし  $F_{\mu\nu} = \partial_\mu A_\nu - \partial_\nu A_\mu$  である。ここで場の対称性の破れを導入する。つまり、真空期待値  $\phi_0$ 、ヒッグスによるポテンシャルエネルギー  $h(x)$  を導入し、実数スカラー場を  $\Phi = \phi_0 + \frac{h(x)}{\sqrt{2}}$  とすると

$$\mathcal{L} = [(\partial_\mu - iqA_\mu)(\phi_0 + \frac{h}{\sqrt{2}})][(\partial^\mu + iqA^\mu)(\phi_0 + \frac{h}{\sqrt{2}})] - \frac{1}{4}F_{\mu\nu}F^{\mu\nu} - \frac{m^2}{2\phi_0^2}[\sqrt{2}\phi_0 h + \frac{1}{2}h^2]^2 \quad (2.3)$$

このうち展開して自由粒子成分  $\mathcal{L}_{free}$  と相互作用成分  $\mathcal{L}_{int}$  を抜き出すと

$$\mathcal{L}_{free} = \frac{1}{2}\partial_\mu h \partial^\mu h - m^2 h^2 - \frac{1}{4}F_{\mu\nu}F^{\mu\nu} + q^2 \phi_0^2 A_\mu A^\mu \quad (2.4)$$

$$\mathcal{L}_{int} = q^2 A_\mu A^\mu (\sqrt{2}\phi_0 h + \frac{1}{2}h^2) - \frac{m^2 h^2}{2\phi_0^2} (\sqrt{2}\phi_0 h + \frac{1}{2}h^2) \quad (2.5)$$

$\mathcal{L}_{free}$  の質量項  $m^2 h^2$  より、 $m$  はヒッグス粒子の質量である。そして  $\mathcal{L}_{int}$  の  $h^3$  を含む項  $\frac{m^2 h^2}{2\phi_0^2} \sqrt{2}\phi_0 h = \frac{m^2 h^3}{\sqrt{2}\phi_0}$  がヒッグスの 3 点自己結合を表す。この自己結合定数は、ヒッグスの質量  $\simeq 125.1\text{GeV}$  と真空期待値  $\simeq 246\text{GeV}$  を用いて理論的に求めることができるが、図 2.3 に示すような対生成から結合定数の直接測定を行うことにより、標準理論の掲げるヒッグス機構の精査を行うことができる。しかし重心系衝突エネルギー 14TeV でのヒッグス対生成の断面積は  $0.033\text{pb}$ [5] と非常に小さく、現段階では統計数が少ないためヒッグスに関するイベントの精密測定は困難である。HL-LHC では、これらの希少イベントの観測を行うために、ビームのルミノシティ (後述) を増加させることで、反応回数を上げることを考えている。

## 2.2 HL-LHC の技術

### 2.2.1 バンチクロス/ルミノシティ

HL-LHC の陽子ビームは不連続な陽子の集団から形成されている。この陽子の集団をバンチという。バンチの衝突間隔は 40.08MHz、25ns である。ルミノシティは輝度とも言い、単位時間あたりに起こる反応の回

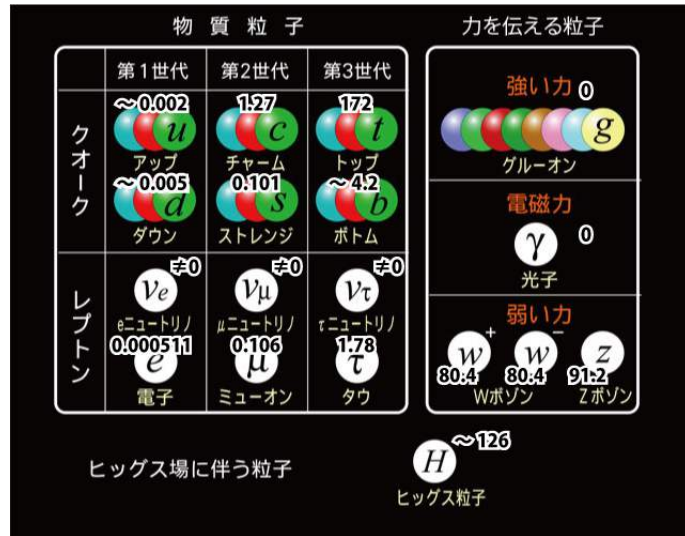


図 2.2: 標準理論による素粒子模型 [6]。2012 年にヒッグス粒子が発見され、標準理論に必要な粒子が全て発見された。

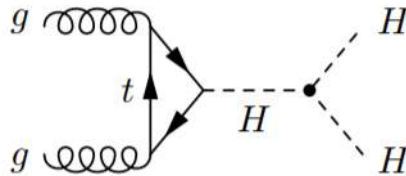


図 2.3: ヒッグス自己結合の一例 [7]。グルーオンから生成された top クォークによるヒッグスの自己結合。電弱対称性の破れの直接検証となる。

数を  $Y$ 、反応断面積を  $\sigma$  とすると、

$$Y = \sigma \times L \tag{2.6}$$

この比例定数  $L$  として表される。HL-LHC は LHC からルミノシティを大幅にアップグレードさせる。平均ルミノシティは 5 倍の  $5 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ 、最大瞬間ルミノシティは 7 倍以上の  $7.5 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$  になる予定である。2026-2038 年の運転で積分ルミノシティ  $3000 \text{fb}^{-1} - 4000 \text{fb}^{-1}$  を目標としている。ルミノシティ  $L$  は、以下のようにパラメーターを定めると、

$$L = \gamma_r \frac{N_b^2 n_b f_{rev}}{4\pi \epsilon_n \beta^*} R \tag{2.7}$$

$$R = 1 / \sqrt{1 + \frac{(\theta_c \sigma_z)^2}{4\epsilon_n \beta^*} \gamma_r} \tag{2.8}$$

と表すことができる。  $R$  は幾何的損失係数という。ルミノシティを向上させるにはビーム電流を増強させる ( $N_b, n_b$  を大きくする) か、衝突点でのビームサイズを絞る ( $\beta^*$  を小さくする)、または  $R$  をできるだけ大きく

- $\gamma_r$  : ローレンツ因子  
 $n_b$  : ビーム当たりのバンチ数  
 $N_b$  : バンチ当たり陽子数  
 $f_{rev}$  : 1秒当たりの周回数 (=11.2kHz)  
 $\beta^*$  : 衝突点での  $\beta$  関数  
 $\epsilon_n$  : 横方向規格化エミッタンス  
 $\theta_c$  : ビーム交差角  
 $\sigma_z$  : 縦方向ビームサイズ r.m.s

なるようにする ( $\theta_c$  を小さくする) といった方法が考えられる。表 2.1 に現行 LHC と HL-LHC のパラメータの比較を示す。

	LHC (design report)	HL-LHC (standard)
周長 [km]	26.7	
重心系衝突エネルギー [TeV]	14	
平均ルミノシティ [ $cm^{-2}s^{-1}$ ]	$1 \times 10^{34}$	$5.32 \times 10^{34}$
積分ルミノシティ [ $fb^{-1}$ ] (運転期間)	180 (2010-2018)	3000-4000 (2026-2038)
イベント/バンチクロス	27	140
$n_b$	2808	2748
$N_b$	$1.5 \times 10^{11}$	$2.2 \times 10^{11}$
ビームカレント [A]	0.58	1.09
$\epsilon_n$ [ $\mu m$ ]	3.75	2.50
縦方向エミッタンス [ $eVs$ ]	2.50	2.50
$\sigma_z$ [m]	0.0755	0.0755
$\theta_c$ [ $\mu rad$ ]	285	590
$\beta^*$ [m]	0.55	0.15

表 2.1: LHC と HL-LHC のパラメータ [3]。HL-LHC ではバンチ当たりの陽子数、衝突角度を向上させルミノシティを増加させている。

## 2.2.2 ルミノシティレベリング

衝突点に設置された磁石の放射線による劣化と、検出器のパイルアップを抑えるために、HL-LHC ではルミノシティのレベリングを行う。これにより最大ルミノシティを抑えながら、高い平均ルミノシティを維持することができる。HL-LHC ではビームカレントを増強することでレベリングを行っている。図 2.4 と 2.5 に、レベリングによるルミノシティの向上を示す。

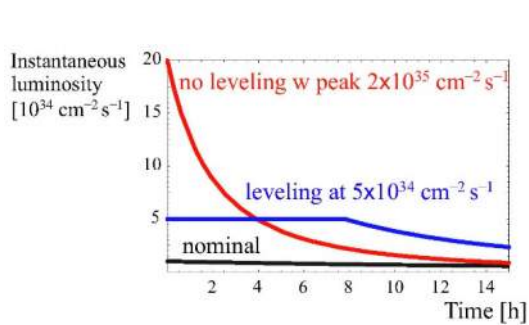


図 2.4: 連続ビームの瞬間ルミノシティの時間変化 [3]。[3]。赤色のグラフがレベリングを行っていない場合、青色のグラフがレベリングを行っている場合。レベリングのグラフがレベリングを行っている場合。黒色のグラフを行うと最大瞬間ルミノシティを抑えながらも平均ルミノシティの低下は抑えられることがわかる

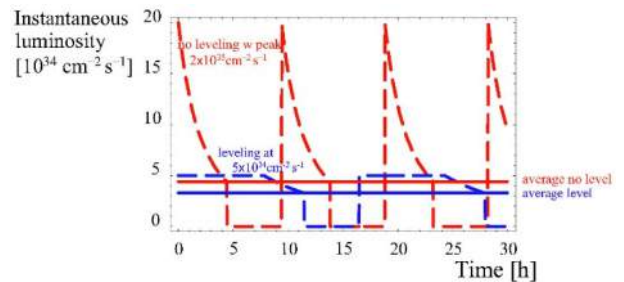


図 2.5: 不連続ビームの瞬間ルミノシティの時間変化

### 2.2.3 アップグレードのための技術

HL-LHC でルミノシティ増強のために使われている技術の内、主なものを以下に挙げる。

- $Nb_3Sn$  層超伝導四極磁石 [8]

衝突点に図 2.6 に示す 3 層超伝導四極磁石を用いることでビームを収縮させ  $\beta^*$  を小さくする。加速器応用としては初めて  $Nb_3Sn$  超伝導線材が使用され、定格磁場勾配  $140T/m$  を発生させる。これは LHC で使用されている  $NbTi$  を用いた超伝導磁石より約 50 % の高磁場化がなされている。

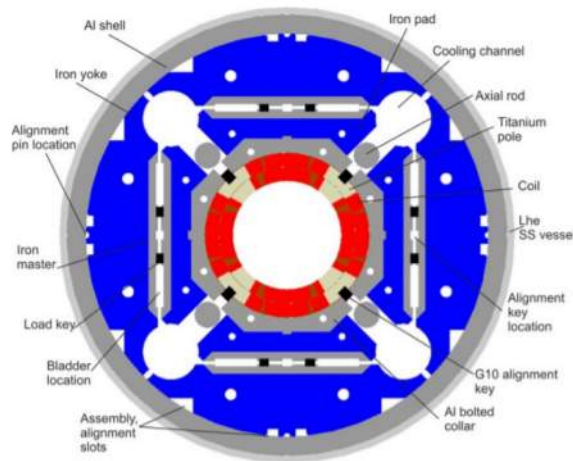


図 2.6: 3 層超伝導四極磁石の直線部断面模式図 [3]。中心部の赤色で表された部分が超伝導線材。

- 超伝導クラブ空洞

$\beta^*$  を小さくするためビーム焦点距離を短くすると、表 2.1 に示すようにビーム交差角  $\theta_c$  は HL-LHC では大きくなっている。 $\theta_c$  の増加を抑えるために HL-LHC ではクラブキャビティを導入する。超伝導によって空洞に発生させた磁力でバンチを回転させ (図 2.7)、ビーム交差角  $\theta_c$  を小さくし、 $R$  を大き

くする。衝突点からおよそ 160m 離れた箇所に設けられている。KEKB で用いられている技術である。傾いたバンチの進行が「カニの横歩き」に似ていることから“crab”と名付けられている。

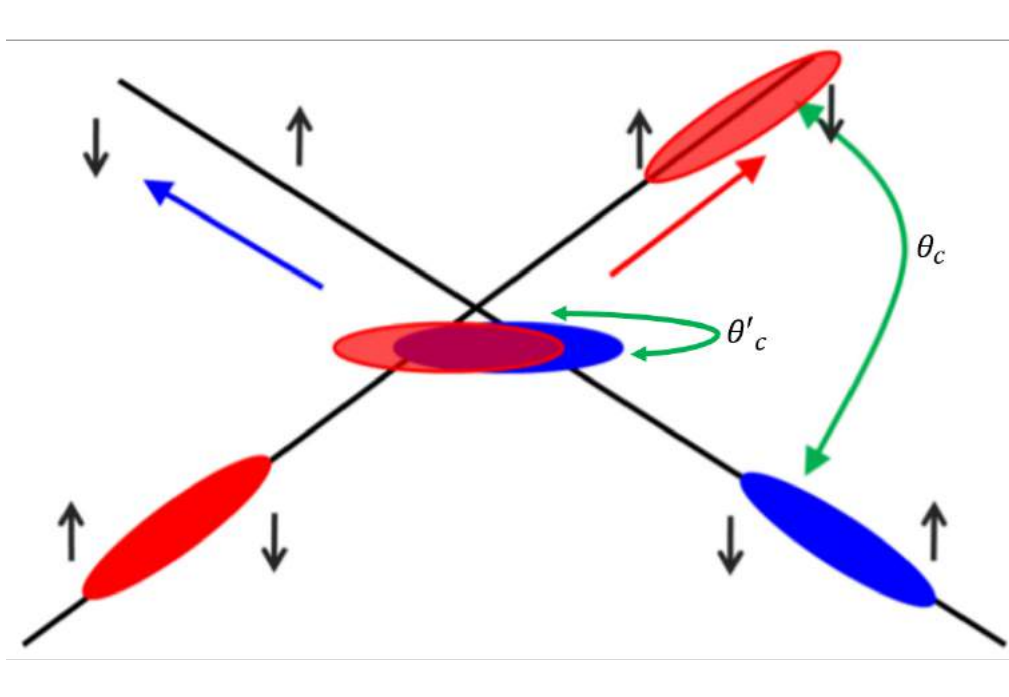


図 2.7: クラブキャビティによる効果 [3]。磁力が黒矢印方向に働きバンチの衝突角が小さくなる ( $\theta_c$  から  $\theta'_c$ )。

## 2.3 検出器の HL-LHC への対応

ルミノシティが上がることによって得られるものは恩恵だけではない。以下のような悪影響も考えられる。

- バックグラウンドの増加

HL-LHC ではルミノシティの増加することで、バンチ当たりのイベント数が現行 LHC の約 30 イベントから 5 倍以上の 100-200 イベントへ増大するが、これは HL-LHC に設置されている検出器にパイラップを引き起こす。また不要イベントも増加しトリガー条件が厳しくする必要があるので、トリガーシステムの改良が必要となる。

- 検出器の耐放射線性向上の必要性

ルミノシティが増加すると、検出器及びそのエレクトロニクスに与えられる放射線被害も大きくなる。エレクトロニクスに対する Single Event Upset (SEU) はデータ収集が行えなくなるエラーを引き起こすので特に対策しなければならない。SEU とは放射線によりデジタル集積回路内でビット反転エラーを引き起こされる現象である。HL-LHC では陽子・陽子衝突によりハドロンが大量に発生し、検出器の構造体中の原子核と反応することで高エネルギーを持った中性子を発生させる。中性子は集積回路中のシリコン原子核を反跳させることで局所的な電離を大量に引き起こし、メモリキャパシティにビット反転を起こす。ビット反転によりアルゴリズム処理や通信に障害が生じてしまう。検出器側にはデジタ

ル集積回路に対する適切なモニタリングシステムが必要となる。

## 第 3 章

# ATLAS 検出器

### 3.1 ATLAS 検出器

A Troidal LHC ApparatuS(ATLAS) 検出器は LHC のビーム衝突点の 1 つに設置されている、直径 22m 長さ 44m の円筒形の大型汎用検出器である (図 3.1)。精密測定と新粒子探索による標準理論の精査と標準理論を超える新物理の発見を目的としている。HL-LHC の高い放射線環境下で積分ルミノシティ  $3000fb^{-1}$  に達成するまでの約 10 年間の使用に耐えられるように、また 1 回のバンチクロスにつき陽子・陽子衝突の 100 を超えるイベントを漏らさず観測できるように、Phase-2 アップグレードが 2024 年から計画されている。本論文では Phase-2 アップグレード完了後の ATLAS 検出器について述べている。

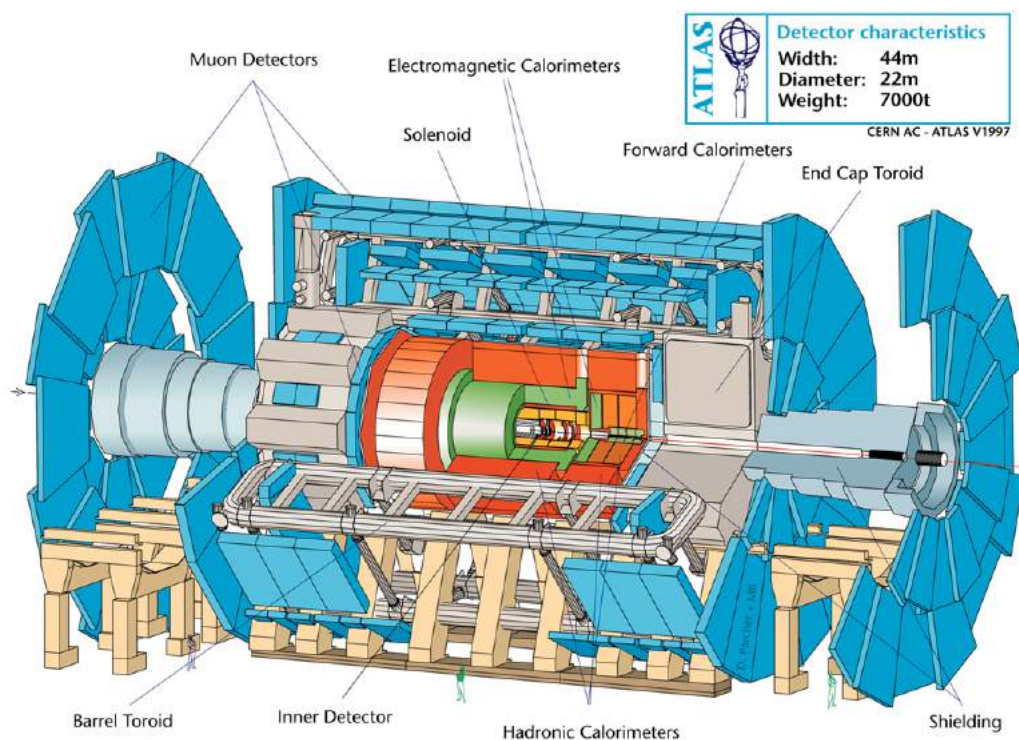


図 3.1: ATLAS 検出器概要 [9]。各種検出器と超伝導磁石から構成される複合検出器である。



### 3.1.1 ATLAS 座標系

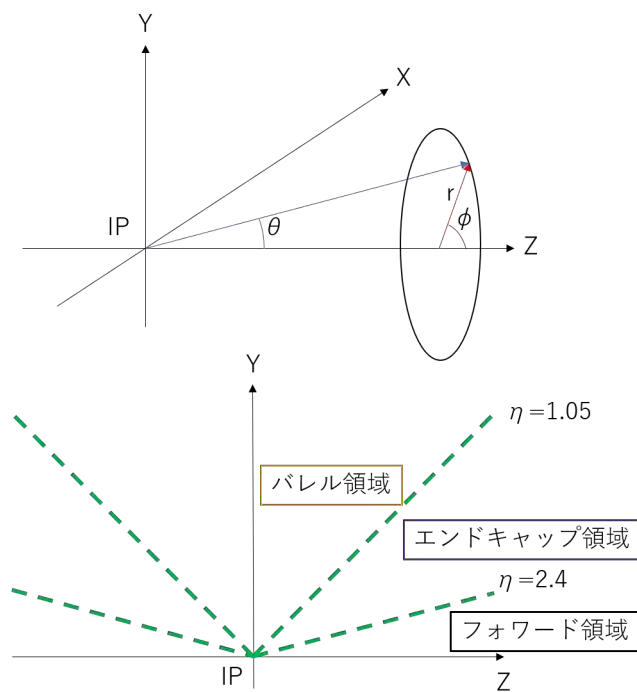


図 3.2: ATLAS 座標系

ATLAS 検出器には図 3.2 に示す座標系が使用される。陽子・陽子の衝突点 (Interaction Point、IP) を原点として、LHC のビーム方向を Z 軸としている。Z 軸の直交面内で、LHC リングの中心への方向を X 軸とし、天頂方向を Y 軸としている。衝突点に対して +Z の領域を A-Side、-Z の領域を C-Side と呼んでいる。また  $r, \theta, \phi$  ( $0 \leq \theta \leq \pi, -\pi \leq \phi \leq \pi$ ) を図 3.2 のように定義している。 $\theta$  から擬ラピディティ  $\eta$  を定義する。

$$\eta \equiv -\ln \tan \left( \frac{\theta}{2} \right) \quad (3.1)$$

$|\eta| < 1.05$  の領域をバレル領域、 $1.05 < |\eta| < 2.4$  の領域をエンドキャップ領域、 $|\eta| < 2.4$  の領域をフォワード領域という。

### 3.1.2 超伝導マグネットシステム

ATLAS 検出器では超伝導マグネット (図 3.3) を用いて荷電粒子の飛跡を曲げ、飛跡からその曲率を求め運動量を計算する。超伝導マグネットは 2 種類ある。

- ソレノイドマグネット  
直径 2.4m、長さ 5.3m の円筒形マグネット。ビームラインの方向に約 2T の磁場を発生させる。
- トロイドマグネット  
バレル領域とエンドキャップ領域に設置されている 8 つの超伝導コイルから構成される。バレル領域、

エンドキャップ領域で  $\phi$  方向にそれぞれ約 0.5T、約 1T の磁場を発生させる。

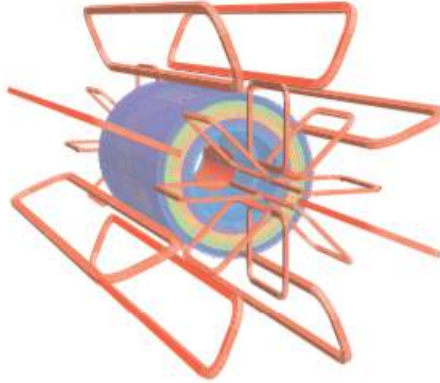


図 3.3: ATLAS 超伝導マグネット [9]。円筒状のソレノイドマグネットとその外側にトロイドマグネットが設置されている。

## 3.2 TGC 検出器

ATLAS 検出器は複数の検出器から構成されている。この節ではそのうちの 1 つ、Thin Gap Chamber(TGC) 検出器について述べる。TGC 検出器はミューオン検出器の 1 種で横運動量の測定を行う。ミューオンは物質透過能力が強いのでミューオン検出器は ATLAS の最外層に配置されている。

### 3.2.1 外形と配置

TGC 検出器は円盤状の検出器である。Endcap Inner Large4(EIL4)、TGC1、TGC2、TGC3 の 4 台が、それぞれ陽子・陽子衝突点 (IP) から  $z \sim 7\text{m}$ 、13m、14m、14.5m に図 3.4 のように配置されている。エンドキャップ領域の最外層に位置する TGC1、TGC2、TGC3 と、TCG1-TGC2 間に配置された同じくミューオン検出器である MDT 検出器を合わせて Big Wheel(BW) と呼ぶ (図 3.5)。また BW が配置された場所を Endcap Middle(EM) という。

### 3.2.2 TGC の動作原理

TGC は Multi Wire Proportional Chamber(MWPC) 型の荷電粒子検出器である。 $r$  方向のカソードストリップとそれに垂直なアノードワイヤーによる 2 次元情報の読み出しを行う。荷電粒子がチェンバーを通過すると、チェンバー内のガス分子が電離・イオン化され粒子の飛跡に沿って電子が生成される (一次電子)。一次電子はアノード-カソード間の印加電圧により加速されながらドリフトし、アノードワイヤー近傍で急激に加速しガス分子の電子を電離させる (二次電子)。これを繰り返すことで発生した電子雪崩の信号をアノードワイヤーで、イオン化したガス分子をストリップで読み出す。荷電粒子はガス分子を電離ではなく励起させることもあり、励起したガス分子は紫外線を放出し、紫外線はガス分子を電離させ二次電子が放出される。この二次電子による電子雪崩はサチュレーションを引き起こし読み出しには使用できないため、チェンバーには紫外線を吸収する n-pentane ガスを混合させる。このような目的で封入されるガスをクエンチャーという。

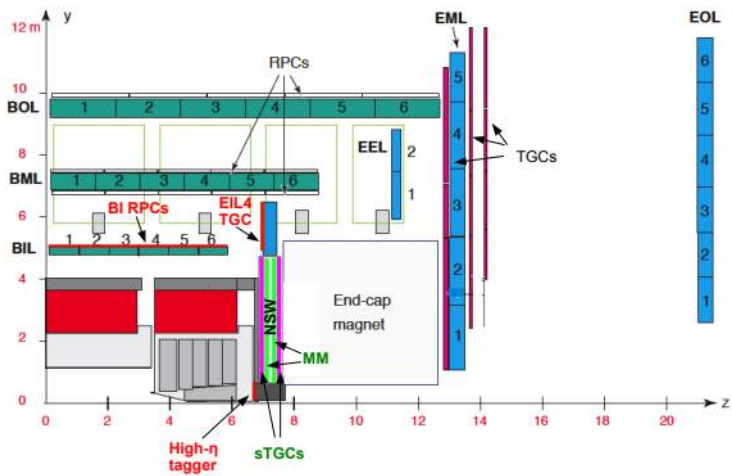


図 3.4: ATLAS 検出器の 1/4 断面図 [10]。紫色で表された TGC はビームに垂直方向に設置されている。青色で表された検出器は MDT 検出器で、TGC1 と TGC2 の間に挟まれている MDT も図示されている。z～7m に NSW 検出器が TGC と同様ビームに垂直な方向に設置されている。バレル部分にある緑色で表されている検出器は RPC 検出器。

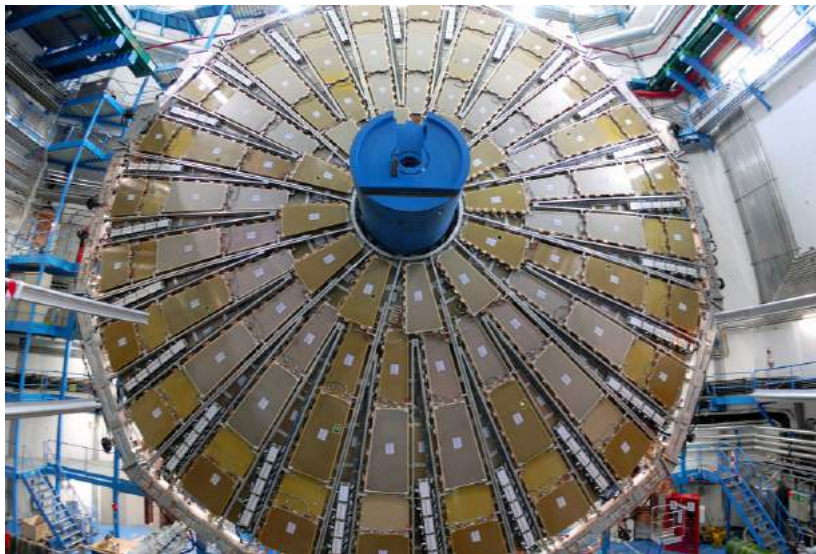


図 3.5: BIG Wheel[11]。TGC と MDT から構成される直径 22m の巨大な検出器。

TGC の各パラメーターを表 3.1 に示す。TGC はワイヤー間隔を 1.4mm と狭くすることで電子の最大ドリフト時間を短くし、HL-LHC のバンチ衝突間隔 25ns に対応している。アノードはカバーする  $\eta$  の範囲が同じになるようワイヤーを 6～20 本にまとめて 1 チャンネルとしている。カソードはストリップ 1 本で 1 チャンネルとして読み出しを行う。チェンバー内には電離ガスとしての  $CO_2$  ガスとクエンチャーとして n-pentane の混合ガスが充填されている。

TGC には図 3.6 に示すようにガスギャップがそれぞれ 2 層、3 層の Doublet と Triplet がある。Doublet はそれぞれ 2 層のワイヤー面とストリップ面で、Triplet は 3 層のワイヤー面と 2 層のストリップ面で読み

出しを行う。多層チェンバーの各層からコインシデンスをとることでバックグラウンドの影響を少なくする。EIL4、M1は3層、M2、M3は2層TGCである。

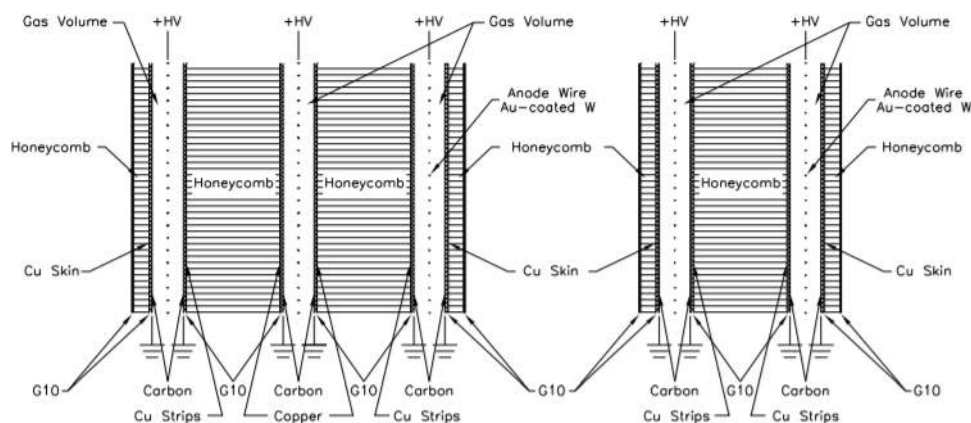


図 3.6: 左は3層TGC、右は2層TGCの断面図 [9]。層間はハニカム構造で支えられている。

パラメーター	設計値
ガス成分	$CO_2/n - pentane(55 : 45)$
ガスギャップ	2.8mm
アノードワイヤー半径	50 $\mu m$
アノードワイヤー間隔	1.8mm
ワイヤ-ストリップ間隔	1.4mm
印加電圧	2900V

表 3.1: TGC 検出器の各パラメーター [9]

### 3.2.3 TGC セクター

BW は円盤状の検出器である。図 3.7 に示すように BW の TGC 検出器を  $\phi$  方向に 12 分割した扇形のユニットをセクターと呼ぶ。データの処理はセクターごとに行われる。フォワード領域とエンドキャップ領域に分割し、それぞれ  $\phi$  方向に 4 分割、2 分割してできた台形をトリガーセクターと言う。図 3.7 では 1 つのセクターにはフォワード領域にトリガーセクターが 2 つ ( $\phi_0, \phi_2$ )、エンドキャップ領域に 4 つ ( $\phi_0 \sim \phi_3$ ) の合計 6 つのトリガーセクターから構成されている。トリガーセクターはサブセクターにさらに分割され、サブセクターはトリガーの最小単位となる領域 Region of Interest(RoI) に対応しており、ワイヤ・ストリップそれぞれ 8 チャンネルに対応している。フォワード領域は 16(R 方向) $\times$ 4( $\phi$  方向)=64 サブセクター、エンドキャップ領域は 37(R 方向) $\times$ 4( $\phi$  方向)=148 サブセクターから構成されている。

EIL4 TGC は図 3.8 に示す円環状の検出器である。図のように 21 個のチェンバーから構成されており、さらに  $\phi$  方向に 24 個のトリガーセクターに分割される。

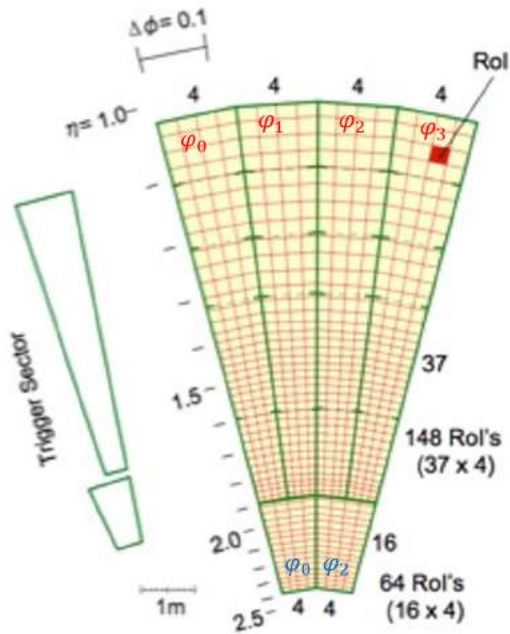


図 3.7: BW の TGC セクター [12]。円盤状 TGC を 12 分割する。フォワード部分はさらに  $\phi_0, \phi_2$  の 2 つの、エンドキャップ部分はさらに  $\phi_0 \sim \phi_3$  の 4 つのトリガーセクターに分割される。トリガーセクターはそれぞれ 64、148 のサブセクターに分割され、RoI に対応している。

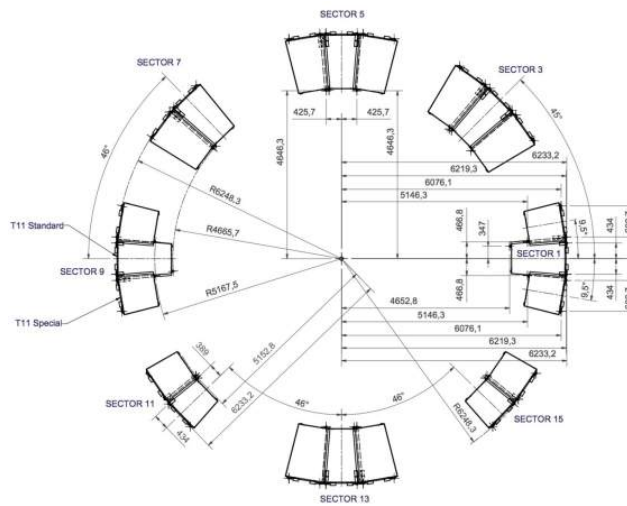


図 3.8: EIL4 TGC の 8 つのセクター [10]。21 個のチェンバーから構成されている。

### 3.2.4 運動量測定

BW の TGC では、図 3.9 トロイドマグネットの磁場で曲げられたミュオン軌跡を測定することで、EM を通過するミュオンの横運動量  $p_t$  を以下のように算出する。

1. 陽子・陽子衝突により生成されたミュオンがエンドキャップトロイドマグネットの磁場で  $\phi$  方向に曲げられる。
2. 磁場通過後、ミュオンは TGC1、TGC2、TGC3 の順にヒットする。この時は磁場外なのでミュオンの飛跡は直線である。
3. TGC3 のヒット位置を IP を結んだ直線はミュオンが無限運動量を持った場合の飛跡である。この直線と実際の飛跡のずれ ( $\Delta R, \Delta\phi$ ) は  $p_t$  と相関関係があるので、Coincidence Window(CW) と呼ばれるコインシデンスマトリックス (3.10) を用いることで  $p_t$  を算出することができる。

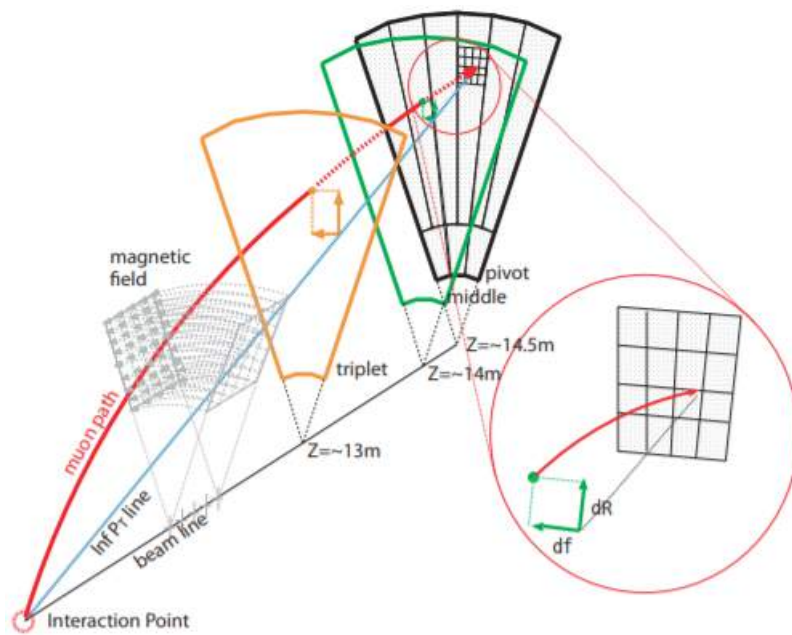


図 3.9: BW TGC による横運動量測定 [13]。水色の線で表されたのが横運動量が無限の場合のミュオンの軌跡。赤色の軌跡が磁場によって曲げられたミュオンの軌跡。両者のずれ ( $\Delta R, \Delta\phi$ ) から実際の横運動量  $p_t$  を求める。

### 3.3 TGC トラックトリガーシステム

#### 3.3.1 周辺検出器

TGC 検出器はエンドキャップトロイドマグネットを挟んで位置する他の検出器 (Inner 検出器) と連携してミュオンの横運動量からトリガー判定を行う。ここでは TGC と連携する検出器について簡単に述べる。トリガー判定の詳細は次章で述べる。NSW、MDT、RPC はミュオン検出器である。

- New Small Wheel(NSW)  
エンドキャップマグネットより内側に位置する sTGC 検出器と MM 検出器の複合検出器 (図 3.11)。ミュオンの軌跡再構成を行う。
- BIS7/8

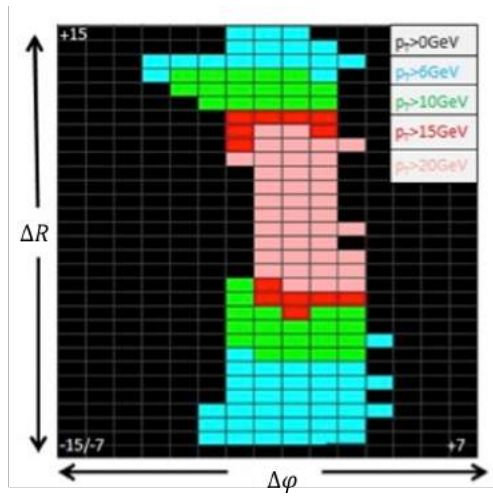


図 3.10: CW の例 [12]。( $\Delta R, \Delta\phi$ ) に  $p_t$  閾値をマッピングしている。(0,0) に近いほど  $p_t$  は高くなる。

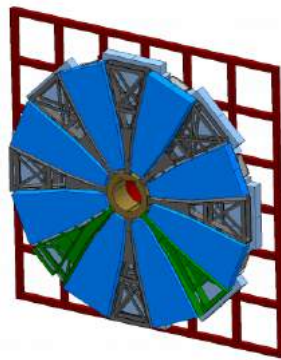


図 3.11: New Small Wheel 検出器 [14]

位置分解能に優れた small Muon Drift tube(sMDT) 検出器と時間分解能に優れた Resistive Plate Chamber(RPC) 検出器の複合検出器 (図 3.12)。バレル領域とエンドキャップ領域をまたぐ  $1.0 < |\eta| < 1.3$  に設置されている。

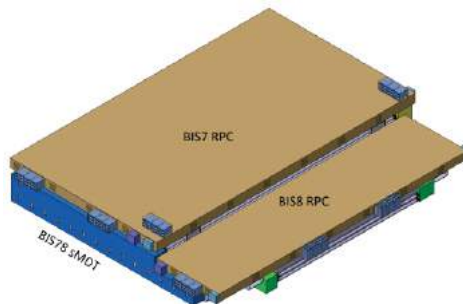


図 3.12: BIS7/8 検出器 [10]

- Tile カロリメーター

ミュオンの位置測定を行う。Tile カロリメーター自体は ATLAS 検出器各部に設置されているが、バレル部に設置されている Tile カロリメーターの最外層 ( $1.05 < |\eta| < 1.3$ ) が TGC にミュオンのヒット位置を与える。

### 3.3.2 TGC トラックトリガー

ミュオンの  $p_t$  を決定には、New Small Wheel(NSW) から再構成した軌跡と TGC から再構成した軌跡から  $\theta$  方向の偏角  $\Delta\theta$  が求められトリガー判定が行われる (3.14)。TGC とエンドキャップトロイドマグネットを挟んで位置する NSW と EI TGC、Tile カロリメーターからのヒット情報を用いることで、ミュオンが IP 由来であることを確かめている。バレル部分からエンドキャップ部分にかけて配置されている BIS7/8 検出器からもヒット情報を取得する。再構成の模式図を図 3.13 に表す。これらのアルゴリズム処理はすべて USA15 の Sector Logic(SL) にて行われる (詳細は次章)。

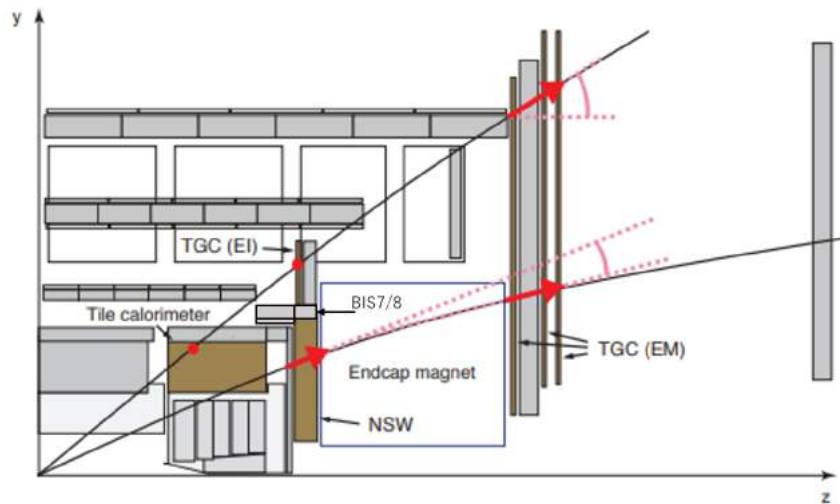


図 3.13: TGC による飛跡再構成 [10]。エンドキャップトロイドを挟んで位置する検出器からもヒット情報を得ることで IP 由来のミュオンの飛跡を再構成できる。



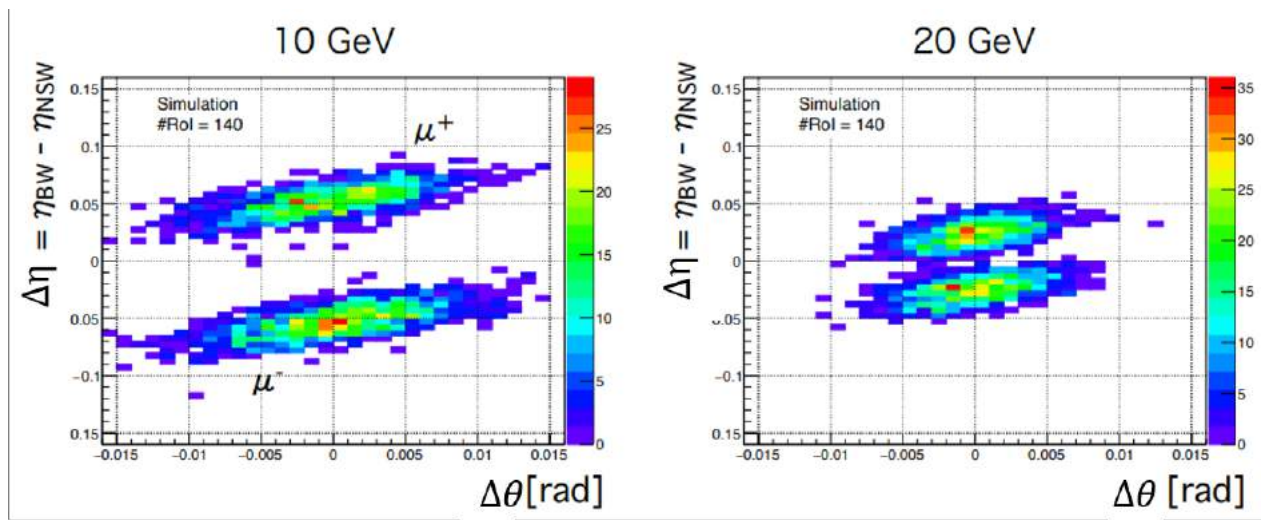


図 3.14:  $\Delta\theta$  による  $p_t$  の識別。  $\mu^+/\mu^-$  それぞれに  $p_t$  と  $\Delta\theta$  に相関が見える [15]。これを利用する。また  $\Delta\eta$  も  $p_t$  識別に用いられる。

## 第 4 章

# ATLAS エンドキャップミュオントリガーシステム

この章ではエンドキャップミュオンのトリガーシステムである Level-0 ミュオントリガーについて述べる。ATLAS 実験では衝突頻度 40MHz のバンチ衝突により、およそ 2-3MB のデータが 25ns 毎に発生する。その全てを保存することは技術的に不可能であるため、データに対し段階的な事象選別 (トリガー) が行われている。ATLAS トリガーシステムの第 1 段階はハードウェア処理による Level-0 トリガー (L0 トリガー) である。L0 トリガーにはカロリメーターからのデータによる L0 カロリメータートリガーと、ミュオン検出器による L0 ミュオントリガーから構成される。L0 ミュオントリガーはさらにバレル領域とエンドキャップ領域のサブシステムに分かれ、RoI と  $p_t$  のミュオン候補情報の算出を行う。本論文では L0 ミュオントリガーのエンドキャップ領域のトリガーシステムについて論じる。

### 4.1 L0 ミュオントリガー

L0 ミュオントリガーはエンドキャップセクターロジック (エンドキャップ SL)、バレルセクターロジック (バレル SL) から構成される (図 4.1)。エンドキャップ SL とバレル SL はミュオン候補情報の算出に柔軟性を持たせるため、各検出器からヒット情報を受け取る。バレル SL、エンドキャップ SL においてミュオンの飛跡再構成と候補情報の算出を行い、MDT トリガープロセッサーと Muon-to-Central-Trigger-Processor Interface(MUCTPI) に候補情報を送信する。算出はバンチクロス毎に行われるため、送信スピードレートは 40.08MHz である。表 4.1 に各 SL に対応する検出器と  $\eta$  の範囲を示す。

	検出器	$ \eta $
バレル SL	RPC、Tile カロリメーター、MDT の一部	<1.05
エンドキャップ SL	TGC、Tile カロリメーター、NSW、BIS7/8	1.05-2.4

表 4.1: バレル SL とエンドキャップ SL がデータを受け取る検出器と  $\eta$  の範囲 [16]。

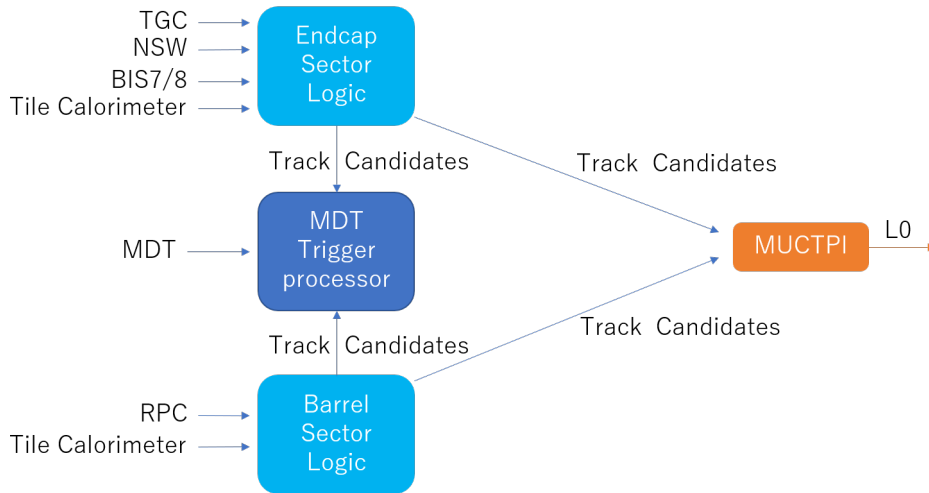


図 4.1: L0 ミューオントリガーの概要図。エンドキャップ/バレル SL は検出器からのヒット情報からミューオン候補を算出し MDT トリガープロセッサと MUCTPI に送信する。

## 4.2 エンドキャップセクターロジック

L0 ミューオンシステムのうち、エンドキャップ SL とそのエレクトロニクスについて述べる。エンドキャップ SL は TGC 検出器を主としたトリガー判定システムである。アルゴリズム処理は TGC トリガーセクター毎に行われる。1 つのセクターロジックで 1 台の TGC 検出器のエンドキャップ領域 2 トリガーセクター及びフォワード領域 1 トリガーセクターの範囲の処理が行われる。

### 4.2.1 トリガースキーム

エンドキャップ SL でのミューオン候補の算出は、BW を通過するミューオンの飛跡再構成から始まる。前章で述べたように BW の TGC1-TGC3 の 7 層のヒット情報のコインシデンスを取ることで角度分解能  $4mrad$  で飛跡を再構成でき、IP を仮定することで  $p_t$  を算出できる。次にエンドキャップトロイドマグネットを挟んで BW と反対側に位置する Inner 検出器 (NSW、EIL4、BIS7/8、Tile カロリメーター) からヒット情報のコインシデンスを取り、BW を通過したミューオンで IP 由来のものを判定できる。  $1.05 < |\eta| < 1.3$  の範囲では EIL4、BIS7/8、Tile カロリメーターの、  $1.3 < |\eta| < 2.4$  の範囲では NSW のヒット情報を用いる。表 4.2 に TGC とコインシデンスを取る検出器と  $\eta$  の範囲をまとめる。また NSW は角度分解能を持つので TGC とは別にミューオンの飛跡再構成を行い、TGC による飛跡から角度差  $\Delta\theta$  を求め、 $p_t$  の分解能を向上させる。

### 4.2.2 エレクトロニクス

エンドキャップ SL の L0 ミューオントリガーに使用するエレクトロニクスについて説明する。概念図を図 4.2 に示す。エンドキャップ SL では、検出器からのデジタル信号の受信とヒット情報のアルゴリズム処理にデジタル集積回路 Field Programmable Logic Array (FPGA) が用いられている。検出器サイドから SL への

$\eta$	使用する検出器
$1.05 <  \eta  < 1.3$	EIL4、BIS7/8、Tile カロリメーター
$1.3 <  \eta  < 2.4$	NSW

表 4.2: TGC とコインシデンスを取る検出器 [10]。TGC とはエンドキャップトロイドマグネットを挟んだ位置にあるためコインシデンスを取ることで TGC を通過したミューオンが IP 由来であることを確かに行うことができる。

信号送信にも FPGA が使用される。FPGA の動作原理についての詳細は第 5 章で述べる。

- TGC フロントエンド

TGC 検出器に近い順番で説明する。

- Amplifier-Shaper-Discriminator(ASD)

TGC 検出器からのワイヤー・ストリップからのアナログ信号の増幅とデジタル変換を行い PS ボードに送信する。

- PS ボード

ASD からのデジタル信号にバンチ衝突の識別 (BCID) を行い、 $8Gb/s \cdot ch \times 2ch = 16Gbps$  の光通信でヒット情報として SL に送信する。光通信の制御にはデジタル集積回路の Field Programmable Gate Array(FPGA) が使用される。SL からは検出器の同期のための 40.08MHz クロック信号を光通信で受け取る。

- Service Patch Panel(SPP)

PS ボードの FPGA コンフィギュレーション、コントロールを行う。コントロール信号は SL から受け取る。

- USA15 計測室

エンドキャップ SL では各検出器からのヒット情報からアルゴリズム処理によるミューオン候補情報の算出を行う。アルゴリズム処理には FPGA が使用される。FPGA アルゴリズム処理により  $p_t$  と RoI の算出が行われた後、MDT トリガープロセッサと MUCTPI へ 40.08MHz で送信する。

各モジュールへの接続チャンネル数を表 4.3 にまとめる。

接続モジュール	ch 数	
	RX	TX
TGC(PS ボード +SPP)	65(62+3)	34(31+3)
NSW トリガープロセッサ	6	-
Tile カロリメーター	2	-
BIS7/8	2	-
MDT トリガープロセッサ	-	12
MUCTPI	-	3

表 4.3: SL に接続されているチャンネルのうち Level-0 トリガーに使用される RX/TX 数 [16]

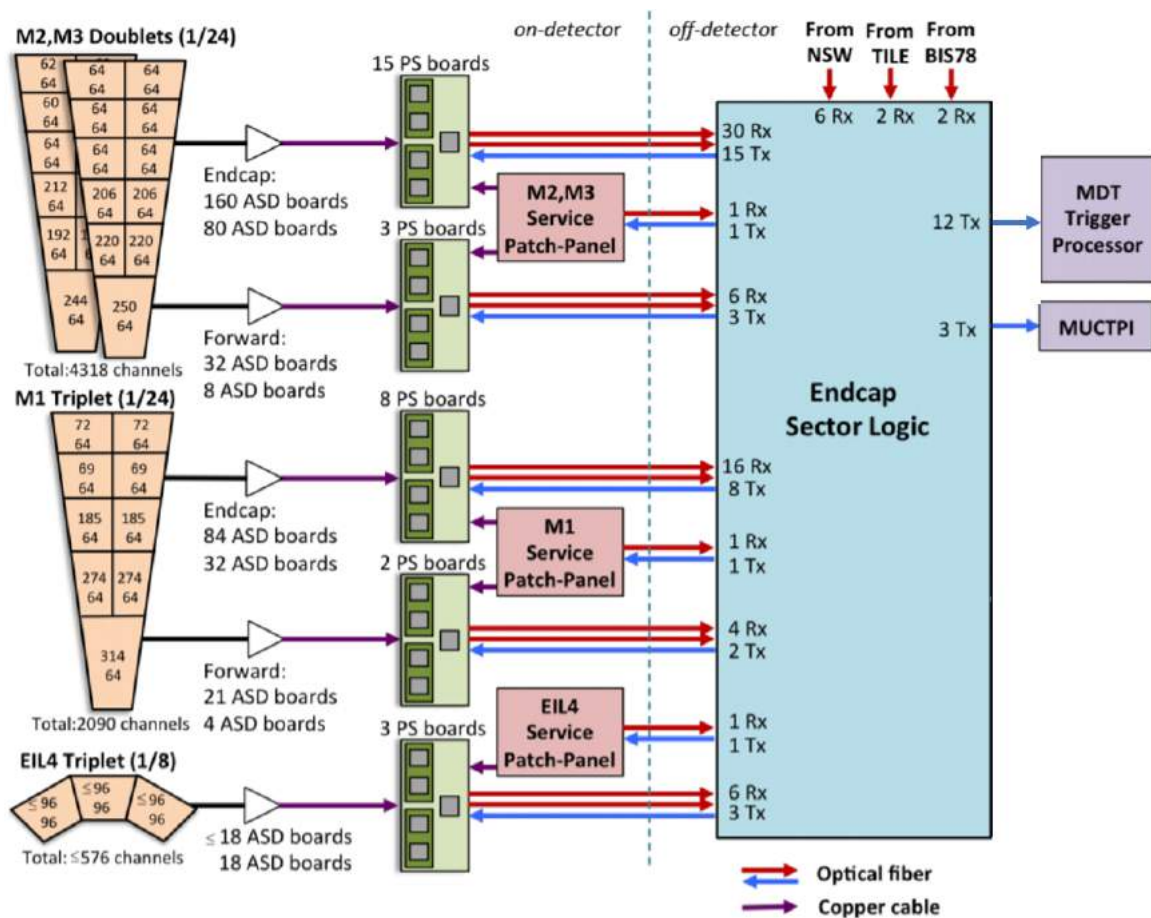


図 4.2: SL と TGC フロントエンドとの接続概略図 [10]。主に L0 ミューオントリガーに使用されるものを図示する。1 台の SL で 31 台の PS ボード、3 台の Service Patch Panel と接続している。TGC フロントエンドからは主にヒット情報が送られ、SL からは同期のためのクロック信号が送られている。

### 4.3 HL-LHC での要求

HL-LHC の高ルミノシティによる大量のデータ発生に対応するために、エンドキャプ TGC では検出器からの全てのデータを USA15 まで光転送し、他の検出器からのデータも合わせてアルゴリズムによるトリガー判定を行っている。光転送とアルゴリズム処理を可能にするのはデジタル集積回路 FPGA である (表 4.4)。しかし FPGA を使用するには以下の問題に対処する必要がある。

#### 4.3.1 Single Event Upset

Single Event Upset(SEU) とは放射線によりデジタル集積回路にビット反転を引き起こす現象である。主に TGC 検出器から USA15 への光転送に使用する TGC フロントエンドの FPGA に発生する。TGC フロントエンドで発生する SEU は中性子により引き起こされるものが殆どである。HL-LHC では陽子・陽子衝突により発生したハドロンが検出器の構造物との相互作用を起こし大量の中性子が発生し、集積回路中のシリコン

	使用 FPGA 候補	データ量 RX/TX[Gbps]	内部メモリ [Mb]
光通信 (PS ボード搭載)	XC7K325T	16/8	16
アルゴリズム処理 (エンドキャップ SL 搭載)	XCVU9P	~800/~500	350

表 4.4: エンドキャップミューオントリガーシステムに使用される FPGA の候補 [10]。SL に搭載されるものは PS ボード搭載のものより大規模なものになる。

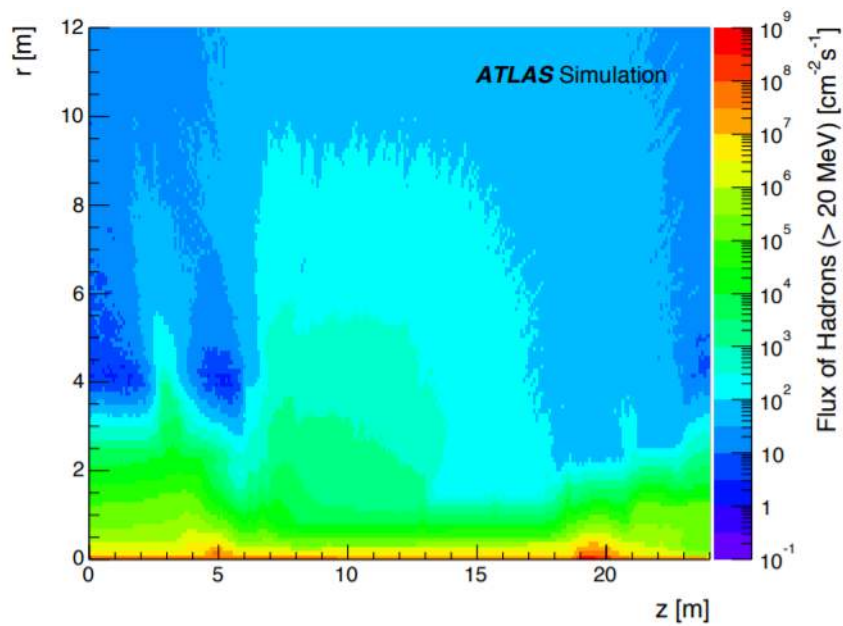


図 4.3: 衝突点付近における 20MeV 以上の運動エネルギーを持ったハドロンのフラックスシミュレーション [10]

原子核と反跳することで局所的な電離を大量を発生させて SEU を引き起こす。ATLAS 検出器におけるハドロンと中性子の発生シミュレーションをそれぞれ図 4.3、4.4 に表す。

#### 対策

光転送 FPGA に対して起こる SEU への対策としてはビット反転の検知とリコンフィギュレーションが有効である。誤り検知を利用して定期的にビット反転を探索し、発見した場合 FPGA のリコンフィギュレーションを行うのである。

#### 4.3.2 大規模 FPGA の運用

エンドキャップセクターロジックのアルゴリズム処理に使用される FPGA は  $\phi(100)Gbps$  の大量のデータを処理するために、フロントエンドに用いられるものより大規模なものとなる。エンドキャップ SL での処理は TGC 検出器 1/24 単位 (EIL4 は 1/8) で行われるので、FPGA は A/C サイド合わせて 48 枚使用するこ

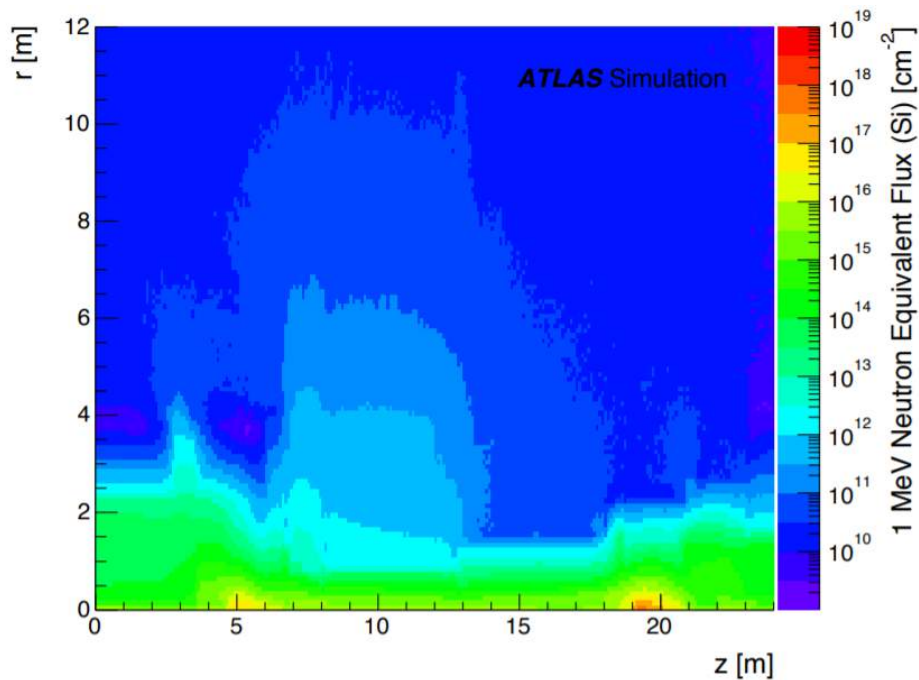


図 4.4: 衝突点付近における 1MeV の運動エネルギーを持った中性子の発生シミュレーション [10]

とになる。SL が設置される計測室 USA15 は陽子・陽子衝突点より 100m 離れているため放射線による SEU の影響はあまり考えられないが、システムの巨大さから作動不良が生じる可能性が高い。作動不良の原因は FPGA 以外にも、電源、配線接続、電力消費による発熱など多岐にわたる。

#### 対策

巨大なシステムはその作動不良の予測が困難である。その場合は、SL が受けとるデータの一部を解析し結果を出力し、正常な場合の解析結果と比較するという方法が有効である。またこのモニタリングはフロントエンドの FPGA にも有効である。

#### 4.3.3 モニタリングシステム

以上、SEU 対策、大規模 FPGA システムの運用という HL-LHC における FPGA の運用への対応には、モニタリングシステムの確立が有効であり不可欠である。すなわち、以下のような能力を持ったモニタリングシステムである。

- フロントエンド FPGA に対するモニタリング能力
  - 複数の FPGA を同時に監視できるハブポイント的能力
    - 1 台の SL は 31 台の PS ボード上 FPGA と光通信を行っている。SEU による通信障害が生じた場合の復旧を迅速に行うためには、なるべく分散処理を行うことが望ましい。
  - SL との迅速な通信能力
    - フロントエンド FPGA は SL ヘヒット情報を送信し、SL からは同期クロック信号を受信してい

る。通信障害が生じた場合、誤ったヒット情報がトリガー判定に使用されることと、クロック信号の同期のずれが生じることを防ぐために、SL と迅速な連携を取る必要がある。

- セクターロジック FPGA に対するモニタリング能力

- データの一部を受け取る大容量・高速通信能力

SL は PS ボードより 8Gbps/ch でデータを受け取っている。データ解析によるモニタリングを行うには同程度の通信能力が求められる。

- 場合に応じた柔軟な解析能力

SL に起こる作動不良は FPGA 以外にも多岐に及び事前に特定することは難しい。問題の特定のための解析は、手法を様々に変化させることができる柔軟なものにする必要がある。

上記のようなモニタリングを行うには、大規模なデータ通信能力と高度なデータ制御能力を持った集積回路が求められる。ATLAS Phase-2 アップグレードでは、エンドキャップミュオントリガーシステムへのモニタリングシステムに用いるデジタル集積回路として Xilinx 社製 SoC デバイスの使用を検討している。次章で SoC デバイスの詳細とエンドキャップミュオントリガーシステムにおける応用について述べる。



## 第 5 章

# Sytem On Chip デバイス Zynq-7000

Zynq-7000 はデジタル集積回路製造大手 Xilinx 社開発の System On Chip(SoC) デバイスである。ユーザーが論理を実装できるデジタル集積回路 Field Programmable Gate Array(FPGA) に、ARM Central Processing Unit(ARM CPU) を搭載しワンチップ化しており、FPGA の大容量・高速データ通信能力に加えて、FPGA では困難な場合分け処理や周辺機器操作を ARM CPU で円滑に行うことができ、大容量・高速通信とデータ制御が必要とされる分野において様々に応用されるデジタル集積回路である。本章ではまず SoC デバイスの前身となる FPGA と CPU について述べる。またこの論文における CPU とは各機能がワンチップ化されたものを指す。

### 5.1 FPGA

Field Programmable Gate Array(FPGA) は、ユーザーの開発したアルゴリズムを実装できるデジタル集積回路である。実装したアルゴリズムは消去することができるため FPGA は繰り返しの使用ができ、柔軟な開発が可能となる。また回路上に直接アルゴリズムを実装するため大容量・高速データ通信を可能とする。

#### 5.1.1 FPGA の構造

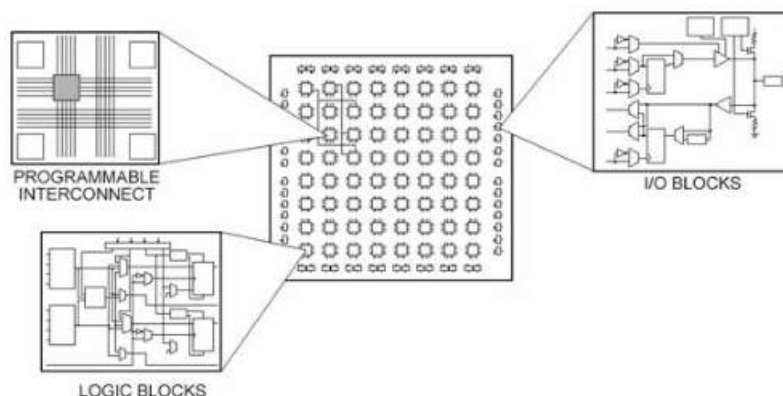


図 5.1: FPGA の概要図 [17]。各機能を持った要素が敷き詰められている。

FPGA は以下の要素を図 5.1 のように集積した構造をしている。

- LOGIC BLOCKS  
論理を構成する。Look Up Table(LUT) と Flip Flop(FF) から構成される。
- Input Output BLOCKS  
外部との接続に用いられる。
- PLOGRAMMABLE INTERCONNECT  
各ブロックを電氣的に接続する。

アルゴリズムを実装するにおいて重要な要素は LOGIC BLOCK である。LOGIC BLOCK は入力に応じて決められた出力をする LUT と入力信号を保持する FF から成るロジックセルから構成される。LUT は回路上で論理を実現させる要素で、書き換え可能メモリで作られており、実装したアルゴリズムを消去することができる。LUT の原理模式図を図 5.2 に示す。上記のほかにも、アルゴリズム処理に用いるデータの保存を行うためのブロック RAM も FPGA を構成しており、また浮動小数点演算などデジタル信号の算術演算を行う Digital Signal Processor(DSP) が FPGA に搭載されている。

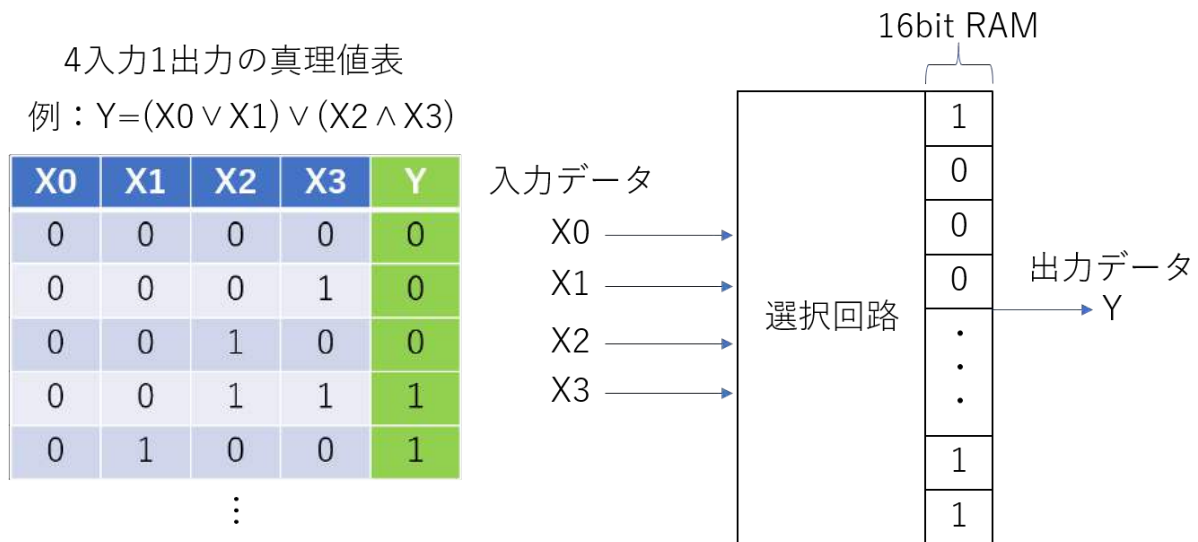


図 5.2: 4 入力 LUT の仕組み。入力に応じてユーザーが定義した真理値表から 1 つの値を選び出力させることで論理を実現する。真理値表の出力データは揮発性メモリ (RAM) に記憶させるため書き換えが可能である。

### 5.1.2 FPGA の特徴

FPGA を用いたアルゴリズムの開発を行う上で重要な特徴を述べる。

- HDL による開発  
FPGA のアルゴリズムは Hardware Description Language(HDL) というハードウェア開発用のコンピュータ言語を用いて記述する。HDL は LUT と FF による論理回路単位での配線の記述を行う。電気回路の各要素は電気信号の入出力に従うので、HDL は同期的動作を基本とした言語である。また記述には回路の遅延時間などの経時的挙動を考慮する必要もある。
- コンフィギュレーション

HDLによって記述されたアルゴリズムはブロック間のスイッチ・トランジスタにより、電氣的に接続されることでFPGA上に構築される(コンフィギュレーション)。コンフィギュレーションは通常 Joint Test Action Group(JTAG) シリアル通信配線にて行われる。JTAGはデジタル集積回路のデバッグ用の配線であり、JTAGを介して回路内の全てのLOGIC BLOCKS、Input Output BLOCKSに接続できる。

- 開発の柔軟性

FPGAは揮発性メモリを使用しておりコンフィギュレーションしたアルゴリズムを消去することができるため、繰り返しユーザーの開発したアルゴリズムのコンフィギュレーションを行うことが可能である。SRAM使用のFPGAなら $10^{15-16}$ 回繰り返し使用ができる。

- 大容量・高速データ通信

FPGAは回路上に直接アルゴリズムを構成し、並列処理回路の構築もできるため、処理速度に優れており大容量・高速データ通信を可能とする。さらにXilinx社は消費電力とジッターを抑えた高速シリアル通信規格(表5.1)を設けることで、通信能力のリソースを効率よく使用することを可能にしている。本研究で使用したZynq-7000シリーズSoCデバイスXC7Z045-2FFG900IはGTX通信の使用が可能であり、通信速度は最高性能時で12.5Gbps、ch数は16、最大帯域幅は送受信合わせて400Gbpsに及ぶ。

通信規格	最高性能 [Gbps/ch]
GTM	58.0
GTY	32.75
GTH	16.3
GTX	12.5

表 5.1: Xilinx による各種高速通信規格 [18]

- 短所

FPGAの短所は、場合分け処理には適していないことである。FPGAは回路に直接電氣的にアルゴリズムを構築するため、稼働中のアルゴリズムの変更は不可能である。従って場合分け処理においては分岐ごとにアルゴリズムを構築する必要があり、回路が大規模になり開発には労力がかかる。複雑な場合分けを用いる逐次処理など高度なデータ制御に関しては、FPGAは後述の逐次処理に特化した回路であるCPUより開発コストと能力において劣り、さらに通信にデータ制御が必要な周辺機器の接続も、FPGAで実装するのは困難になる。

またFPGAは集積技術の発展により論理ブロック数が増加しているが(表5.2)、その数は全てのブロックをユーザーが意識して効率よく扱える範囲を超えつつあり、リソースが無駄になる可能性がある。

## 5.2 ARM CPU

ARM Central Processing Unit(CPU)は、CPU製造大手ARM社による規格に基づいたCPUである。CPUはメモリに格納された命令を逐次実行する演算処理回路で、高度な場合分け処理を円滑に行うことができる。以下に一般的なCPUの特徴について述べる。

FPGA シリーズ	Spartan-6[19]	Kintex-7[20]	Virtex UltraScale[?]
発売開始年	2009 年	2010 年	2015 年
最大 LOGIC BLOCK 数	147K	478K	1176K
最大 FPGA 内 RAM[Mb]	4.8	34	59.1

表 5.2: Xilinx 社製 FPGA の機能変遷。いずれもサイズは 31x31mm~35mmx35mm のもの。短いスパンで機能は飛躍的に向上している。

## 5.2.1 CPU の構造

CPU を用いた演算処理は以下の要素から構成される。演算処理の過程を概要図 5.3 に示す。

- CPU：演算処理装置。論理演算、加算・減算を行う。処理全体の制御も行う。
- 主記憶装置：プログラム、演算対象・結果を保存する。
- Input/Output デバイス：入出力装置。演算対象・結果の入出力を行う。
- バス：各要素を接続する。
- クロック：各処理が同期するための周波数を出力する。

さらに CPU は主に以下の要素から構成される。

- プログラムカウンタ：実行する命令のアドレスを管理するメモリ。
- レジスタ：高速メモリ。主に主記憶装置から取り出した命令を保持する命令レジスタとアドレスを保持するメモリアドレスレジスタがある。
- デコーダ：命令を解読する装置
- ALU：Arithmetic and Logic Unit。命令の実行処理 (演算処理) を行う。

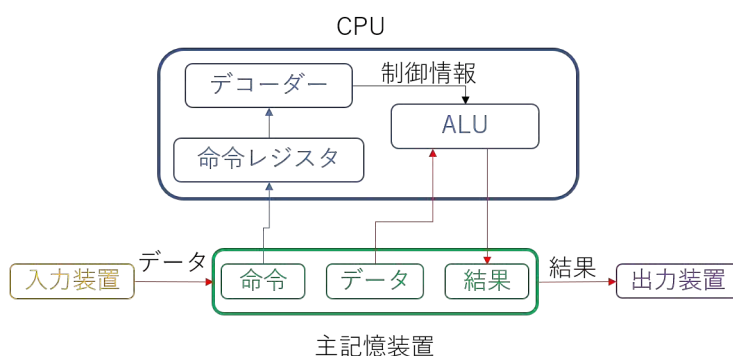


図 5.3: CPU による演算処理。主記憶装置を介してデータの入力と処理結果の出力を行う。

演算対象 (データ) は入力装置を通して主記憶装置に格納される。主記憶装置にはプログラム (命令) も格納される。格納されたデータ、命令はアドレスが割り当てられる。CPU による演算処理は以下のように行われる。まず、プログラムカウンタが示す命令アドレスに従って主記憶装置から命令が取り出され、命令レジスタに保

存される。命令はデコーダで解読され ALU に制御情報が送られ演算処理が行われる。必要に応じてデータが主記憶装置から取り出される。演算結果は主記憶装置を通して出力装置に送られる。全ての処理はクロック周波数に従ってなされる。クロックの 1 回のカウンタにつき 1 回の処理が行われる。

## 5.2.2 CPU の特徴

CPU に使用に関して重要な特徴を述べる。

- 場合分け処理能力  
CPU は命令セットをあらかじめ主記憶装置内に格納し、適時その組み合わせを行うことで複雑な場合分け処理を可能とする。
- Operation System(OS) の使用  
OS は CPU や主記憶装置に介在し、データの受け渡しやネットワークの制御を行う命令セット群である。ほかのプログラムと同様、主記憶装置に格納される。アプリケーションとハードウェアを仲介する働きをするソフトウェアであり、搭載することでより汎用的な使用を可能にする。
- 短所  
CPU はデータと命令セットをメモリから取り出しデコーダで解釈する時間が必要になるため、高速なデータ処理をリアルタイムに扱う能力は FPGA に劣る。また 1 つの CPU につき 1 回の動作で行える処理は基本的には 1 つなので、並列処理はできず大容量データ処理能力も FPGA に劣る。演算処理装置を複数組み込むことで並列処理を行うことができる CPU も存在するが、組み込み数は技術的に制限されるので、FPGA ほどの並列処理はできない。

## 5.2.3 CPU による FPGA の補助

CPU は FPGA ほどの大容量・高速通信能力を持っていないが、FPGA の欠点を以下のように補うことができる。

- 高度なデータ制御  
CPU にデータの一部を引き渡すことで場合分け処理など FPGA では不適なデータ制御が必要な場合に対処することができる。
- 周辺機器操作  
FPGA に周辺機器を接続する場合、HDL による制御アルゴリズムを記述、開発する必要があるが、CPU に既成のドライバを搭載し周辺機器の操作を任せれば開発リソースの節約になる。
- OS の搭載  
OS の搭載により既成のアプリケーションの使用が可能になり、解析などより複雑なデータ制御や多数周辺機器操作の効率を上げることができ、上記の能力をより高度なものにできる。

しかし実際に FPGA と CPU を 1 つの基板上に搭載し連携して使用するには、両者の接続配線において問題が生じる。基板上の配線には、等長配線を考えなくてはならない信号線が多数あり、この等長配線は信号周波数が 400MHz を超えると考慮する必要がある。CPU の動作周波数、FPGA の高速通信の周波数は GHz に及び、これに対応できる等長配線を複数チャンネル分基板上に設計することは現在の技術では困難である。消費

電力の増加も問題となる。

また FPGA は論理回路を集積しているので、FPGA 上に CPU の回路を再現し、その機能を持たせ、OS やアプリ・ドライバを搭載することは可能ではあるが、FPGA のリソースを CPU 再現に割くことで肝心のデータ処理能力が損なわれる可能性がある。また再現された CPU は論理回路的な再現にとどまるので、やはり CPU 専用の電気回路による動作にはスピード・効率が劣る。

### 5.3 System On Chip デバイス Zynq-7000

Zynq-7000 はデジタル集積回路製造大手 Xilinx 社開発の System On Chip (SoC) デバイスである。Xilinx SoC とは、FPGA に CPU を搭載し 1 つの集積回路にまとめたものである。FPGA による大容量・高速データ通信と、CPU によるデータ制御と周辺機器操作を可能とする。また FPGA のリソースを効率よく使用することができるようになる。Zynq-7000 は FPGA と ARM CPU とを ARM AMBA 規格 AXI ベースバスにて接続しソフトウェア処理を行い広帯域接続を実現している。図 5.4 にその概念図を示す。

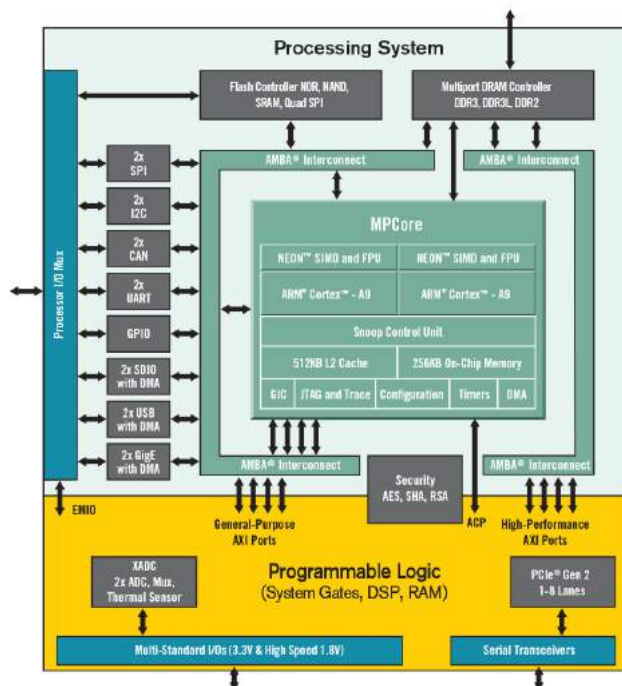


図 5.4: SoC デバイス Zynq-7000 の概念図 [21]。上部の水色の部分が ARM CPU を核とする Processing System。下部の橙色の部分が FPGA を核とする Programmable Logic。

#### 5.3.1 Zynq-7000 の構成

Zynq-7000 は ARM CPU を中心とした Processing System (PS) と、FPGA を中心とする Programmable Logic (PL) の 2 つのブロックから構成されている。以下に詳細を述べる。デバイスによって性能は異なるので、以下は Z-7045 デバイスの XC7Z045 について示す [22][?]。

## PS

PS の中心となるのは ARM CPU である。ARM CPU を中心に周辺機器インターフェイス、メモリコントローラーから構成されている。

- デュアルコア ARM Cortex-A9 ベース CPU
  - 各 CPU につき 1MHz あたり 250 万命令毎秒 (DryStone 値)
  - CPU 周波数最大 1GHz
- 外部メモリインターフェース
  - 最大 1333MbpsDDR3 メモリインターフェイス (16/32bit の 1GB アドレス空間アクセス)x1
  - Quad-SPI スタティックメモリインターフェイス x2
- 各種周辺機器接続
  - 10/100/1000Mbps イーサネット x2
  - SD/SDIO 準拠コントローラー x2
  - 最大 1Mbps 高速 UARTx2
  - マスター/スレーブ I2C インターフェース x2

## PL

PL は主に FPGA から構成されている。

- LUT350K
- ブロック RAM19.2Mb
- 最大 12.5Gbps 高速通信

## AXI インターコネク

Zynq-7000 は ARM AMBA AXI4 バスをベースとしたインターコネクで PS と PL を接続している。主な AXI インターコネクを表 5.3 に示す。インターコネクはソフトウェアで制御される。

ポート名	ポート数	スピード	主な用途
AXI_GP	2(PL マスター)+ 2(PL スレーブ)	600Mbps	汎用ポート。主に PL から PS の制御、周辺機器接続に用いる。
AXI_HP	4	1200Mbps	PL マスターの高性能・広帯域ポート。
AXI_ACP	1	1200Mbps	PL マスターの CPU アクセスポート。

表 5.3: Zynq に使用されてる AXI インターコネクの概要 [22][?]。広帯域幅に対応し、PS と PL の接続を円滑に行う。

## 5.4 Zynq-7000 の機能の実例

高エネルギー実験における応用 (後述) を念頭に、以下に掲げる Zynq-7000 を用いたファームウェア・アプリケーション開発の検証を、評価ボード Zybo5.5 を用いて行った。また次章で説明する Zynq 搭載ボードの配線テストのプレテストも兼ねている。

- USB\_UART 経由の PS アクセス
- QSPI によるブート
- SD カードによるブート
- SD カードを使った Linux ブート
- Linux を用いた Ethernet 操作
- Linux を用いた PS の DDR3 アクセス操作
- AXI バスを用いた Pmod コネクタからの外部出力

### 5.4.1 Zybo

使用した評価ボード Zybo の主な機能と性能を以下に示す [?]

- Zynq-7000 シリーズ XC7Z010-1CLG400C 搭載
  - PS
    - \* 最大周波数 667MHz デュアルコア ARM プロセッサ Cortex-A9
    - \* 512MBDDR3 メモリ
  - PL
    - \* LUT 数:17600
    - \* FF:35200
- microUSB コネクタ (USB-JTAG 変換モジュール付き)
- 128Mb QSPI フラッシュメモリ
- microSD スロット
- 10/100/1000MbEthernetPHY
- Pmod コネクタ 6 台

### 5.4.2 使用ツール

ファームウェア・アプリケーション開発には Xilinx 社提供の開発ツールを使用する。ツールについて簡単に述べる。

#### Vivado/SDK

Zynq-7000 の PL にコンフィギュレーションするプログラムは、Xilinx 社製開発ツール Vivado を用いる。Vivado では Intellectual Property(IP) を用いた block design により HDL による記述を行わず、GUI により視覚的にプログラムを開発することができる。また IP block を HDL に変換、必要に応じて HDL によるプロ



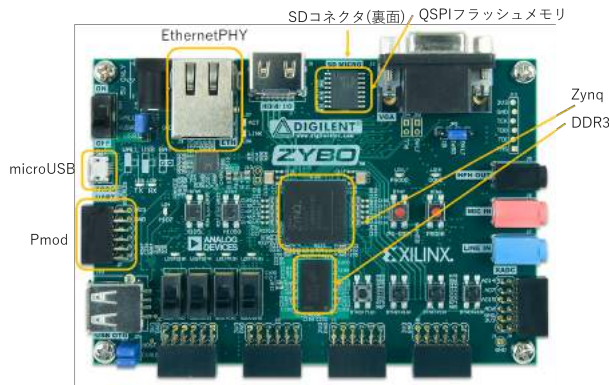


図 5.5: 評価ボード Zybo[23]

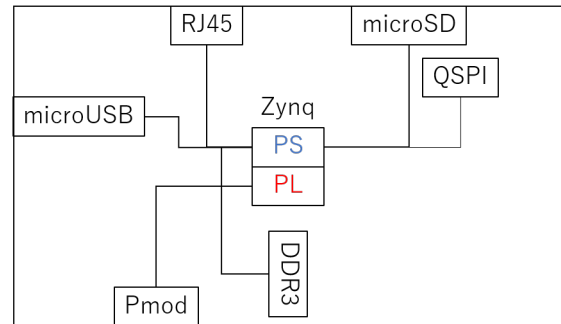


図 5.6: Zybo のブロック図 [?]. 検証に使用したモジュールのみを図示している。

グラムの変更・追加を行うことができる。PS で動作するプログラムの開発には Vivado 付属ツールの SDK を用いる。SDK では C/C++ を用いるプログラミング言語による開発を行うことができる。また PS の機能の設計は HDL で記述されたラッパーをもちいることで PL と統合することができ、HDL ラッパー作成も Vivado によって容易に行うことができる。

## PetaLinux

PetaLinux は SoC デバイス専用 Linux システム開発キットである。ブートバイナリファイル、Linux カーネル、Linux アプリケーションの開発及びそれらによるハードウェアの起動を行うことができる。またカーネル、ライブラリの追加ができ、アプリケーション、デバイスドライバのインストールをすることでハードウェア操作が可能になる。

### 5.4.3 セットアップ

準備物は以下。

- ソフトウェア
  - ハードウェア開発ツール Vivado2017.4(WebPack 非推奨)
  - ソフトウェア開発ツール SDK2017.4(Vivado に付随)
  - Linux システム開発ツール PetaLinux2017.4
  - 仮想 OS Oracle VM VirtualBOX(Ubuntu16.4 搭載)
  - 汎用ターミナル Tera Term
- ハードウェア
  - Zybo
  - ホスト PC
  - AC アダプタケーブル (5V 電源)
  - microUSB ケーブル

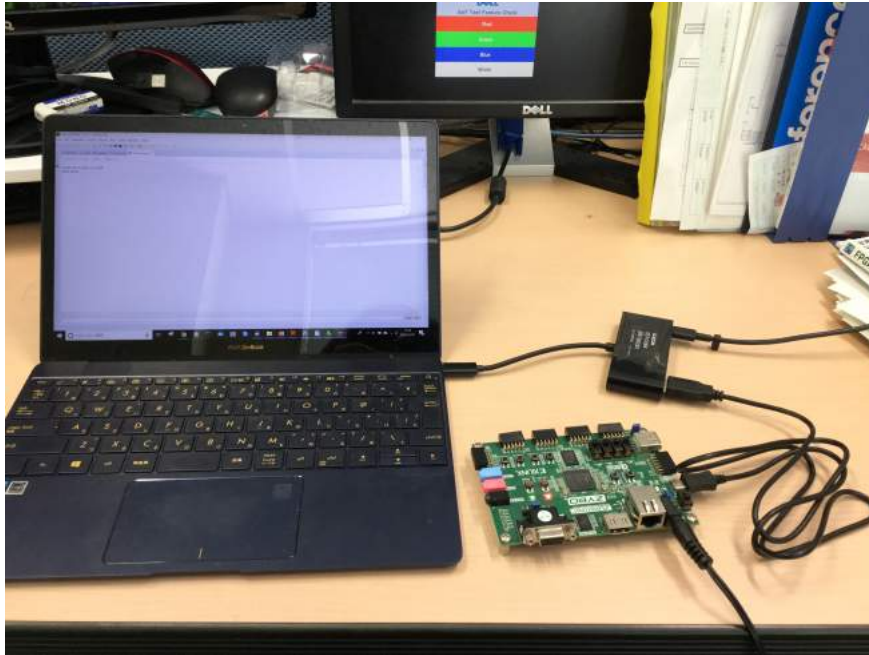


図 5.7: 開発セットアップ。Zybo とホスト PC を microUSB で接続。電源は AC アダプタから供給。

– microSD カード

セットアップ (図 5.7) は全ての試験で共通になる。PC と Zybo を microUSB ケーブルで接続する。Zybo にはその microUSB から電源も供給されるが、電源アダプタを接続することを推奨する。

#### 5.4.4 UART 経由による PS アクセス

##### 概要

USB\_UART は Zynq の PS にアクセスするために搭載されている。PS に関する開発検証をするには最初に USB\_UART 配線のテストを行う必要がある。ブロック図を図 5.8 に示す。

##### 手順

Vivado でハードウェアを開発し、SDK で C 言語によるソフトウェアを開発、Zynq にコンフィギュレーションして実行する。SDK 上のターミナルに実行結果が表示されているのを確認する。

##### 結果

SDK で開発したソフトウェア通りに PC 画面に “Hello World” が表示された (図 5.9)。

#### 5.4.5 QSPI を用いたブート

##### 概要

Zybo にはブート用 QSPI フラッシュメモリが搭載されている。ブートモードを図??で示すジャンパーピンで QSPI ブートモードにすることで、Zybo の電源を投入すると同時に Zynq にコンフィギュレーションが行

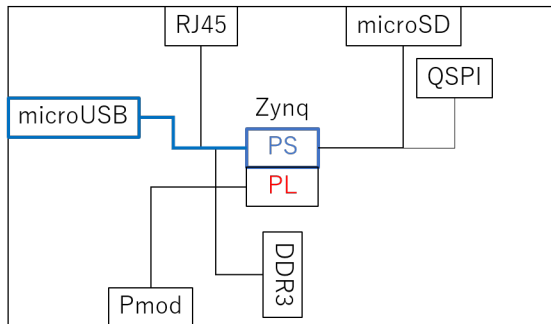


図 5.8: UART と PS の接続図



図 5.9: UART アクセスの結果。ターミナルには SDK 付属のものを使用。

われる。ブロック図を図 5.11 に示す。

#### 手順

Vivado でハードウェアを開発、SDK で Vivado で開発したハードウェアを含んだ QSPI 用ブートバイナリファイルを作成、QSPI に書き込む。書き込み終了後、Zybo の電源を消す。ブートモードをジャンパーピンで QSPI に変更した後、電源を投入する。結果は USB\_UART を通して PC 上のターミナル (Tera Term) に表示される。



図 5.10: ブートモードを切り替えるジャンパーピン。QSPI、microSD カード、JTAG によるコンフィギュレーションを選択できる。

#### 結果

SDK で開発したソフトウェア通りに PC 画面に “Hello World” が表示された (図 5.12)。原因は不明だが Vivado2018.2 による QSPI の書き込みには不具合が生じた。バージョンを下げると不具合を生じずに書き込みを行うことができた。

### 5.4.6 SDIO を用いたブート

#### 概要

Zybo には microSD コネクタが搭載されている。microSD にブートバイナリファイルを格納し、QSPI と電源投入時に Zybo をコンフィギュレーションすることができる。ブロック図を図 5.13 に示す。

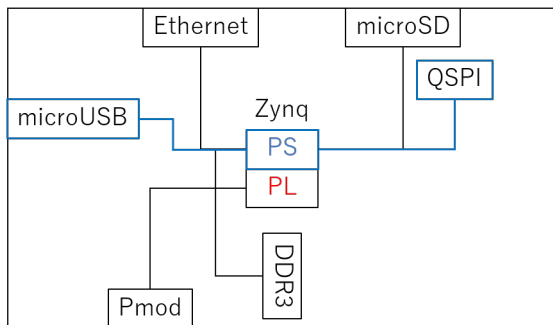


図 5.11: QSPI と PS の接続図

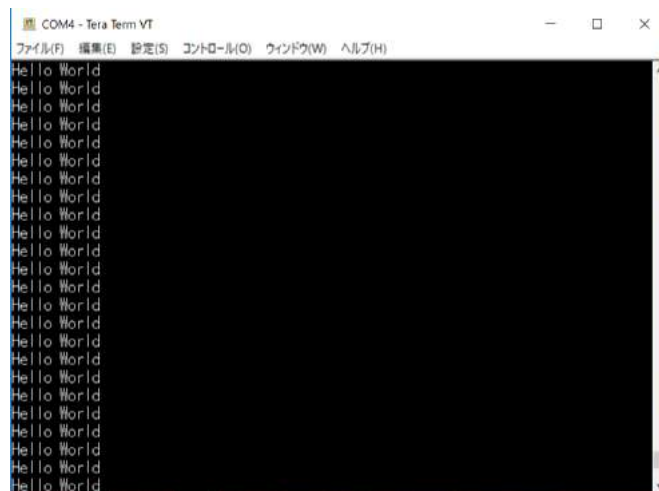


図 5.12: QSPI ブートによる結果。ターミナルには Tera Term を使用している。

#### 手順

QSPI の検証と同様にして、BOOT.bin ファイルを開発し、microSD カードに保存する。ジャンパーピンで SD ブートモードに切り替えて電源投入時にブートさせる。結果は USB.UART を通して PC 上のターミナル (Tera Term) に表示される。

#### 結果

PC 上のターミナルにソフトウェア通りに “Hello World” が表示された (図 5.14)。

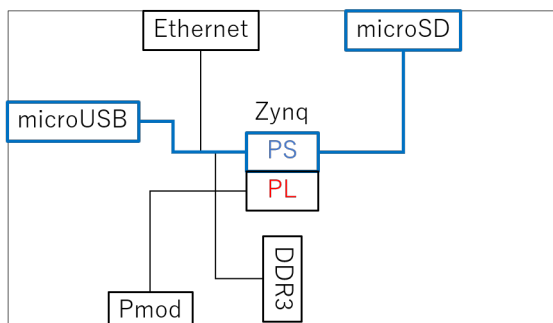


図 5.13: SD と PS の接続図

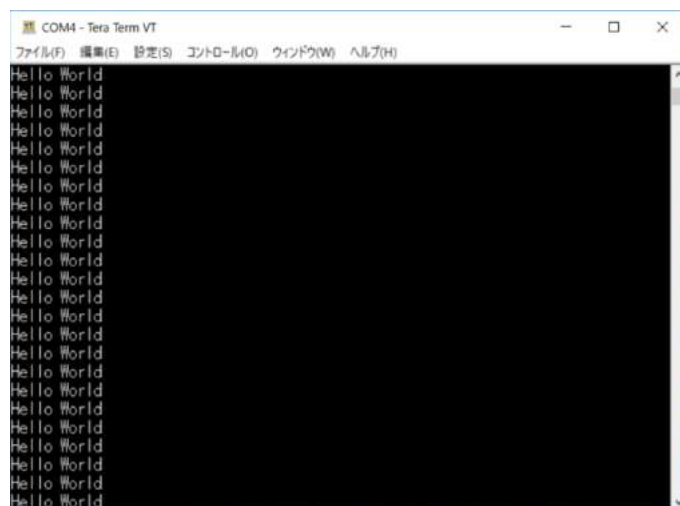


図 5.14: SD ブートによる結果

## 5.4.7 SDIO を用いた Linux 搭載

### 概要

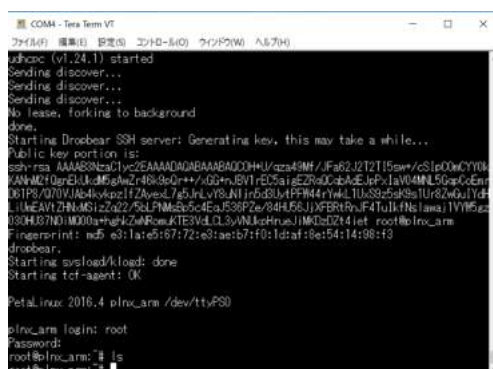
Zynq の PS は microSD カードに Linux イメージを搭載することで LinuxOS を起動させることができる。PetaLinux を使用した Linux イメージの開発と microSD カードによるブートを検証する。接続ブロック図は SDIO を用いたブートと同様である (図 5.13)。

### 手順

PetaLinux を仮想 OS 上の Linux ディストリビューション Ubuntu16.4 にインストールする。PetaLinux 上で、Vivado で開発したハードウェアに基づくカーネル設定を行いビルドする。ビルド完了後、Linux イメージをパッケージし、作成されたイメージを microSD カードに移し、Zybo を SD ブートする。

### 結果

PC 上のターミナルにて、Zybo 上の Linux の起動を確認できた。ビルドされた Linux イメージのカーネルは PetaLinux が用意した最もシンプルなカーネルであるが、ビルドには 10 分ほど (PC の状態では 15 分以上) の時間がかかった。また PetaLinux2018 を用いた場合、Vivado で開発したハードウェアファイルを PetaLinux で読み込む段階で不具合が生じたが、Petalinux のバージョン 2017.4 では不具合を生じることなく読み込み、ビルドすることができた。Linux イメージによるブートの結果を図 5.15 に示す。



```
COM1 - Tera Term VT
ファイル 編集(B) 設定(O) コントロール(C) ウィンドウ(W) ヘルプ(H)
u-boot (v1.24.1) started
Sending discover...
Sending discover...
Sending discover...
No device, forking to background
done.
Starting Dropbear SSH server: Generating key, this may take a while...
Public key portion is:
ssh-rsa AAAAB3NzaC1yc2EAAAADAQABAAQDDH+Uqca4Mf7JFa6Lj2T1T15aw7c51eD0wCY0K
YNM2f0g2R1j3M5pW2f8r3d0++ADp+EB1t4E5ar4E2R0c0a0a0P-JaVMM15q0z0m
01P8/070WAb4vkgz17ZyexL7e5InLvs.NIjns5BU1PFM4Y4L1U8SS5ak9a1Ur826d1Vd#
L1UEAVI2HNMS1z2q2/5L1PM55c4Ea.F38F7e/84H.F5LJXFERTFv.F4TulJfN6Jawai1VW5z
03HJ87ND1M00a+g4ZwR0wKTE3Vd.C13yVNUk0Hrus.JIM0cDZ4iet root@b1rx_arn
Fingerprint: md5:e3:1a:e9:87:72:e3:ae:b7:f0:1d:af:8e:54:14:98:f3
dropbear.
Starting svsload/rlload: done
Starting tcf-agent: OK
PetaLinux 2016.4 plnx_arn /dev/ttyPS0
plnx_arn login: root
Password:
root@b1rx_arn:~# ls
root@b1rx_arn:~#
```

図 5.15: SD ブートによる結果。ターミナルから Linux へログインすることができた。

## 5.4.8 Linux を用いた Ethernet 操作

### 概要

Etehrnet を PS 搭載の LinuxOS によって操作する。SDIO の LinuxOS 搭載に引き続き、LinuxOS を用いた開発を検証する。接続ブロック図を 5.16 に示す。

### 手順

SDIO を用いた Linux 搭載と同様にして Linux イメージを作成、microSD に格納して SD ブートを行う。ホスト PC のターミナルから Linux にログインし ifconfig でネットワークの接続と IP アドレスの取得を確

認する。

## 結果

結果を図 5.18 に示す。eth0 がネットワークに接続されていることが確認された (図 5.17)。

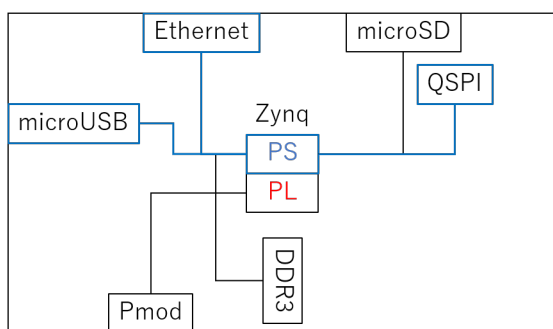


図 5.16: Ethernet と PS の接続図

```
COM1 - Tera Term V1
ファイル 編集 設定 コントロール(C) ウィンドウ(W) ヘルプ(H)

root@lnx-arm:~# ifconfig
eth0:
  Link encap:Ethernet  HWaddr 00:0A:35:00:1E:53
  inet addr:10.37.1.66  Bcast:10.37.1.255  Mask:255.255.254.0
  inet6 addr: fe80::20a:35ff:fe00:1e53:768144/64  Scope:Link
  UP BROADCAST RUNNING MULTICAST  MTU:1500  Metric:1
  RX packets:121 errors:0 dropped:42 overruns:0 frame:0
  TX packets:12 errors:0 dropped:0 overruns:0 carrier:0
  collisions:0 txqueuelen:1000
  RX bytes:19535 (19.1 KiB)  TX bytes:1655 (1.6 KiB)
  Interrupt:146  Base address:0xb000

lo:
  Link encap:Local Loopback
  inet addr:127.0.0.1  Mask:255.0.0.0
  inet6 addr: ::1:768144/128  Scope:Host
  UP LOOPBACK RUNNING  MTU:65536  Metric:1
  RX packets:0 errors:0 dropped:0 overruns:0 frame:0
  TX packets:0 errors:0 dropped:0 overruns:0 carrier:0
  collisions:0 txqueuelen:1
  RX bytes:0 (0.0 B)  TX bytes:0 (0.0 B)

root@lnx-arm:~#
```

図 5.17: Linux コマンドによる結果。eth0 が RX15.1kB、TX1.6kB で通信していることが確かめられる。

## 5.4.9 Linux を用いた PSDDR3 メモリ動作

### 概要

PS 用 DDR メモリの接続を確認する。メモリは CPU の命令、データを格納する主記憶装置なので動作と接続を確認する必要がある。接続ブロック図を 5.18 に示す。

### 手順

C 言語でアプリケーションを開発する。アプリケーションは配列を用意しメモリに格納、アドレスを表示させるというものである。Zybo 搭載 DDR3 メモリの容量は 512MB ありその全ての接続を確認することは困難であるので、配列の個数を 1000 としてランダムに格納させることでメモリの接続に問題が無いことを確認できたとする。

### 結果

結果を図 5.19 に示す。配列のアドレスが問題なく表示されている。

## 5.4.10 PS から PL への GPIO 出力

### 概要

Zynq の最大の機能の 1 つである PS による PL の制御を検証する。PS のソフトウェアから AXI バスを通して PL の汎用入出力ピンから 3.3v 信号を出力させる。出力コネクタは汎用 Pmod コネクタを用いる。Pmod コネクタの模式図を図 5.20 に示す。接続図を図 5.21 に示す。

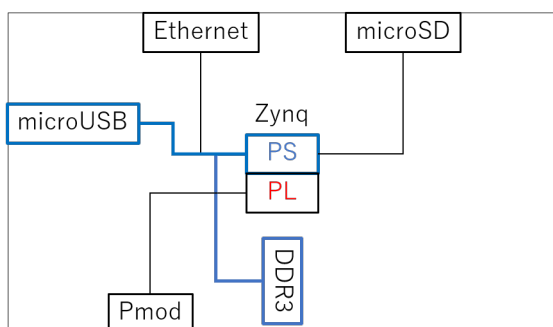


図 5.18: DDR3 と PS の接続図

```

root@inc_arm:~# myapp
a[0]=0xbe926b24
a[1]=0xbe926b28
a[2]=0xbe926b2c
a[3]=0xbe926b30
a[4]=0xbe926b34
a[5]=0xbe926b38
a[6]=0xbe926b3c
a[7]=0xbe926b40
a[8]=0xbe926b44
a[9]=0xbe926b48
a[10]=0xbe926b4c
a[11]=0xbe926b50
a[12]=0xbe926b54
a[13]=0xbe926b58
a[14]=0xbe926b5c
a[15]=0xbe926b60
a[16]=0xbe926b64
a[17]=0xbe926b68
a[18]=0xbe926b6c
a[19]=0xbe926b70
a[20]=0xbe926b74
a[21]=0xbe926b78
a[22]=0xbe926b7c
  
```

図 5.19: DDR のアドレス表示



図 5.20: Pmod コネクタ模式図 [?]. 検証では GND と上段のシグナルピン間の電圧を計測した。

### 手順

Vivado で PS と AXI バスのハードウェア設計を行った後、SDK で信号出力のソフトウェアを C 言語で開発する。microUSB-JTAG で Zybo にコンフィギュレーションし、プログラムを起動させる。Pmod の GND と信号線間の電圧をテスターで計測し 3.3v 信号が出力されていることを確認する。

### 結果

Pmod コネクタからおよそ 3.3V の信号が出力されていることが確認できた (図 5.22)。

## 5.5 Zynq の応用

ZynqSoC はデータのリアルタイム処理と高度な制御が必要とされる様々な分野で応用されている。

### 5.5.1 一般での応用

- Advanced driver-assistance systems(ADAS)

先進運転支援システム (ADAS) では自動車に取り付けられたセンサー・カメラからの情報を用いた高度な場合分け処理が必要とされている。Zynq-7000 を使用すれば、複数のセンサー・カメラからの情報を処理する FPGA、データ処理を行う CPU、FPGA と CPU 間で演算処理による調整を行う DSP チップなどの複数チップモジュールを、Zynq-7000 のみのワンチップモジュールにすることができ、システムパフォーマンス向上し、開発コストは約 25%、と消費電力を約 50% 抑えることができる []。

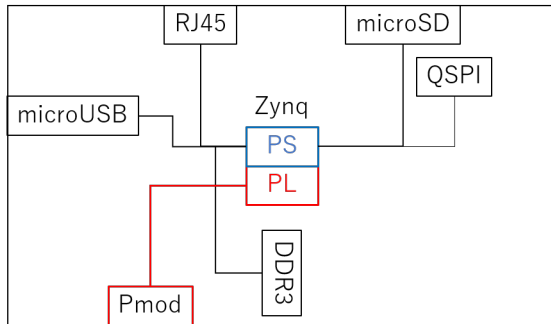


図 5.21: PL を介した PS と Pmod の接続図



図 5.22: Pmod からの信号。GND と信号出力ピン間の電圧はおよそ 3.3V を示した。

ADAS での Zynq の機能ブロックを図 5.23 に示す。

- 医療用内視鏡システム

医療用内視鏡のカメラには広帯域幅の高速画像読み込み能力と、レンズの歪み補正、回転補正などの高度な解析能力が必要となり、Zynq-7000 の使用は適切である。複数チップ間、あるいは他モジュールとのデータレイテンシーが解消され、高度リアルタイム処理が可能となる。また Zynq は多数の IO ポートに対応できるため、オンスクリーンディスプレイなどさまざまな周辺機器を接続できる内視鏡の開発が可能となる。開発コストも 10%、消費電力も 35% 抑えることができる []。Zynq の機能ブロックを図 5.24 に示す。

## 5.5.2 ATLAS 検出器における応用

前章で述べたミューオントリガーシステムの MUCTPI において、そのモニタリングに Zynq が使用される予定である。MUCTPI は SL と GlobalTrigger、Central Trigger Processor(CTP) の仲介をする Advanced Telecommunications Architecture(ATCA) ボードである。接続概要図を図 5.25 に示す。エンドキャップ SL とバレル SL からのミューオン候補情報の受信用チャンネルが 208ch、Global Trigger と CTP への送信用チャンネルが 60ch 設置されている。それぞれのチャンネルの最大転送速度は 14Gbps/ch である。また TTC システムと FELIX との送受信用に最大 12.5Gbps/ch のチャンネルをそれぞれ 1ch、4ch 備えている。FPGA は、SL からのミューオン候補情報の処理用と、トリガーリードアウト用に大規模 FPGA(Xilinx Lintex Ultrascale KU095) を 3 台搭載している。またボード上のモジュール間も最大 6.4Gbps/ch の光通信と最大 1.28Gbps/ch の差動信号通信で接続されている。図 5.26 はボードの写真である。この大規模な ATCA ボードは電圧・電流、FPGA の作動温度、光通信モジュールのモニタリングを必要とし、これを Zynq デバイスで行っている。さらに Zynq のギガビットイーサネット能力を用いて Detektor Control System(DCS) からコンフィギュレーションの遠隔操作を行う。Zynq の機能ブロック図を図 5.27 に示す。PS の Linux 用の SD カードと 1GB メモリが設置され、ホスト PC 通信に Gb イーサネットを用いる。ボード上のモジュールモニタリングに GPIO、I2C、SPI を使用する。PL は 3 台の FPGA のコンフィギュレーションとモニタリング通



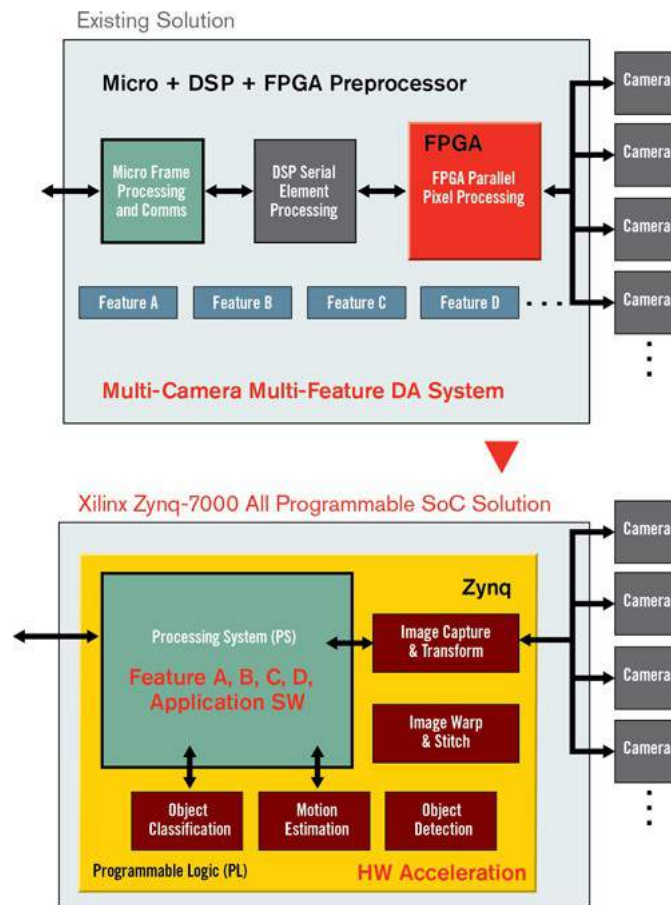


図 5.23: 上図が FPGA と他 IC との併用の場合の、下図が Zynq 使用の場合の機能ブロック図 [24]。DSP とプロセッサユニットによる処理を ZynqPS が行う。ソフトウェアによる PS-PL 間処理により、チップ間の帯域幅の配線的制約や IC の追加の必要がなくなる。

信を行う。

次章で高エネルギー実験における Zynq の応用について詳細に述べる。そして ATLAS エンドキャップ ミューオンシステムにおける応用と、性能評価試験ボードについて述べる。

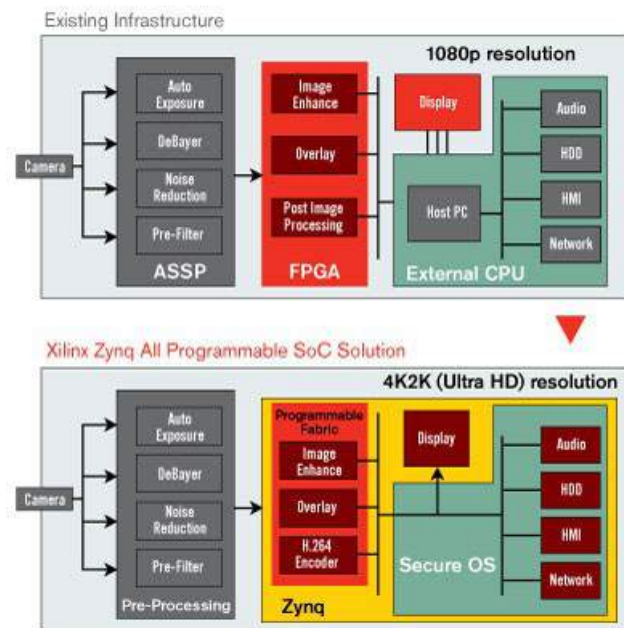


図 5.24: 医療用カメラでの Zynq の機能ブロック図 [25]。上図が従来の機能モード図で、FPGA によって処理されたデータは外部モジュール (ホスト PC) の OS・アプリケーションによって解析・出力されるため、データ遅延が大きい。Zynq を利用すれば (下図)、AXI バスにより FPGA からデータを高速転送でき、PS に搭載した OS・アプリで解析できる。また豊富な IO により画像出力もできる。

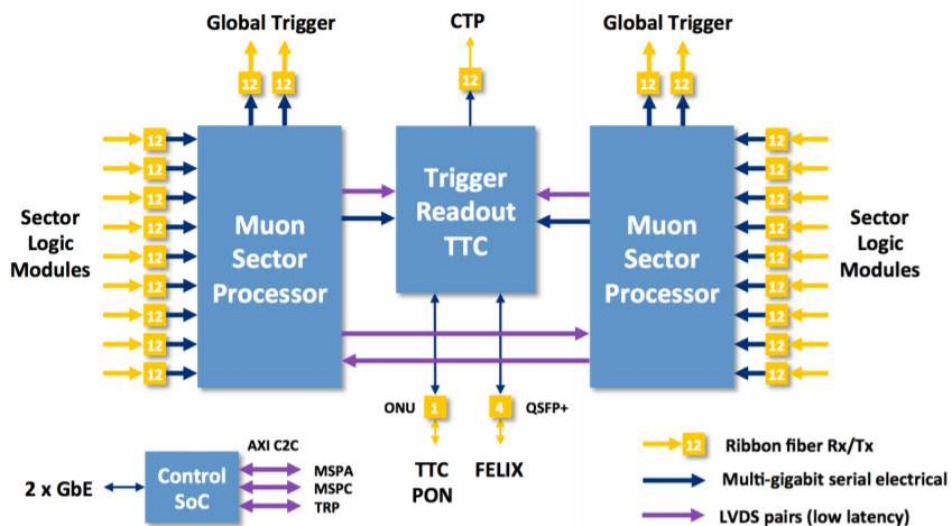


図 5.25: MUCTPI 接続概要図 [16]。それぞれ A/C サイドに対応する 2 つのミューオンセクタープロセッサと、CTP と接続する 1 つのトリガーリードアウト TTC から構成される。他モジュールとは多チャンネル光通信で接続される。図では 1 つの SL と 9 台の 12 チャンネル光通信を行っているが、実際は 1 台だけ 8 チャンネルである。

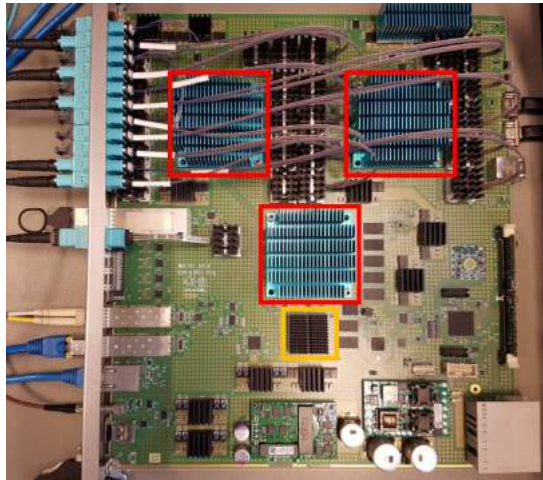


図 5.26: MUCTPI の ATCA ボード [26]。SL などの他モジュールとの接続用の光ファイバーのほかに、ボード上のモジュール間に光ファイバーを用いる接続もある。赤線で囲まれているのは 3 台の大規模 FPGA、橙線で囲まれているのは ZynqSoC デバイス。

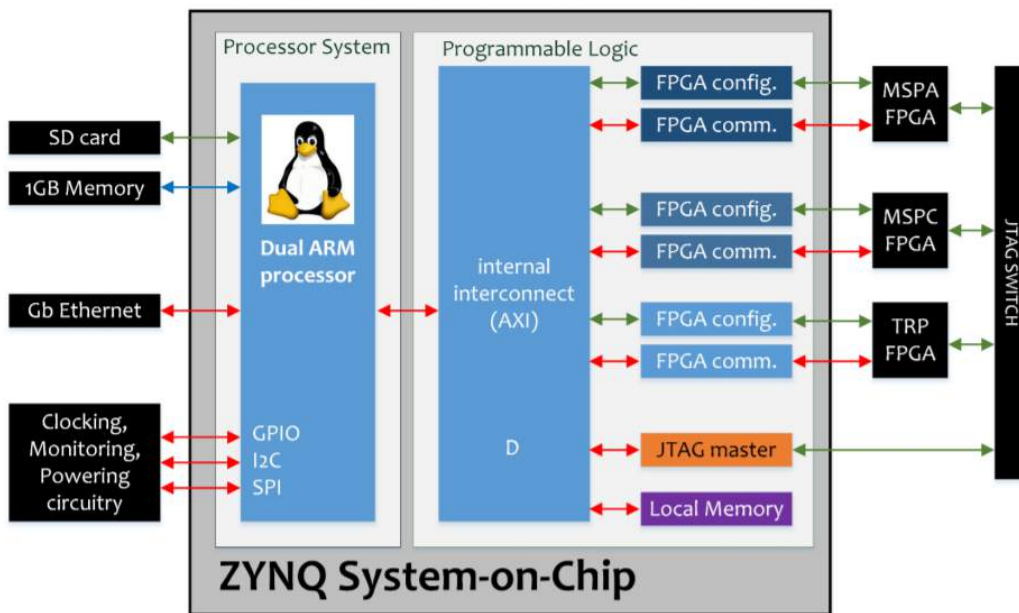


図 5.27: Zynq の機能ブロック図 [26]。3 台の FPGA と PL で接続、PS で制御を行う。PS は FPGA 以外のモジュールのモニタリングも行っている。

## 第 6 章

# 汎用 VME ボード PT-Z

この章では、まずは高エネルギー実験において考えられる Zynq の応用例を説明する。また ATLAS エンドキャップミューオンシステムにおける Zynq の有用性について述べ、性能評価のための汎用ボード PT-Z の必要性和その機能、評価試験例を解説する。

### 6.1 高エネルギー実験における Zynq の応用

#### 6.1.1 複数 FPGA のローカルホスト制御

JTAG 通信による FPGA へのコンフィギュレーションは 100kbps 以下と低速なため、検出器側に設置された FPGA と制御室のホスト PC の間に距離がある場合、コンフィギュレーションは長時間を要する場合がある。特に FPGA が多数設置されている場合は、コンフィギュレーションに時間がかかるだけでなく、ホスト PC 間とのケーブル数も増加し、運用は煩雑なものとなる。Zynq の PS は TCP/IP プロトコル通信を用いて操作することができ、また JTAG 通信に必要な信号線を PL に確保できれば AXI バスと PL を通じて複数の FPGA に対して PS をホストとしたコンフィギュレーションを行うことができるため、ホスト PC とフロントエレクトロニクスの方に距離がある、或いはケーブルを引くことができない環境での実験や、複数台の FPGA にコンフィギュレーションを行う必要がある場合に Zynq をローカルホストとした迅速な操作ができる。図 6.1 に概略を表す。

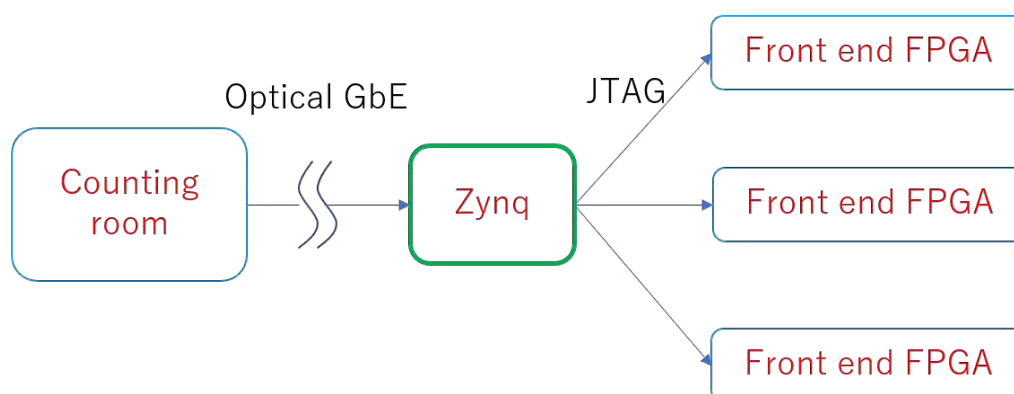


図 6.1: ZynqPS によるローカルホスト。複数台の FPGA のコントロールを TCP/IP をもちいて遠隔操作できる。

## 6.1.2 アプリケーションを用いたデータ制御

Zynq の PS には Linux などの OS を搭載することができる。GTX や DisplayPort などの高速通信で PL は高速データ受信とアルゴリズムによる変換、圧縮などのリアルタイム信号処理を行い、データを AXI バスを通じて PS に転送、PS の OS で C/C++ 言語により開発したアプリケーションプログラムを使用することにより、FPGA では困難なデータの解析などを行うことができる。処理されたデータは PS の TCP/IP 通信などにより出力、転送することができる。また再び PL へとデータを転送し高速通信にて出力することもできる。図 6.2 に概略図を表す。

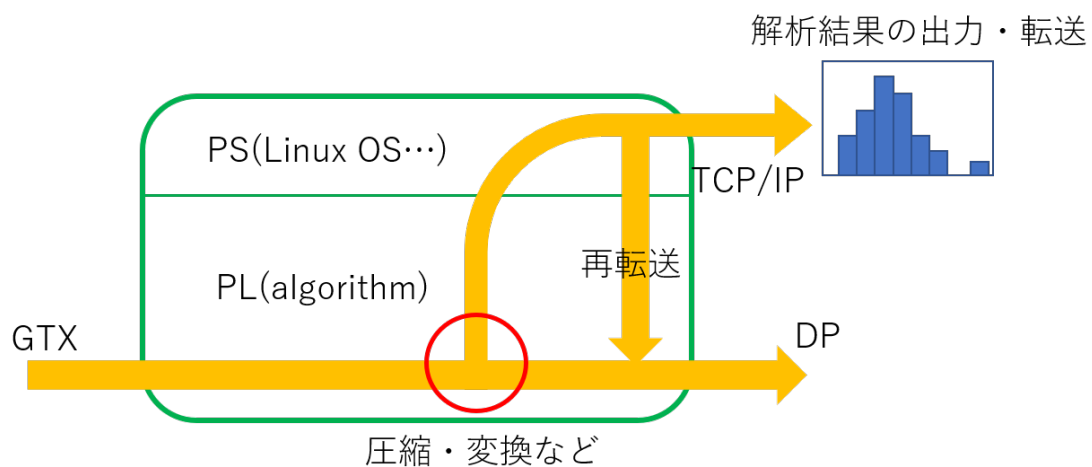


図 6.2: PL からのデータの一部を受け取り PS で解析を行う。PS の周辺機器から結果の出力を確認することもできる。

## 6.2 エンドキャップミューオントリガーシステムへの応用

第 4 章で述べた ATLAS エンドキャップミューオントリガーシステムにおける Zynq の応用について述べる。

### 6.2.1 SPP への搭載によるフロントエンドモニタリング

概念図を図 6.3 に示す。SPP に Zynq を搭載し TGC フロントエンド FPGA のモニタリングを行う。PS ボードからモニタリング用にデータの一部を PL から受信し、PS で誤り検出を用いて、SEU に因るビットエラー探知を行う。ビットエラーを発見次第、コンフィギュレーション用 SPI メモリをコントロールし PS ボード上 FPGA にリコンフィギュレーションを行う。リコンフィギュレーションの際は SL と連携を取り、同期クロックのずれ、誤ったデータを使ったアルゴリズム処理を防止する。Zynq の操作は PS を通して Host PC から行うことができる。

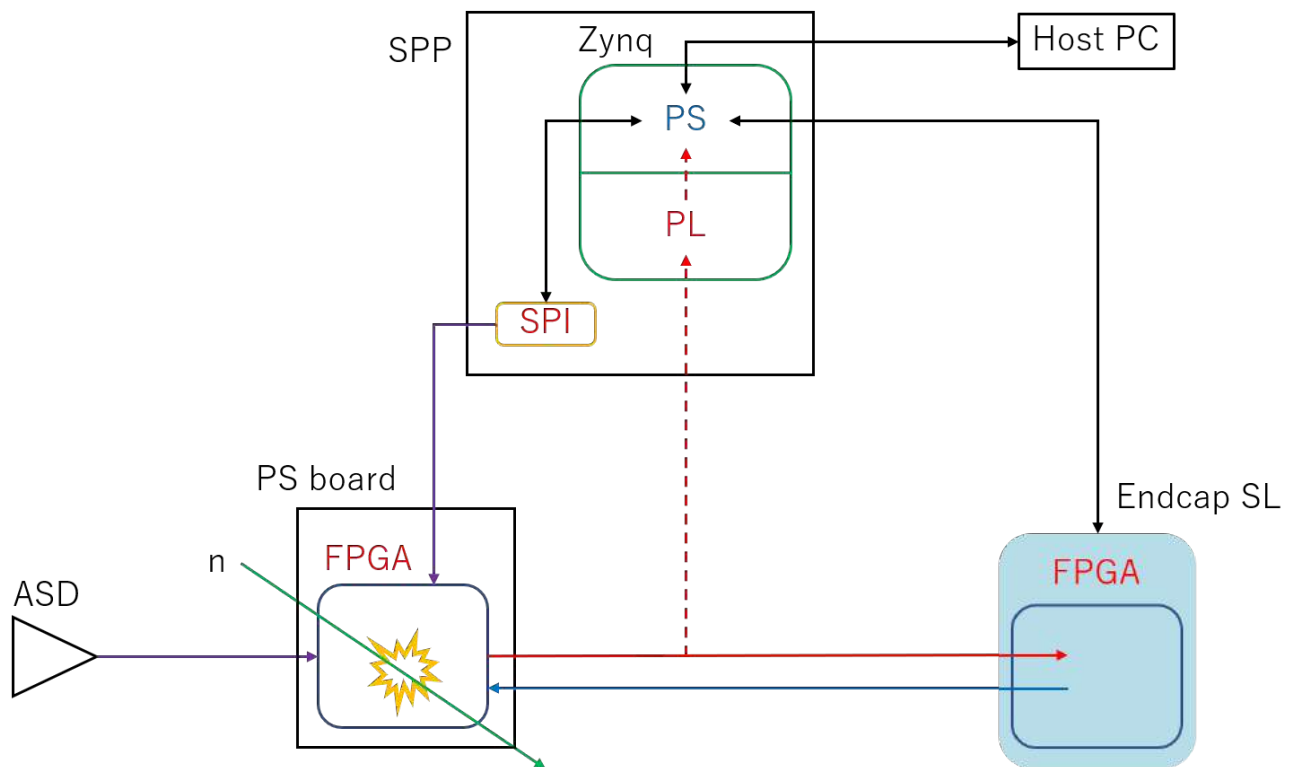


図 6.3: フロントエンド FPGA の SEU に対するモニタリング。SPP に Zynq を搭載する。

## 6.2.2 SL モニタリング

SL 上の大規模 FPGA 及びシステム全体のモニタリングに Zynq を用いる。SL の FPGA からデータを PL で受け取り PS で解析、結果を出力し、正常な場合と比較することでモニタリングを行う。概念図を図 6.4 に示す。PS を解析に用いることでパラメーターの変更が容易になり、異常箇所の特定が迅速に行える。

## 6.3 検証ボードの開発の必要性

以上に述べたように Zynq は高エネルギー物理実験において有用性が高いにある。ATLAS TGC エンドキャップミューオンシステムにおいても Zynq の応用及びそれに備えての性能評価試験を行うことを計画している。しかしエンドキャップミューオンシステムにおける性能評価試験では、既存の評価ボードの機能では不十分である。少なくとも以下の機能の全てを持ったボードが必要となる。

- 複数台の高速光通信モジュールの搭載
- メザニンカード増設機能
- ATLAS 検出器同期クロック入出力機能

そこで ATLAS エンドキャップミューオンシステムにおける Zynq の性能評価と ATLAS Japan TGC グループにおける技術習得のために、Zynq-7000 搭載汎用 VME 検証ボード PT-Z(ProtoType Z) を開発した。

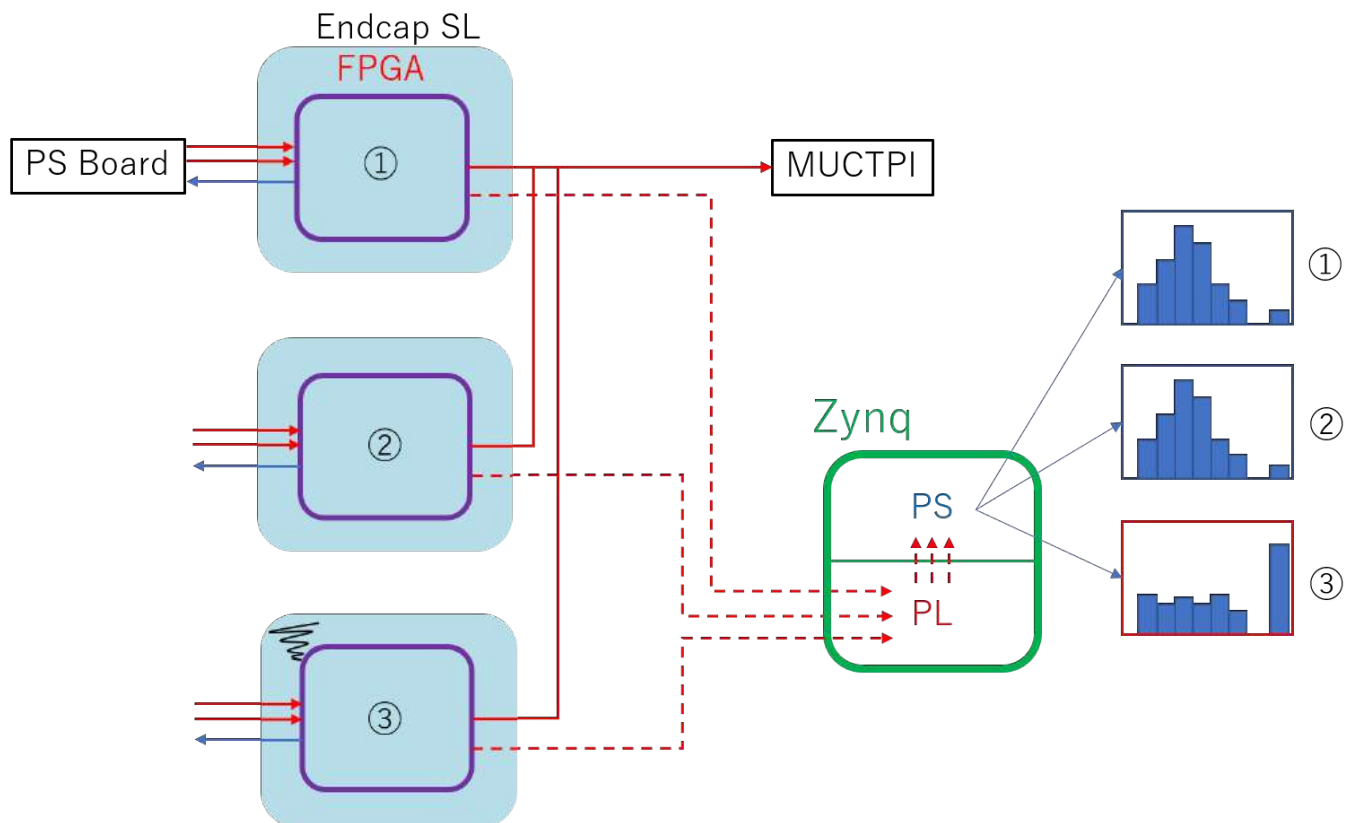


図 6.4: SL システムのモニタリングイメージ。SL①～③のそれぞれからデータを解析、出力する。異常がある場合 (図では③) は解析出力が正常なものとは異なる。

ATLAS TGC グループでは、開発したモジュールに PT(Proto Type) の名をつける。今回の PT は、搭載している Zynq の頭文字と最終版であることを意味を兼ねて、Z の文字をつけている。図 6.5、6.6 に PT-Z の全体図を示す。

## 6.4 搭載機能

表 6.1 に PT-Z に搭載したモジュールを、図 6.7 と図 6.8 にレイアウトとブロック図、Zynq のブロック接続図を示す。ブロックが意味する機能については 6.5 節 機能と構成 にて後述。

## 6.5 機能と構成

以下、各機能の詳細を述べる。

### 6.5.1 Zynq-7000

PT-Z に搭載されている SoC デバイスは Xilinx 社製 Zynq-7000 シリーズ XC7Z045-2FFG900I である。総ピン数は 900 本である。各ピンの本数については表 6.2 に示す。XC7Z045-2FFG900I には他の Zynq-7000

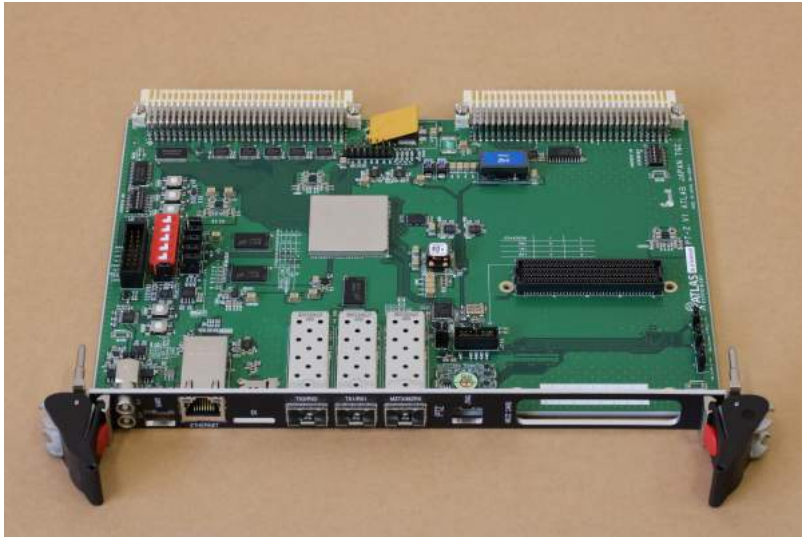


図 6.5: PT-Z 全体図



図 6.6: PT-Z 全体図その 2。写真中央左よりに Zynq が設置されている。

シリーズ同様 ARM Coretex-A9 が 2 台搭載されている。

## PS

PS 付属の機能は以下の通りである。

- USB-UART

USB-UART シリアル通信は Zynq の PS にアクセスするために設けられている。これにより ZynqPS をホスト PC 上のターミナルで操作することができる。Zynq-7000 ではビット転送速度 115200bps で操作する。使用する USB コネクタは EDAC 社製 microUSB 690-005-299-043。microUSB typeB コネクタで USB3.0 に対応。USB-UART 変換 IC は Silicon Lab 社製 CP2103-GM を使用。



	機能	モジュール	型番
PS	インターコネクタ	USB-UART	690-005-299-043
		RJ45	0826-1A1T-23-F
		microSD	5031821852
	メモリ	QSPI	W25Q128FWSIG
		DDR3	MT41J128M16JT-125:KTR
PL	インターコネクタ	GTX 対応 SFP+	10122424-101LF/FCI(74441-0010/MOLEX)
		FMC メザニンコネクタ	ASP-134486-0
		JTAG コネクタ	87831-1420
		microUSB-JTAG 変換コネクタ	JTAG-SMT2
		VME バスコネクタ	02011602101/HARTING
		NIM コネクタ	EPY.00.250.NTN
	メモリ	DDR3	MT41J128M16JT-125:KTR

表 6.1: PT-Z 搭載モジュール一覧

パッケージ	FFG900			
サイズ	31mm x 31mm			
ピン	PS I/O	PL I/O		
		GTX	HR	HP
本数	130	16(4 レーン)	212	150

表 6.2: XC7Z045-2FFG900I の I/O ピン概要 [22]。High Range(HR) と High Power(HP) は PL のピン。それぞれ動作電圧 1.2V~3.3V、1.2V~1.8V。GTX 通信は 4ch 接続可能。

- Ethernet PHY

LinuxOS を搭載し PS への TCP/IP 通信による ssh ログインを想定している。無線通信を行えばケーブルが物理的に使用できない環境下での操作も可能となる。スピードレートは 10/100/1000 Mbps に切り替えが可能。AXI 32/64bit バスにより PL との通信も可能なため、必要に応じて圧縮を行えば PL からデータを受信することもできる。コネクタは Bel Fuse 社製 RJ45 コネクタ 0826-1A1T-23-F。トランシーバー IC は MICROCHIP 社製 KSZ9031RNXCC を使用。

- microSD コネクタ

microSD カードはデータの保存のほか、PetaLinux で開発したイメージファイルと bin ファイルを格納、ブートモードを SD ブートに設定することで、電源投入と同時にアプリケーションを起動させることを可能とする。コネクタは Molex 社製 5031821852。SD 規格の動作電圧は 3.3V であるが、Zynq-7000 の PS の動作電圧は 1.8V であるため、PT-Z では MAXIM 社製レベルシフター MAX13035EETE+ を搭載し対応している。

- QSPI

PL にコンフィギュレーションするためのアルゴリズムの格納に用いる。ブートモードを QSPI ブートに設定することで電源投入と同時に PL にコンフィギュレーションすることが可能である。また

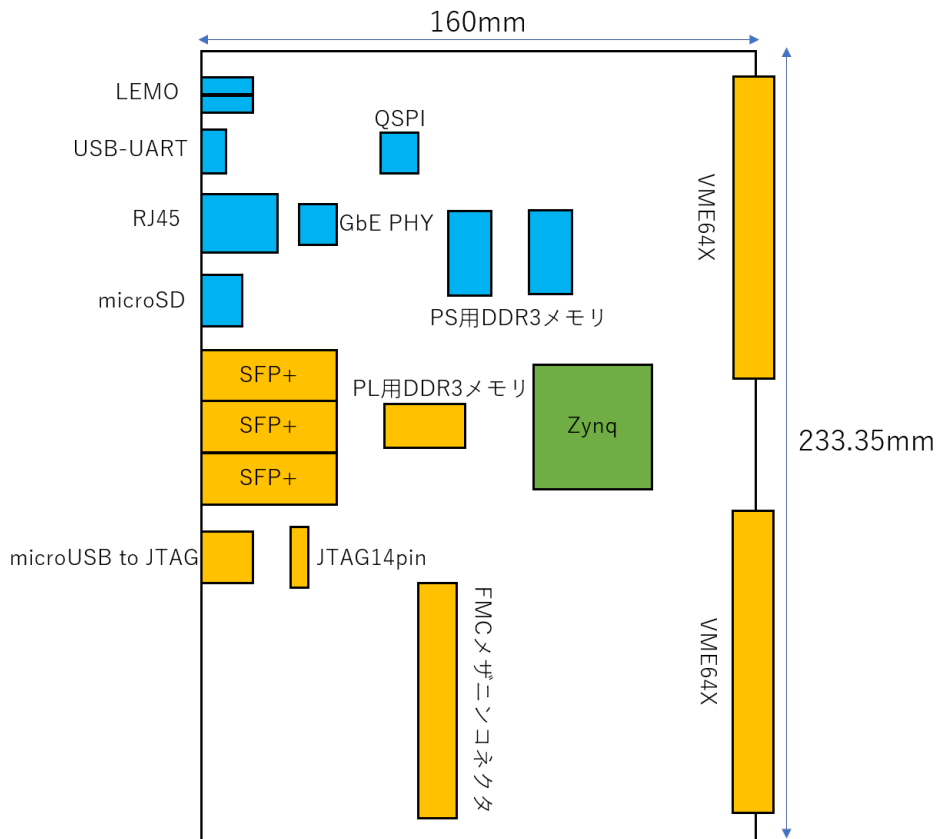


図 6.7: PT-Z レイアウト図

microSD カードと同様 PetaLinux で開発したアプリケーションを含有した bin ファイルを格納し起動させることも可能である。変更が予想されるアプリケーションの格納には SD カードを、固定的に使用するアプリケーションの格納には QSPI を使用するという使い分けを行う。PT-Z には Winbond Electronics 社製 W25Q128FWSIG を搭載。容量 128Mb、最大通信速度 50Mbps、10 万回以上の書き換えが可能で、耐用年数は 20 年以上である。

- DDR3 メモリ

ARM CPU のデータ入出力及び使用するソフトウェアプログラムの格納に用いる。Micron Technology 社製 MT41J128M16JT-125 : KTR を 2 個搭載。合計容量 4GB、アドレス幅 16bit、データ幅 32bit 通信。データ転送速度 1600MTps。PT-Z はデータ転送速度を最大限生かすために電源レギュレーターを追加している。

## PL

PL には Xilinx Kintex-7 相当 FPGA 搭載。

- LUT : 218600
- FF : 437200
- 内部 RAM : 19.2Mb

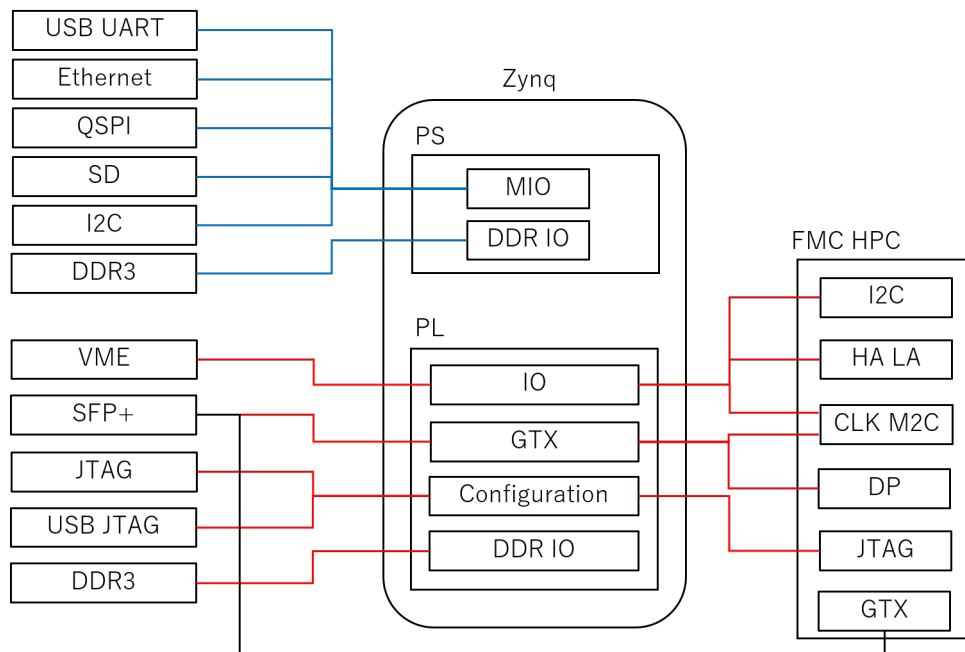


図 6.8: Zynq 機能ブロック図



図 6.9: Foxconn Optical Interconnect Technologies 社製 SFP+ 規格光トランシーバー [27]。光コネクタ 074441-0010 と合わせて GTX 通信を光信号で行う。

PL に付属する機能を説明する。

- GTX 対応 SFP+ モジュール

PL の GTX 対応の光通信用モジュールで、エンドキャップミューオントリガーシステムに用いる光通信と同じものである。GTX 対応 SFP+ 規格光ファイバトランシーバーモジュールを 3 台搭載 (図 6.9)。2 台は PL と接続し、1 台は FMC コネクタを介してメザニンカードと通信する。コネクタは Molex 社製 074441-0010SFP+ 規格コネクタを使用。通信速度 10Gbps で設計している。

- JTAG コネクタ

PL コンフィギュレーションに用いる。コンフィギュレーションを行うには専用モジュールである互換ケーブルが必要。PL を通じてメザニンカードへのコンフィギュレーションも可能なように設計している。コネクタは Molex 社製 0878311420 を使用。

- microUSB-JATG 変換コネクタ

互換ケーブルがなくとも PL にコンフィギュレーションができるように設置。動作テスト時互換ケーブルが複数台必要になった場合に有用。microUSB コネクタと変換 IC が一体化した Digilent 社製 210-251 を搭載。JTAG コネクタと同じくメザニンカード上の FPGA へのコンフィギュレーションが

可能。

- VME バスコネクタ  
3V の電源供給用。信号は PL に接続されていて、VME を通じての操作も可能。
- NIM コネクタ  
外部クロックを入力できる。ジャンパーピンにより出力への切り替えも可能。LEMO 社製 EPL.00.250.NTN を使用。
- DDR3  
PL 用のメモリ。アルゴリズム処理への入出力データの保存を行うことができる。PS 用の DDR3 メモリと同じ Micron Technology 社製 MT41J128M16JT-125:KTR を 1 つ搭載。容量は 2Gb。

### FMC HPC コネクタ

PT-Z はメザニンカードの増設を念頭に ANSI/VITA 57.1 規格 FPGA Mezzanin Card High Pin Count(FMC HPC) コネクタを搭載している。なお M2C は Mezzaninn to Chassis(本体)、C2M は Chassis to Mezzanin の略である。

- 汎用差動信号線：33 ペア  
2.5V 汎用差動信号線。
- DP 高速差動信号線：M2C 及び C2M それぞれ 8 ペア  
Display Port 用高速差動信号線。FPGA からのデータ入出力を想定している。
- GTX 通信信号線：1 ペア  
3 台ある SFP+ モジュールの内 1 台と接続。Zynq を介さずにメザニンカードへ直接入出力を行う。
- M2C クロック信号線：4 ペア  
メザニンカードからのクロック信号を PL に接続する。
- JTAG 信号線  
メザニンカード上の FPGA へのコンフィギュレーションを可能にしている。コンフィギュレーションの切り替えについては次節. 特徴にて後述。
- I2C 信号線：1 ペア  
PL からメザニンカードへの I2C によるコントロール線。

## 6.6 特徴

PT-Z は搭載されている Zynq-7000 により様々な特徴を持っている。

### 6.6.1 ブートモードの選択

電源投入 (ブート) と同時にコンフィギュレーションを行えるブートモードに選択することができる。SD ブートモードと QSPI ブートモードがあり、ジャンパーピンで切り替える仕様になっている (図 6.10)。

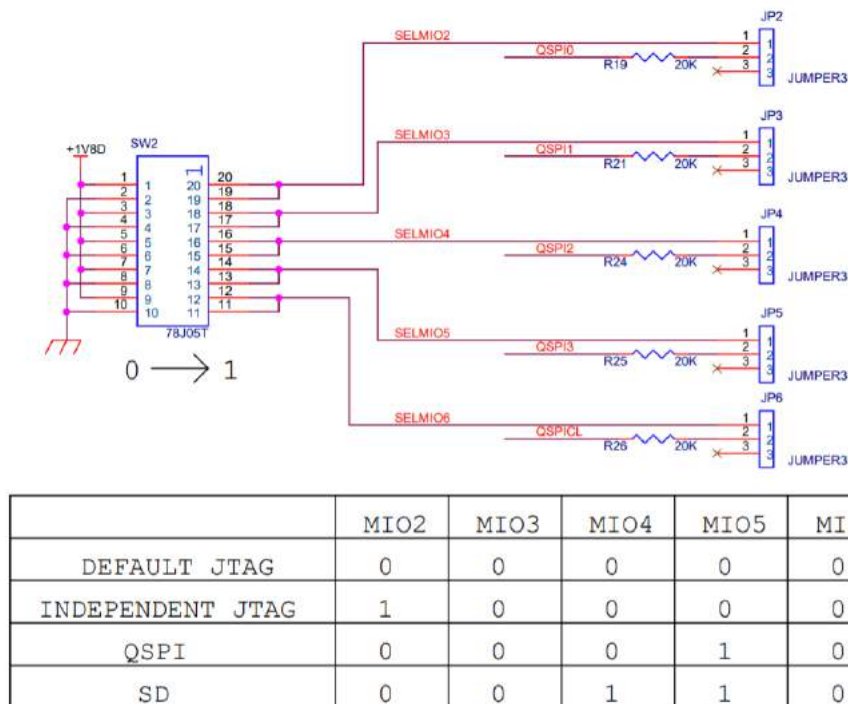


図 6.10: ブートモード切替ジャンパーピンの回路図とピンテーブル。

## 6.6.2 クロック選択

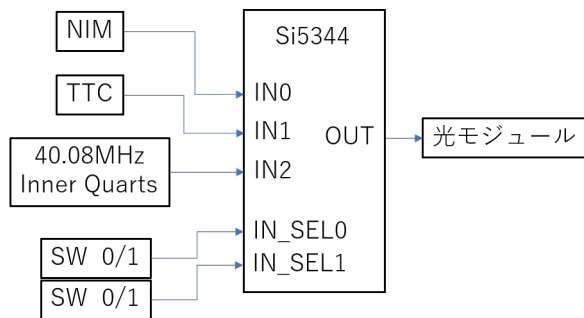
PT-Z には NIM、TTC またはメザニンカードからの 2 種類の外部クロック、及びボード上に搭載されている内部 40.08MHz 水晶クロックがある。それぞれのクロックは図 6.11 に表す様に DIP スイッチにより入力切替が可能である。PT-Z では Silicon Labs 社製クロック調整デバイス Si5344 によりクロックの合成を行い、GTX 通信に用いることができる。Si5344 は I2C により PS から制御でき、同じく Silicon Labs 社製ユーザーユーティリティ Clock Builder Pro(図 6.12) を用いて容易にクロックの制御を行うことができる。Clock Builder Pro はプログラミング言語によって開発されているものであるので、従来の FPGA に搭載するのは困難であり、OS 搭載可能な Zynq によりインストールを容易に行うことができる。クロックの合成、ジッター除去を行うことができる。

## 6.6.3 コンフィギュレーションモード選択

PT-Z では以下のようなコンフィギュレーションモードを想定している。

- ホスト PC による Zynq へのコンフィギュレーション
- ホスト PC によるメザニンカード上 FPGA へのコンフィギュレーション
- Zynq をホストとしたメザニンカード上 FPGA へのコンフィギュレーション

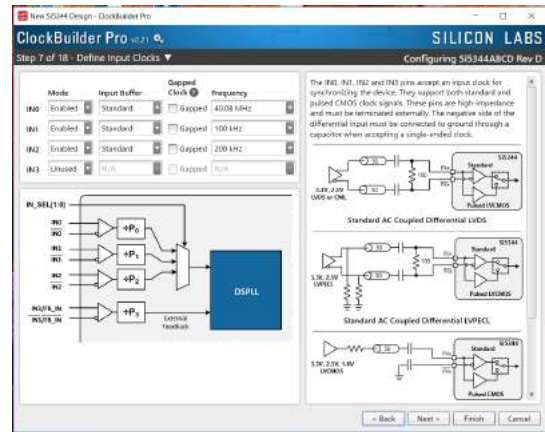
JTAG は TCK、TMS、TDI、TDO の 4 種類の信号線を用いる。TCK、TMS、TDI は入力信号で、TDO は出力信号であり、コネクタ-FPGA-コネクタ間を 1 周する (JTAG Chain)。スイッチングには TS5A23159DGS



IN_SEL0	IN_SEL1	INPUT
0	0	IN0
1	0	IN1
0	1	IN2

図 6.11: Si5344 と DIP スイッチによるクロック選択

の回路図。GTX 通信のクロックに用いることができ 図 6.12: Clock Builder Pro。GUI により容易にクロック合成を行うことができる。



及び SN74LVCM244APW のマルチプレクサーを用い、ジャンパーピンによる High、Low 入力で選択を行う。図 6.13 に PT-Z の JTAG Chain を示す。

## 6.7 応用検証例

エンドキャップミューオンセクターロジックモニタリングにおける Zynq の応用を検証するための、PT-Z を用いた評価試験方法を説明する。

### 6.7.1 SEU に対するモニタリング

メザニン上の FPGA に対する Zynq のコントロールの検証を行う。検証模式図を図 6.14 表す。各ブロックの接続は以下。

- ZynqPS には microSD から Linux イメージを起動、Ethernet を通じてホスト PC と接続している。
- メザニン上 FPGA からは DP 信号線で PL の GTX ブロックにデータを送信、AXI バスを通じて ZynqPS にて解析を行う。
- ZynqPS から PL の I/O ブロック、コンフィギュレーションブロックを通じてメザニン上の FPGA を I2C でコントロール、JTAG でコンフィギュレーションを行う。

### 6.7.2 アプリケーションを用いたデータ制御の検証

ZynqPS によるデータ解析能力の検証を行う。検証模式図を図 6.15 表す。各ブロックの接続は以下。

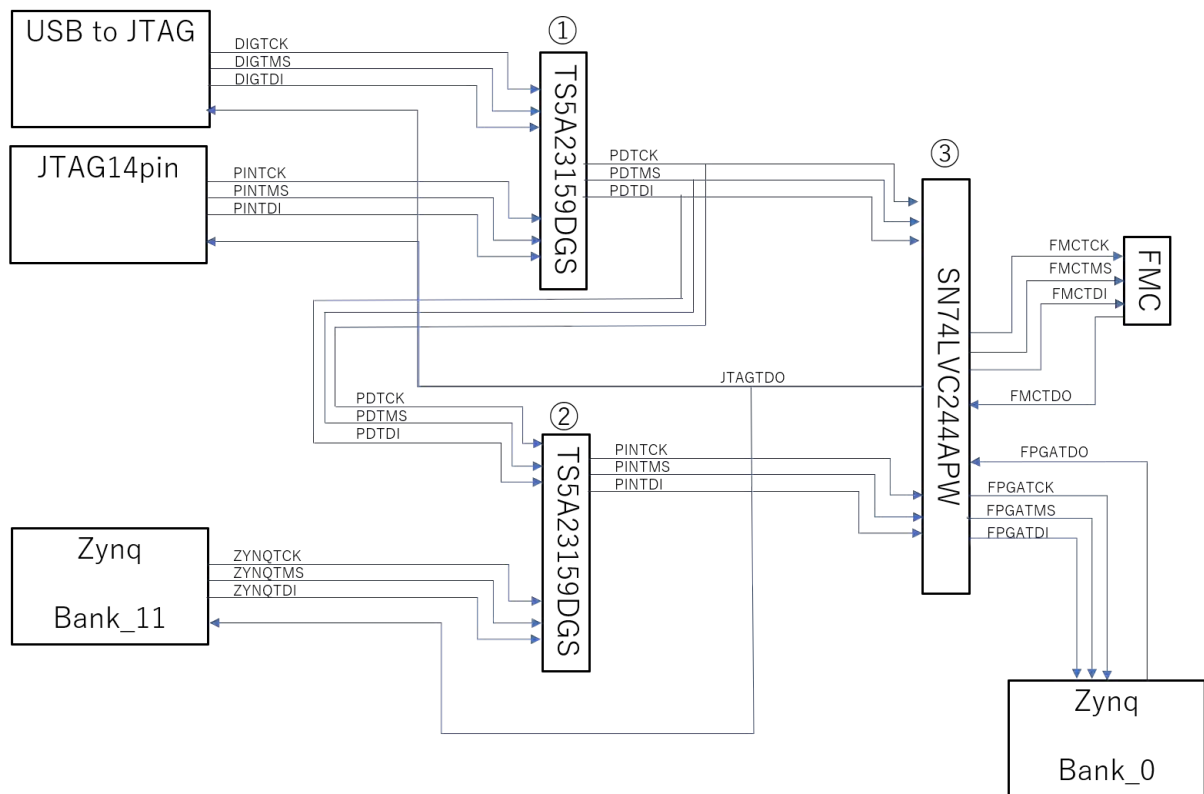


図 6.13: PT-Z の JTAG Chain 図。JTAG/USB-JTAG コネクタから JTAG 信号線を入力する。コネクタの選択はマルチプレクサー①で行う。Zynq をホストとする場合は PL の Bank\_11 から JTAG 信号線を入力する。マルチプレクサー②でホストを選択する。Zynq をコンフィギュレーションする場合は Bank\_0 へ、メザニンカード上 FPGA をコンフィギュレーションするには FMC へマルチプレクサー③にて選択する。

- メザニン上 FPGA からデータを PL で受け取り、PS で microSD 搭載 OS、アプリケーションで解析し Ethernet から出力する。
- メザニン上 FPGA から GTX で Zynq を介さずに PT-Z 上光モジュールからそのまま出力、外部 PC で解析、出力し、結果を比較することで Zynq の SL モニタリング能力の検証を行う。

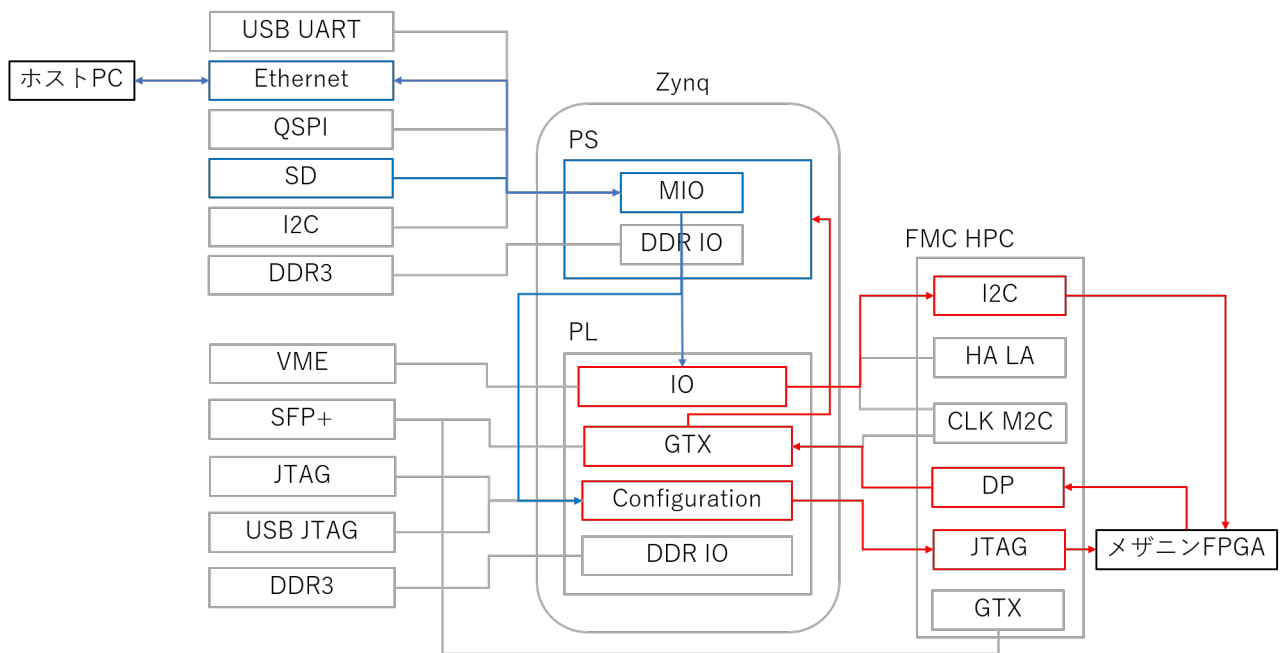


図 6.14: PT-Z を用いた他モジュール FPGA へのコントロール、モニタリング検証。

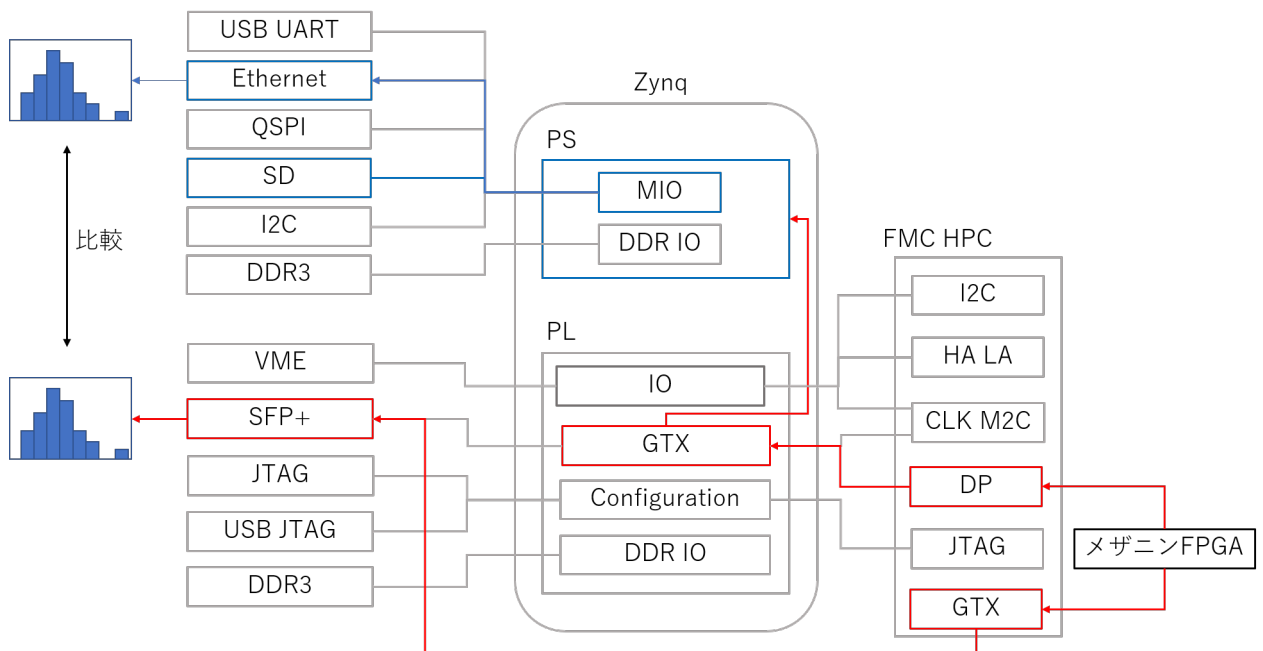


図 6.15: PT-Z を用いた解析結果の比較によるモニタリング能力の検証。



## 第7章

# 結論

ATLAS 実験は HL-LHC の高ルミノシティ化に対応するための Phase-2 アップグレードを行う。エンドキャップトリガーシステムにおいては BW の TGC 検出器からの全信号及び Inner 検出器 (NSW、BIS7/8、Tile カロリメーター、EIL4 TGC) からのヒット情報を計測室に転送し、アルゴリズム処理を行う新トリガーシステムを構築する。

エンドキャップトリガーにおけるフロントエンドからのデータ転送と計測室でのアルゴリズム処理には FPGA を用いるが、フロントエンドは高放射線環境であり FPGA は SEU による作動不良を起こす。また計測室の FPGA はアルゴリズム処理のために大規模なものになるので、各々の FPGA にはモニタリングシステムが必須となる。

FPGA の大容量・高速データ処理能力と CPU の逐次処理能力を併せ持つ Zynq は、データの一部を受け取り解析する手法により、高放射線環境下に使用される FPGA と、大規模 FPGA 搭載巨大システムのモニタリングを行うことができると考えられる。

本研究では、ATLAS 実験エンドキャップミュオントリガーシステムのモニタリングシステムにおける Xilinx 社製 SoC デバイス Zynq の有用性を評価するために、Zynq を用いたプログラム開発手法の検証と、Zynq 搭載評価試験 VME ボード PT-Z の開発を行った。プログラム開発手法の検証では開発ツールの欠陥とその回避方法を発見し、PT-Z のプログラム搭載の準備を行った。PT-Z は VME6U サイズの汎用ボードで、その開発は搭載機能と部品の選定から始まり、Zynq とモジュールの接続の最適化検証、電圧毎の信号線の配分、必要な電源とそのレギュレーターの選定、機能ブロック図と回路図の作成を行った。現在 PT-Z の設計は完了し、基板作成の段階にある。

PT-Z 完成後には Zynq を用いたプログラム開発検証にて得られた手法により動作プログラムを作成し、動作点検を行い、モニタリングシステムにおける Zynq の有用性の評価試験を行う予定である。

## 付録 PT-Z 回路図

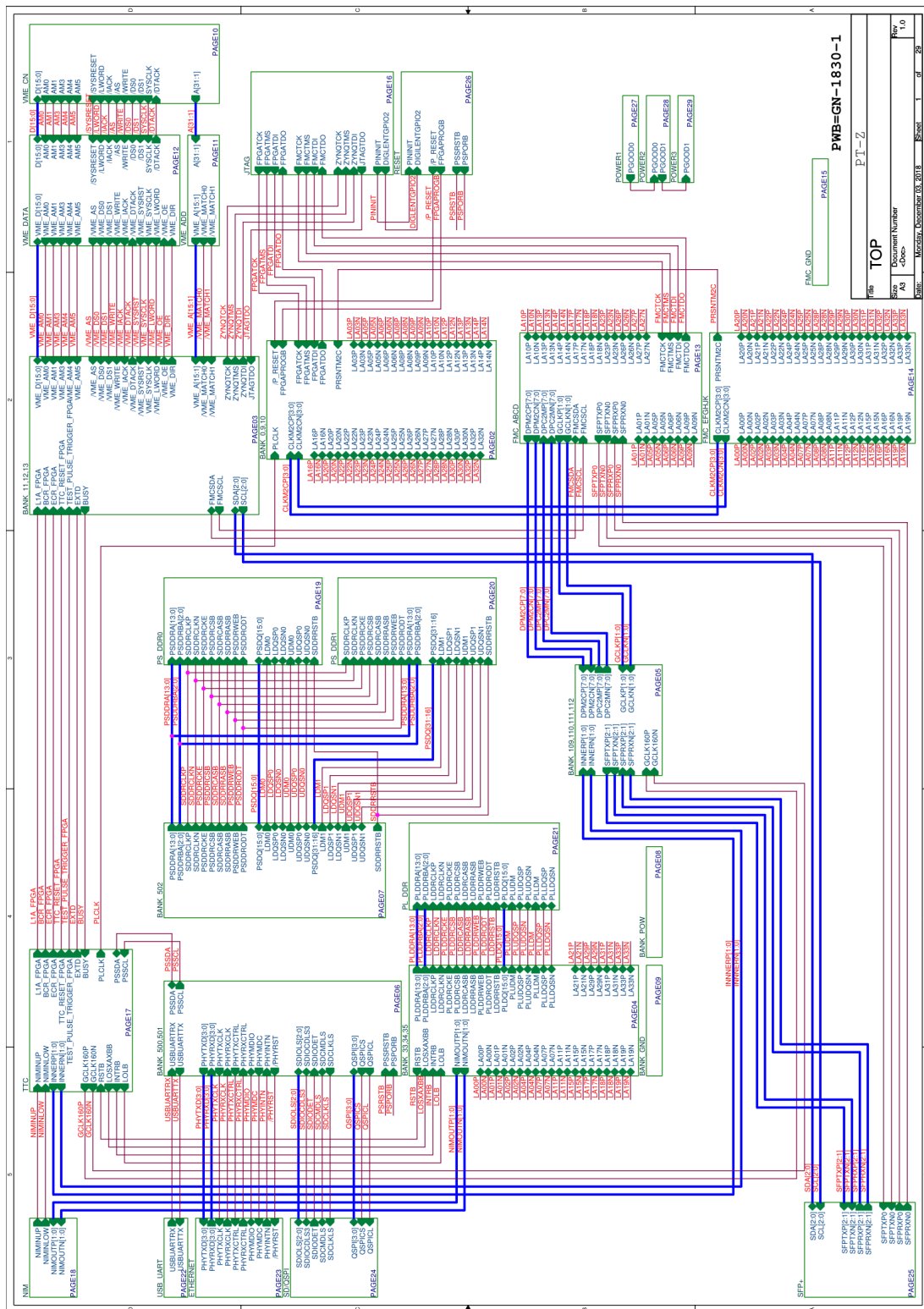


图 1: PT-Z 回路图 1 層目: 階層图

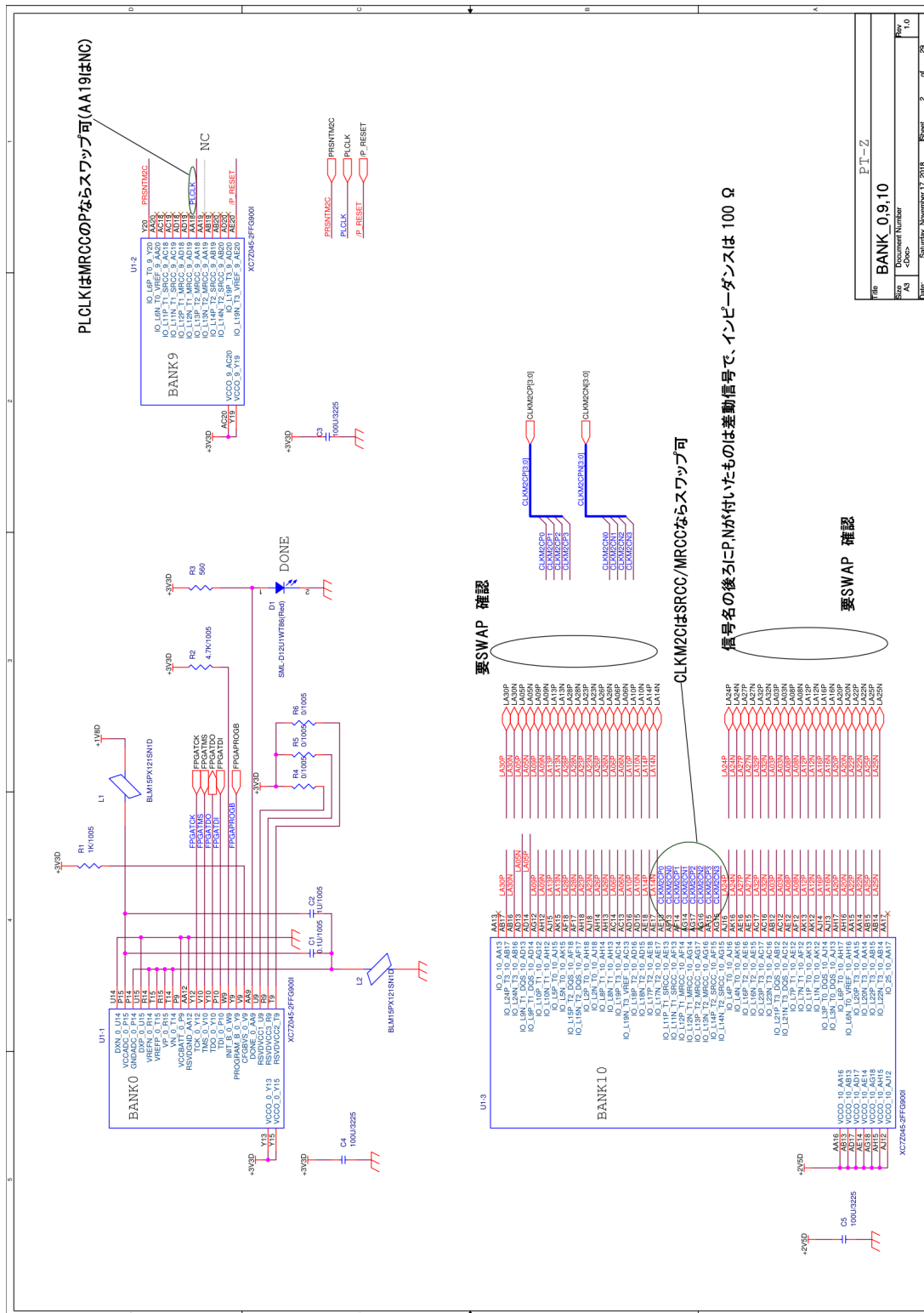


図 2: PT-Z 回路図 2 層目: Zynq のコンフィギュレーションバンク (BANK0) と PL バンク (BANK9/10)。BANK10 はメザニン接続。

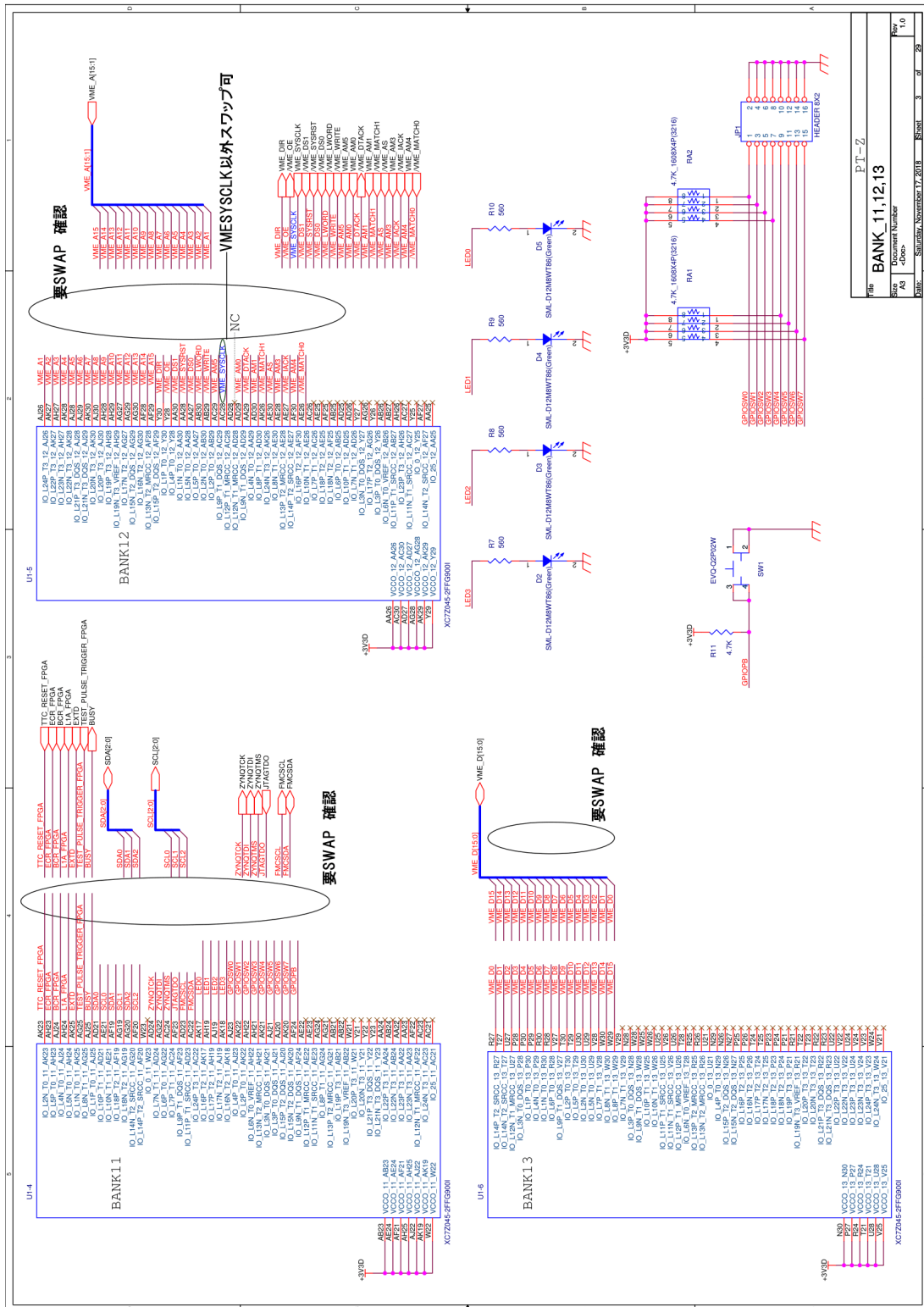


図3: PT-Z回路図3層目: ZynqのPLバンク (BANK11/12/13)。BANK12/13はVMEバス接続。

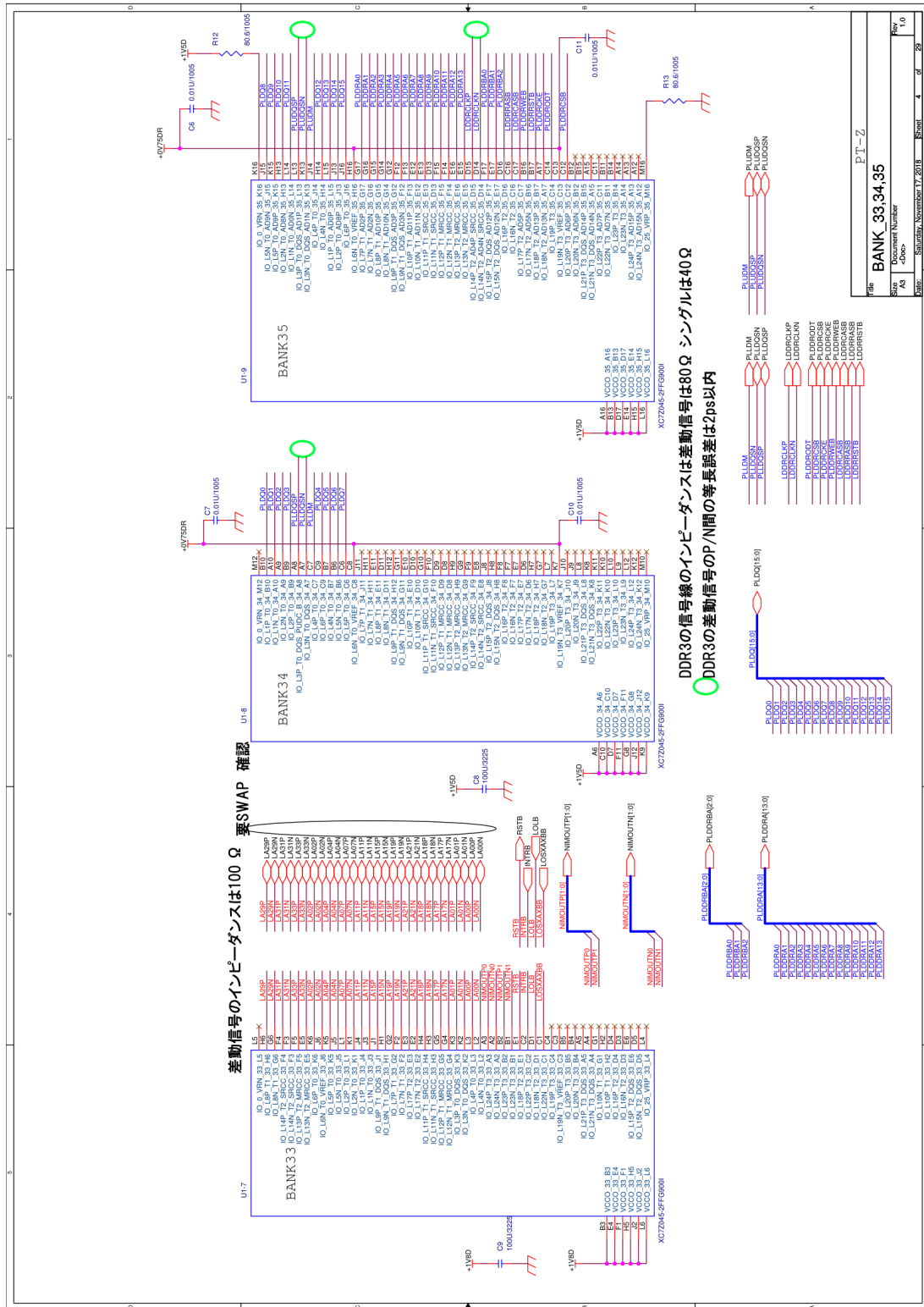
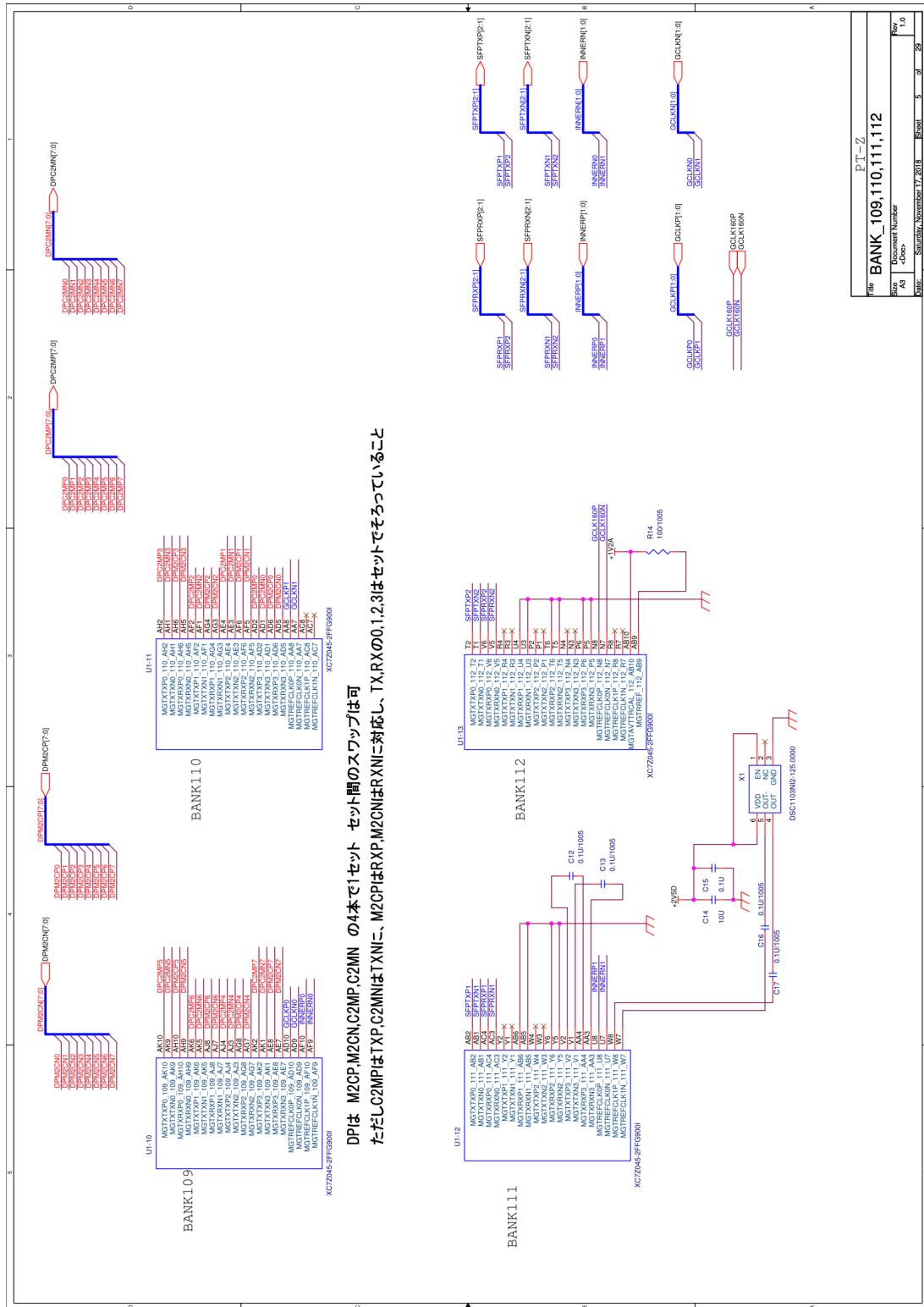


図 4: PT-Z 回路図 4 層目 : Zynq の PL バンク (BANK33/34/35)。BANK33 は主にメザニン接続。BANK34/35 は PL 用 DDR 3 メモリ接続。



PT-Z	
File	BANK_109,110,111,112
Sheet	1 of 1
Document Number	
Rev	1.0
Author	A3
Check	4000
Date	Saturday, November 17, 2018 16:01 5 of 28

図 5: PT-Z 回路図 5 層目 : Zynq の PL バンク (BANK109/110/111/112)。BANK109/110 は主に Dispy Port のメザニン接続。BANK111/112 は GTX 通信用。

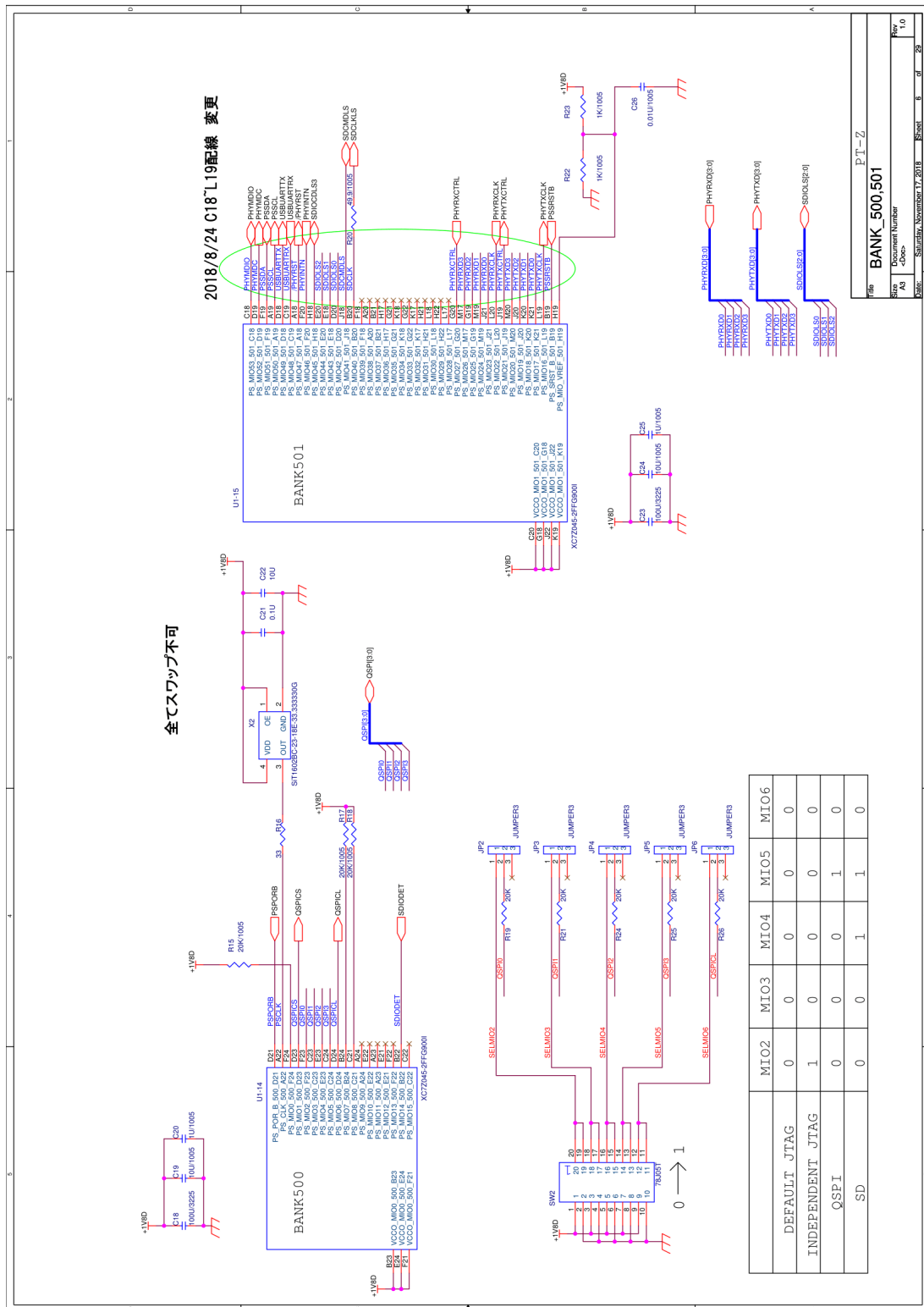
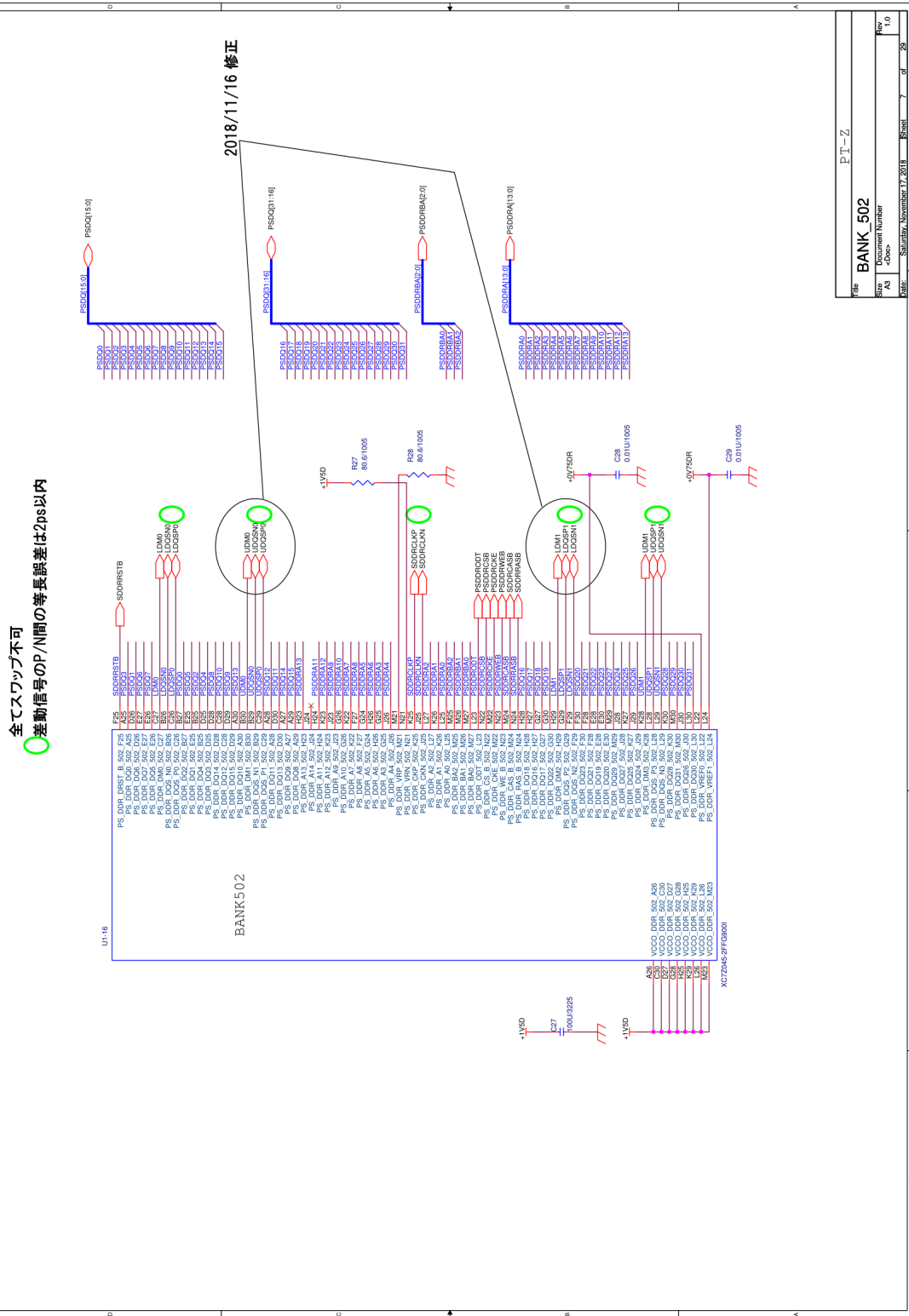


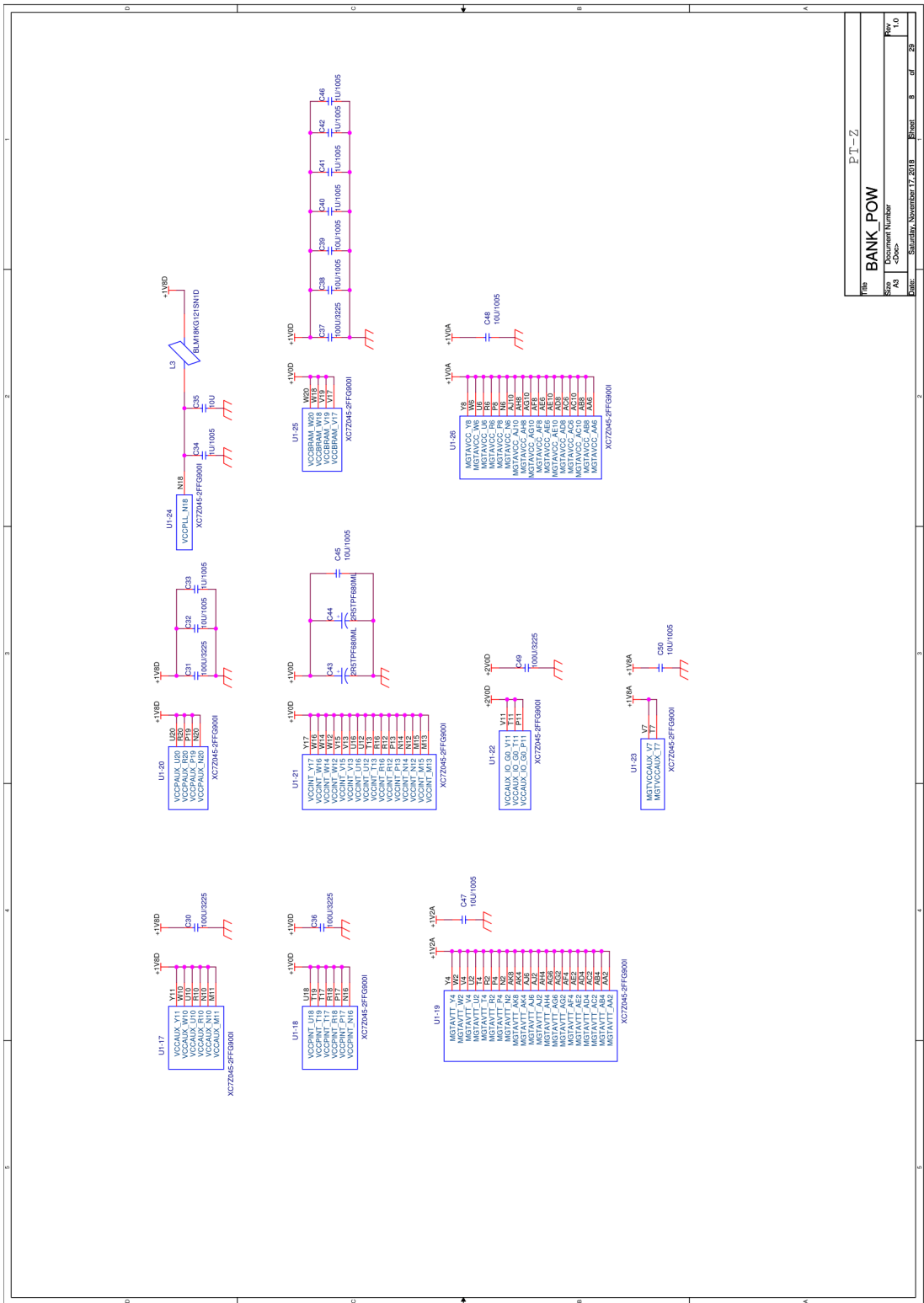
図 6: PT-Z 回路図 6 層目: Zynq の PS バンク (BANK500/501)。BANK500 は主に QSPI フラッシュメモリへの接続。BANK501 は主に SDIO、PHY、I2C、USB-UART への接続。





File	PT-Z	
Sheet	BANK_502	
Rev	Document Number	
As	Date	
By	Author	
File	Saturday, November 17, 2018	Sheet 7 of 28

図 7: PT-Z 回路図 7 層目 : Zynq の PS バンク (BANK502)。PS 用 DDR3 メモリ接続。



PT-Z			
<b>BANK_POWER</b>			
Sheet	1	of	10
Project	Document Number		
Rev	Date		
Author	Saturday, November 17, 2018		
Page	8	of	28

図 8: PT-Z 回路図 8 層目 : Zynq の電源バンク。

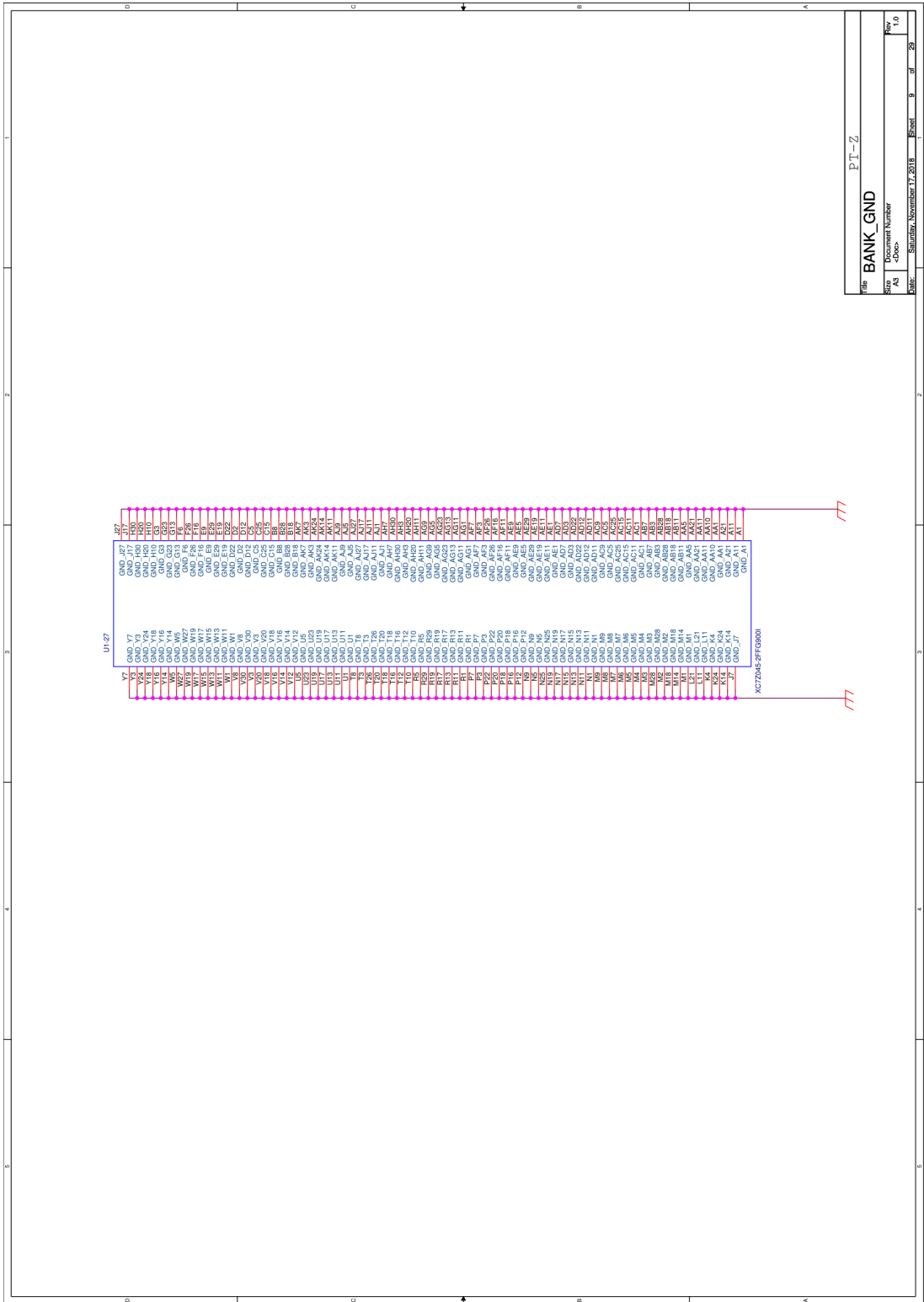
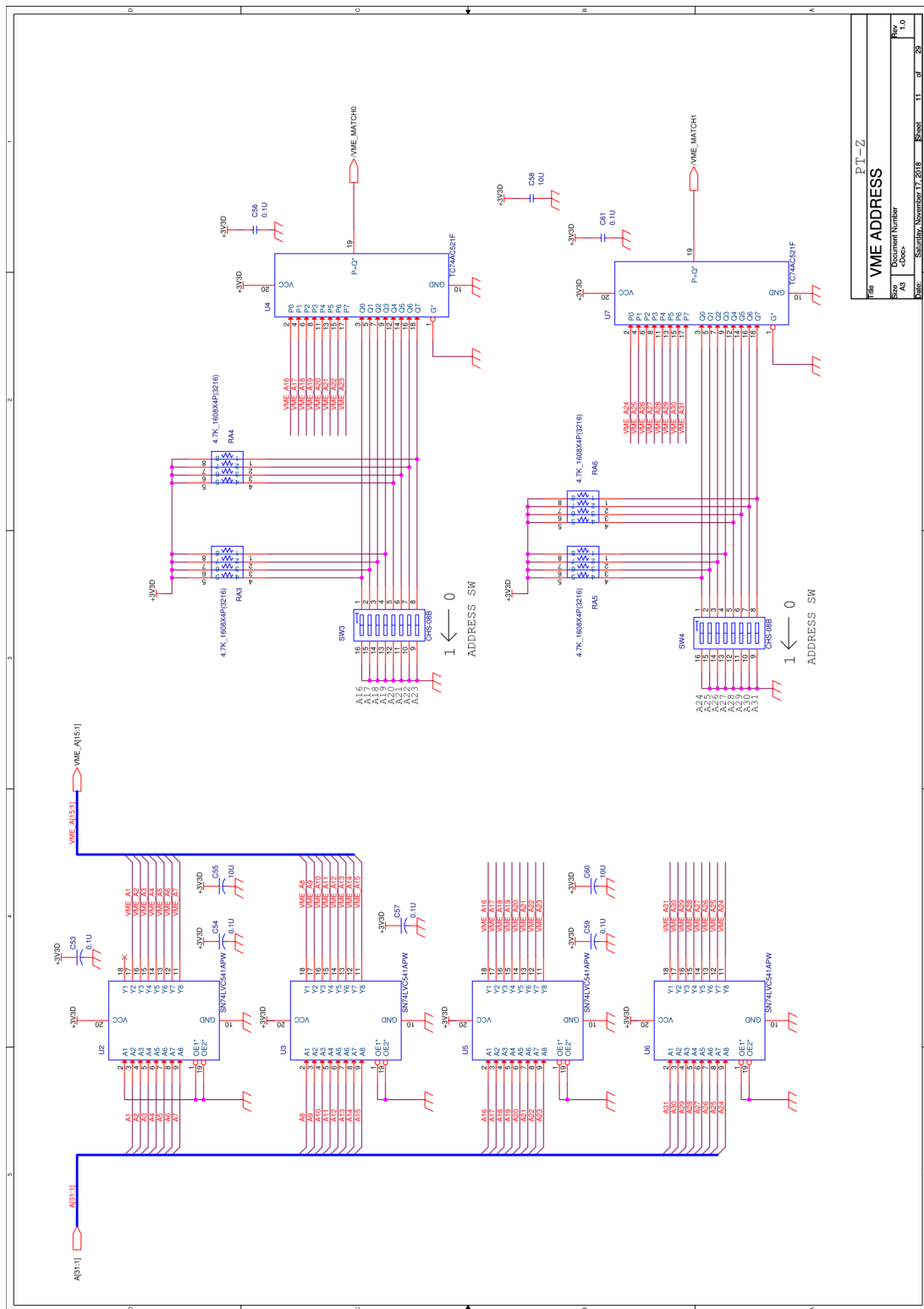


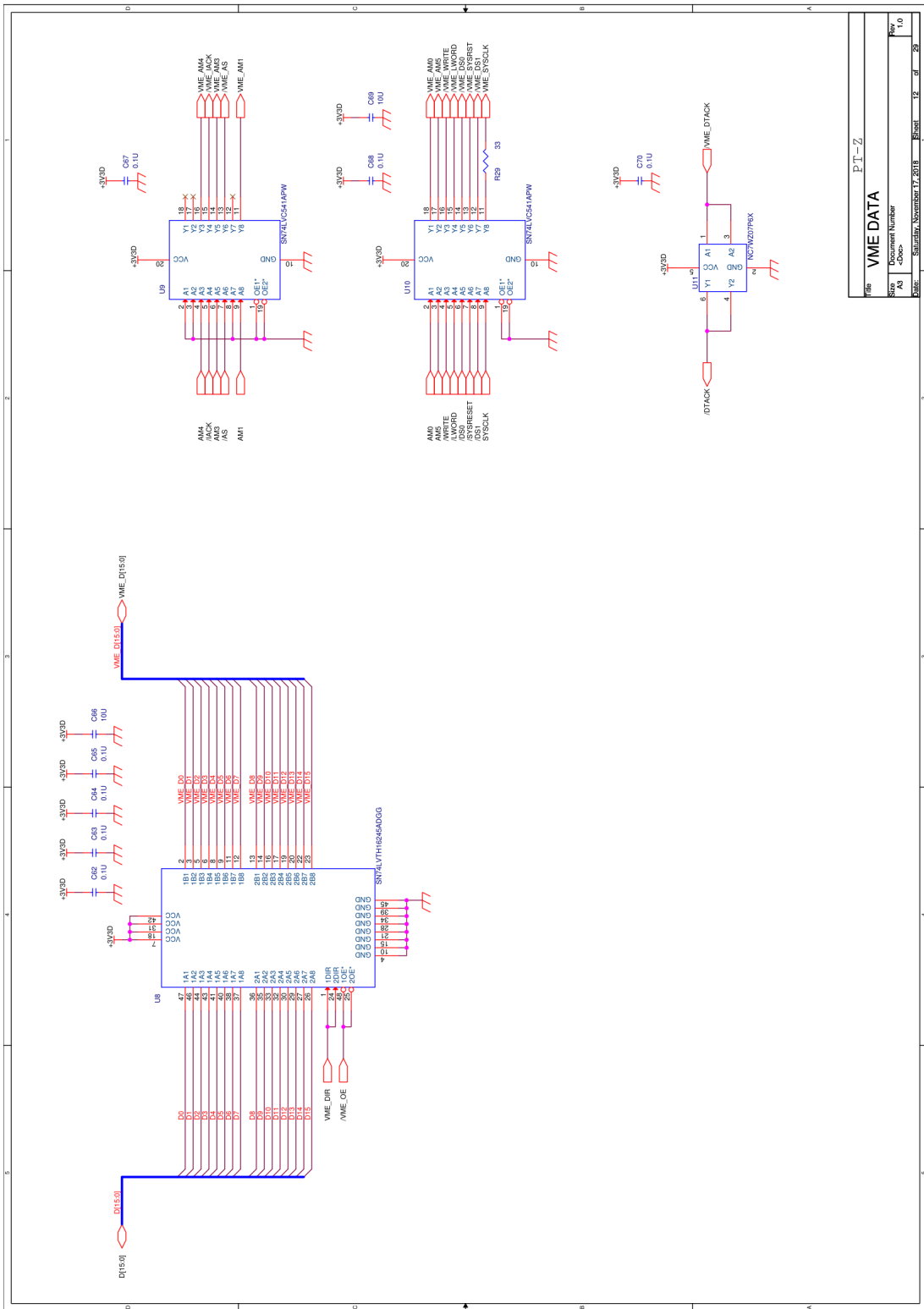
図 9: PT-Z 回路図 9 層目 : Zynq の GND バンク。





Title		PT-Z	
Sheet		1 of 28	
Revision		1.0	
Author	Uchida	Check	
Date	Saturday, November 17, 2018	Sheet	11 of 28

図 11: PT-Z 回路図 11 層目 : VME アドレス線制御



Title		VME DATA	
Project		PT-Z	
Revision		1.0	
Author		J0000	
Date		Saturday, November 17, 2018	
Sheet		12 of 28	

図 12: PT-Z 回路図 12 層目 : VME データ線制御

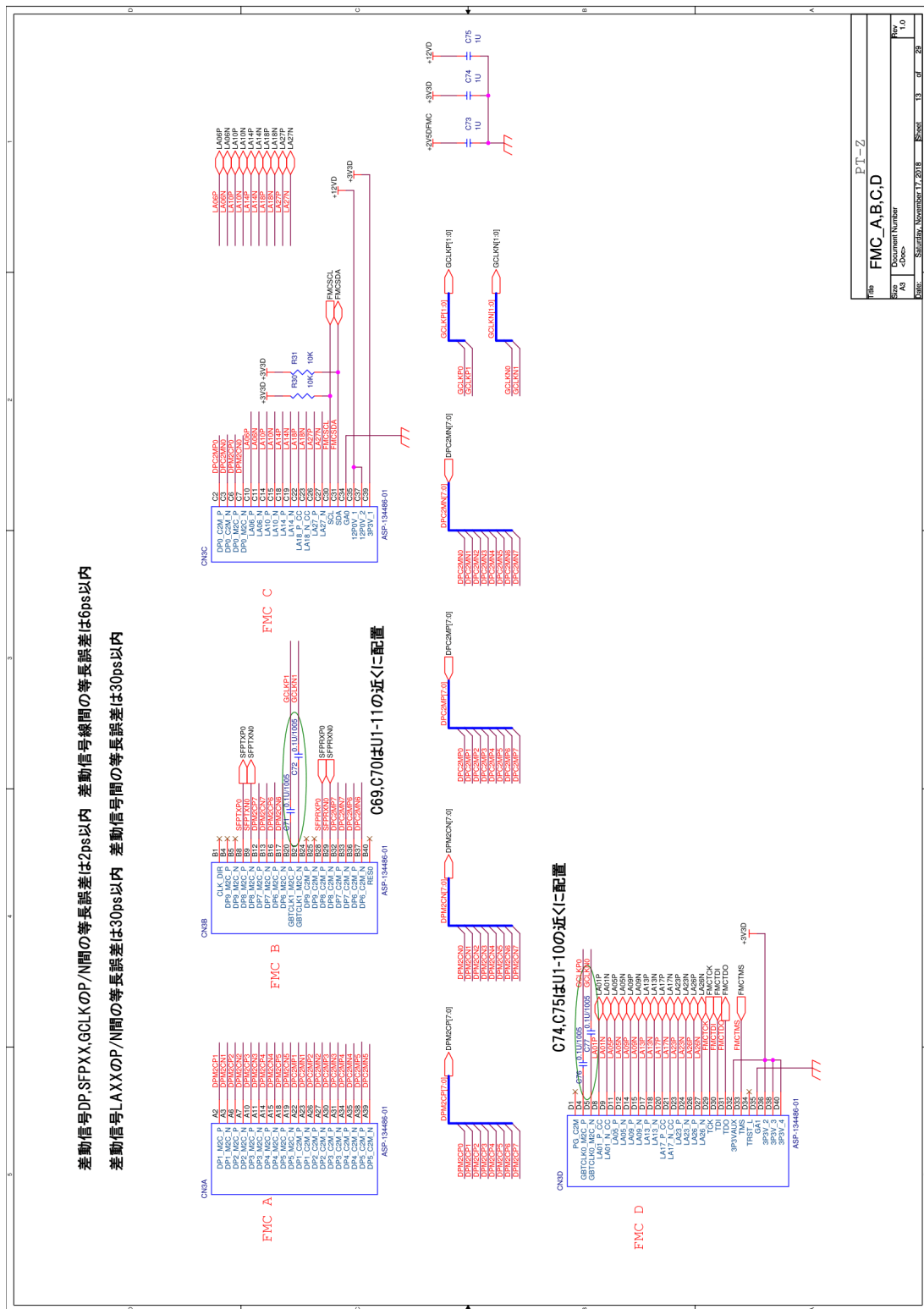
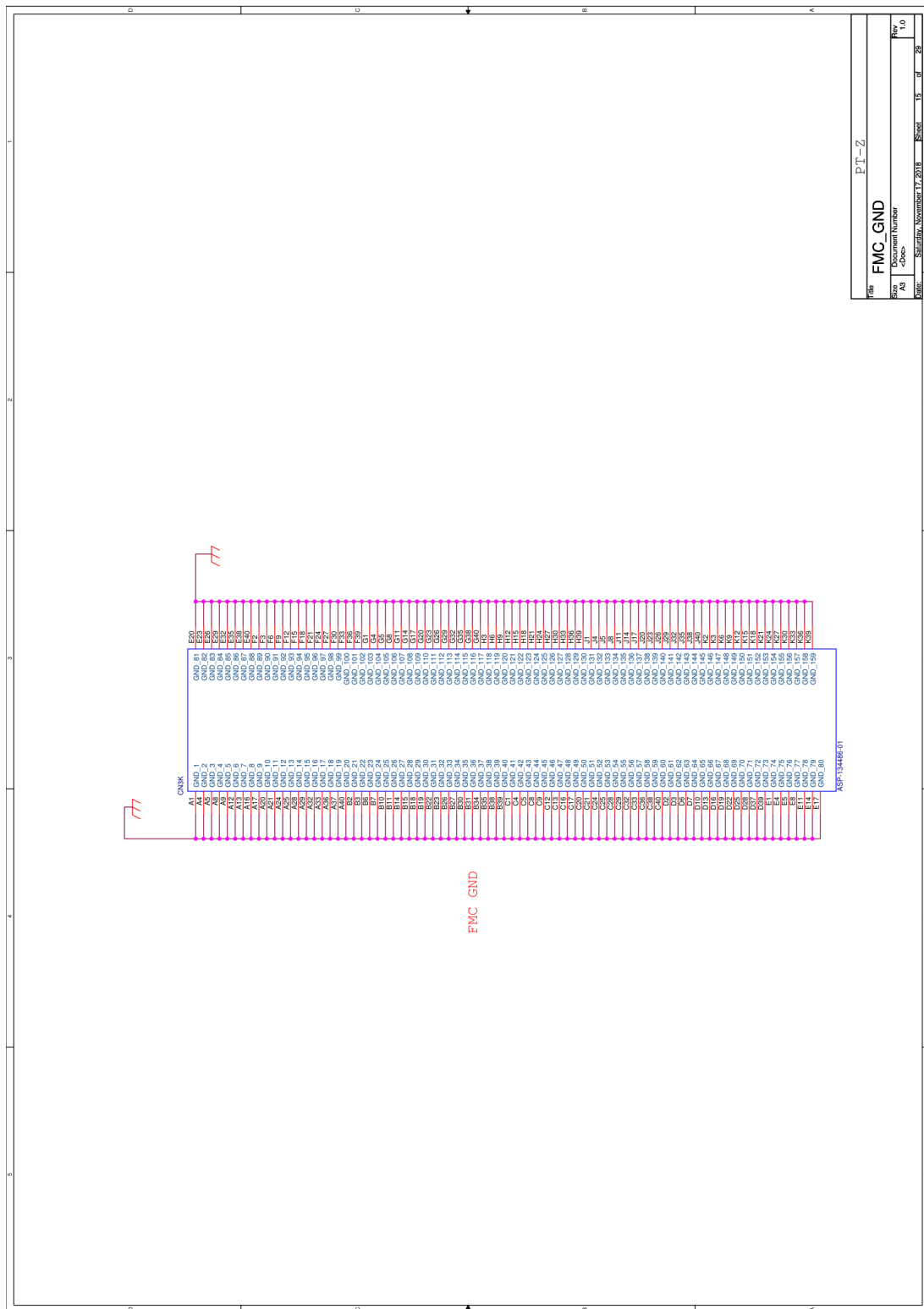


図 13: PT-Z 回路図 13 層目：メザニンコネクタ (A,B,C,D)

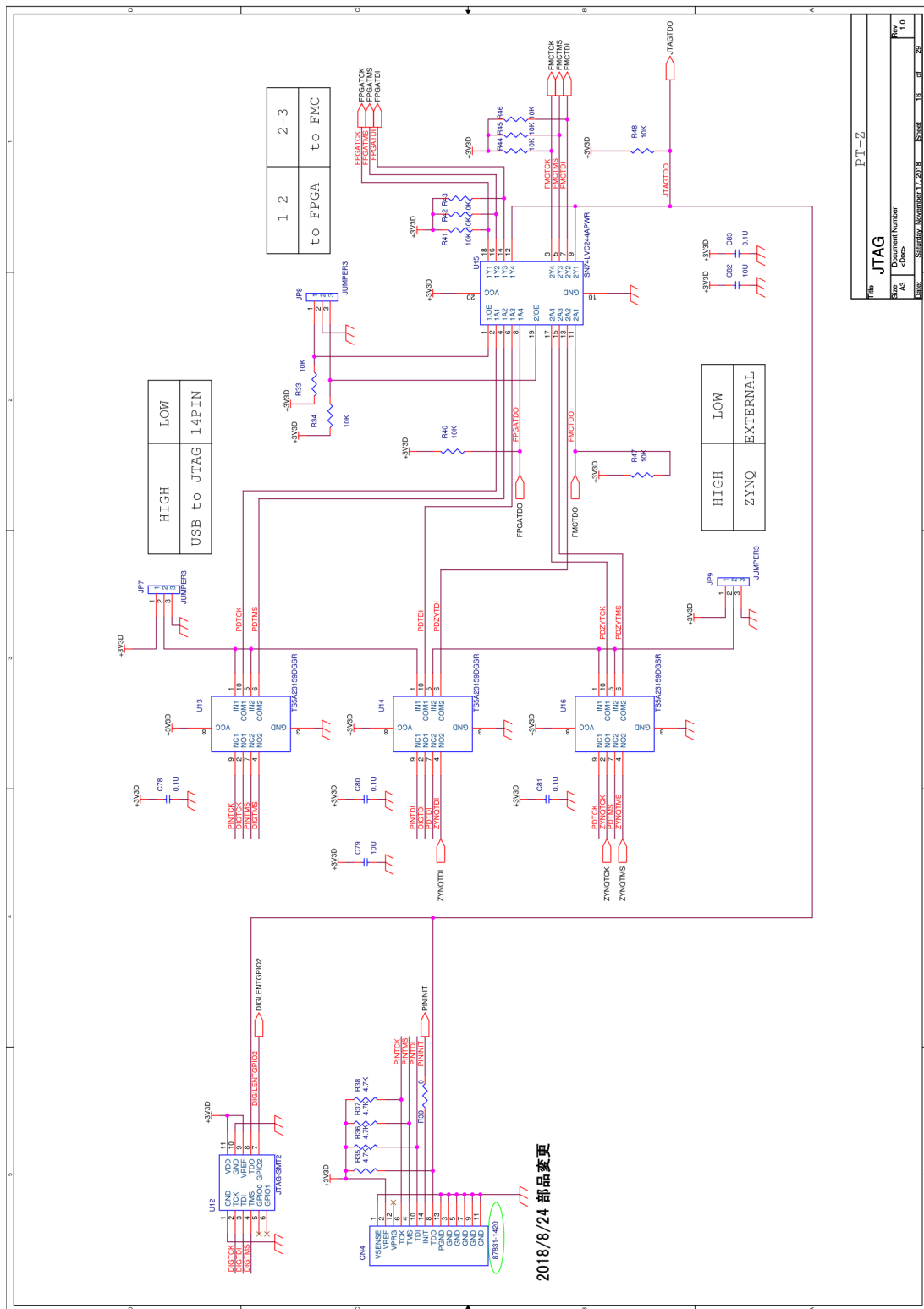






Title		PT-Z	
Part		FMC_GND	
Rev.	Document Number	Sheet	1 of 28
A1	4000	Date	Saturday, November 17, 2018
Author			

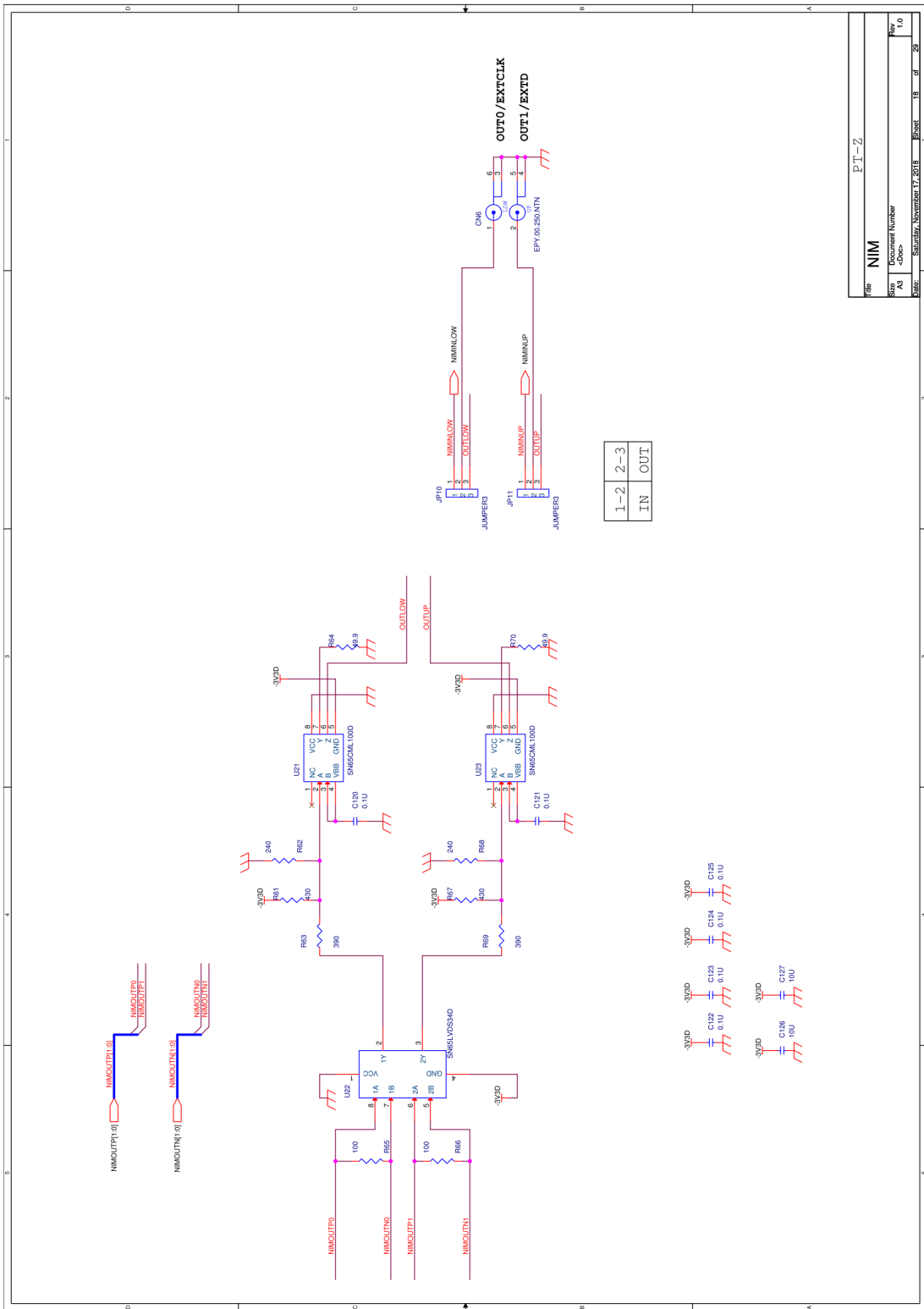
図 15: PT-Z 回路図 15 層目 : メザニンコネクタ GND



PT-Z	
<b>JTAG</b>	
Rev:	Document Number
A1	U0000
Date:	Sheet
Saturday, November 17, 2018	18 of 28
Page:	1 of 1

図 16: PT-Z 回路図 16 層目 : JTAG コンフィギュレーション回路。

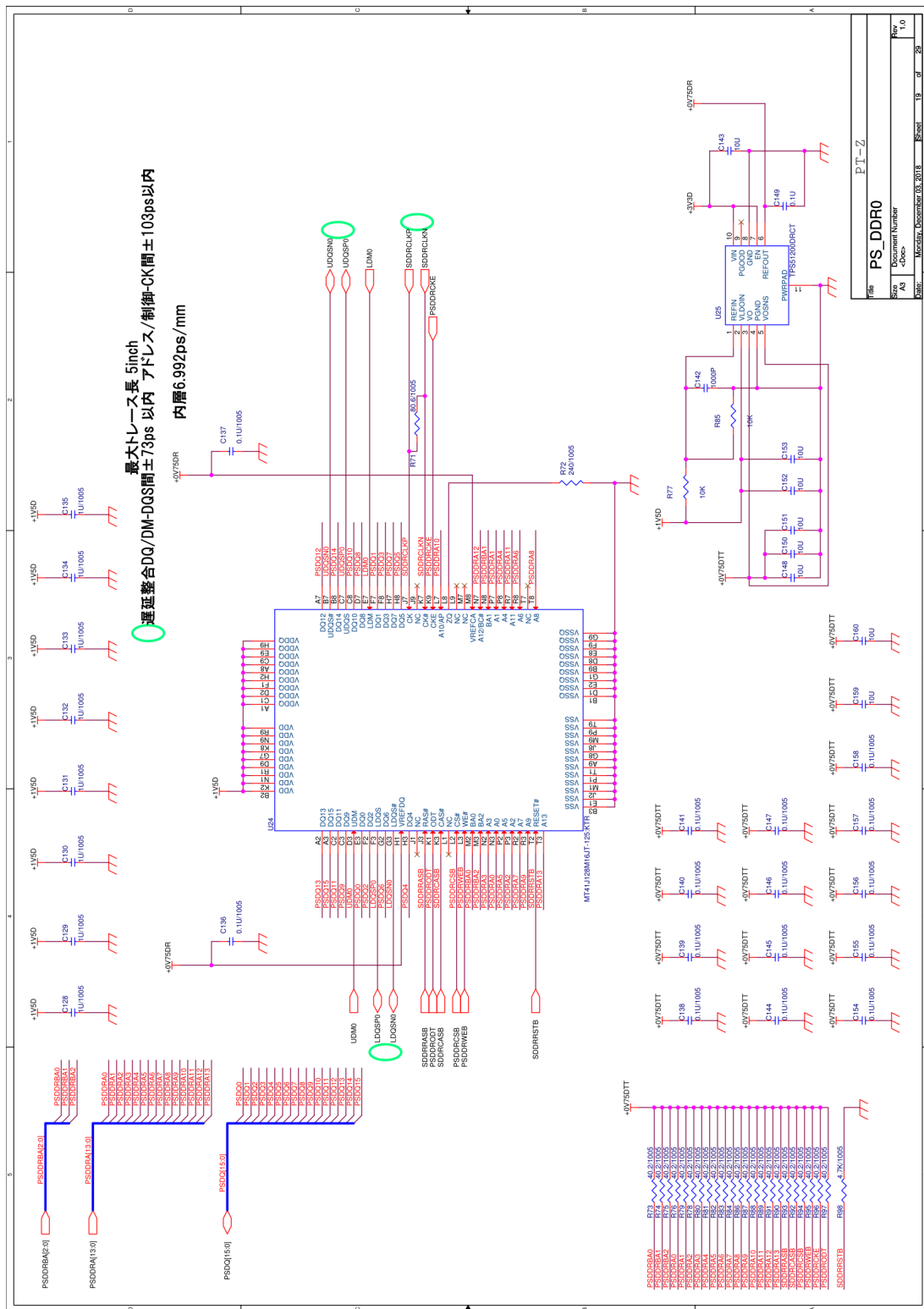




1-2	2-3
IN	OUT

PT-Z	
NIM	
Sheet	Document Number
18	40000
of	1.0
18	Sheet
18	of 28

図 18: PT-Z 回路図 18 層目 : NIM コネクタ。





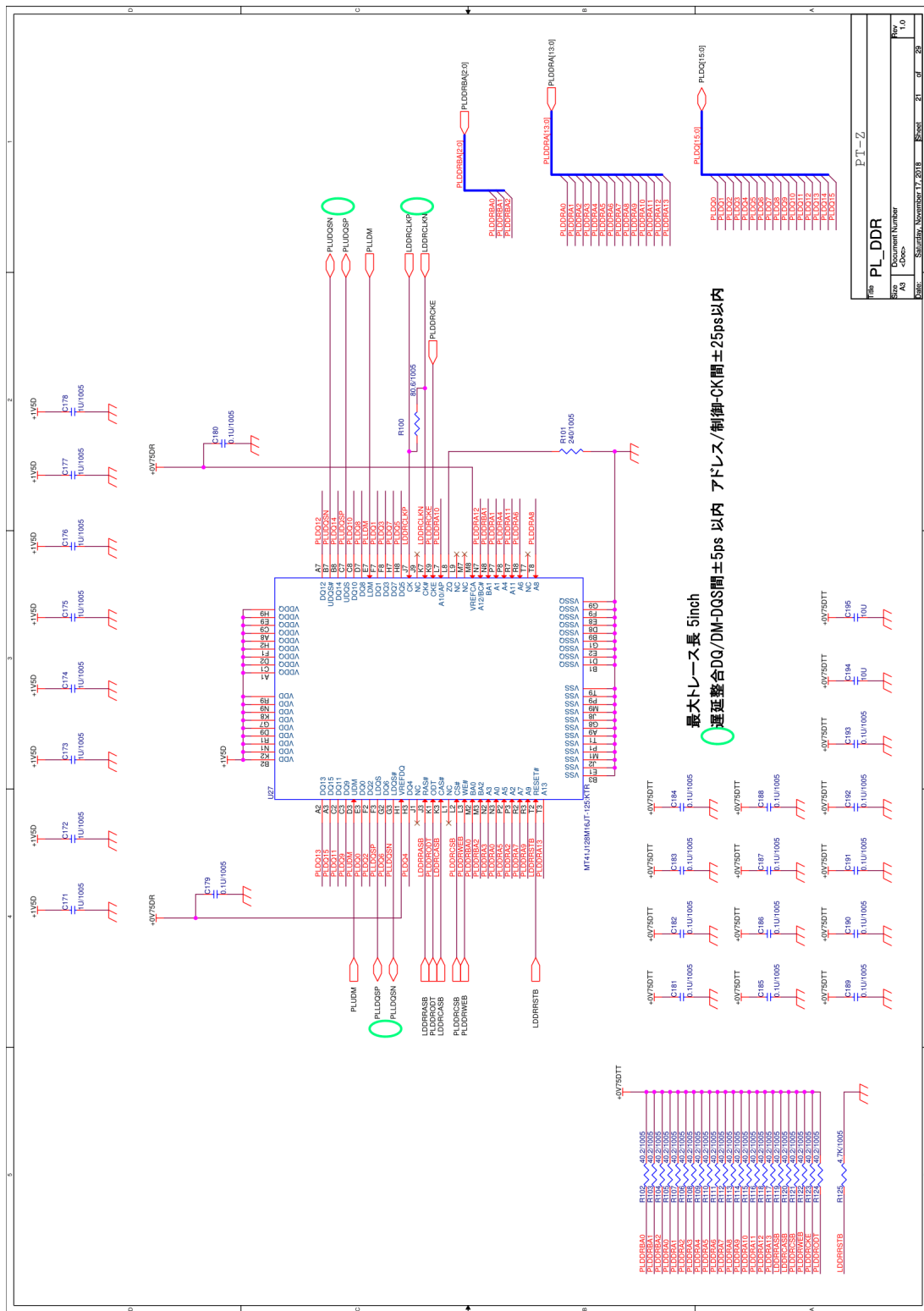


図 21: PT-Z 回路図 21 層目 : PS 用 DDR3 メモリ。







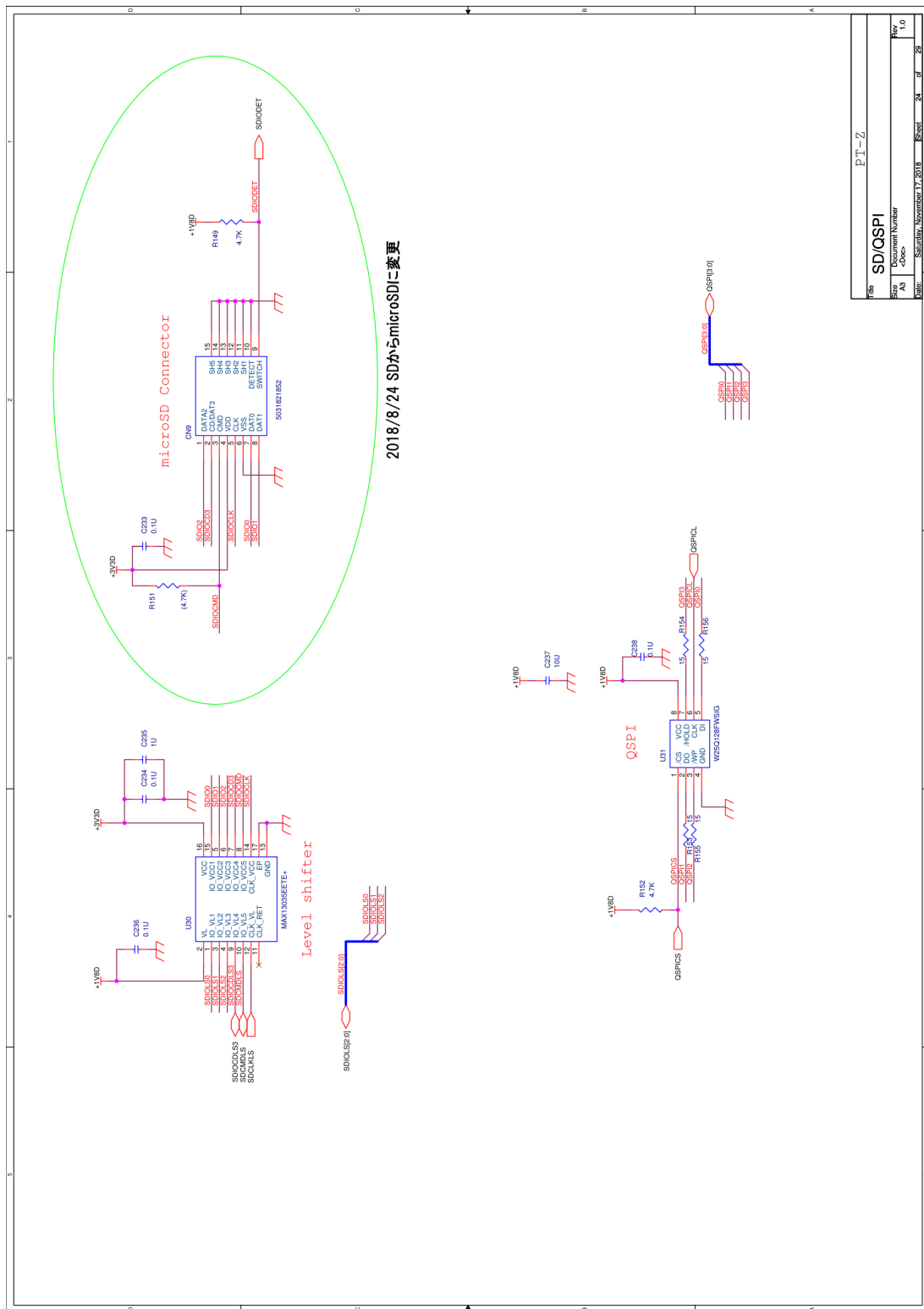
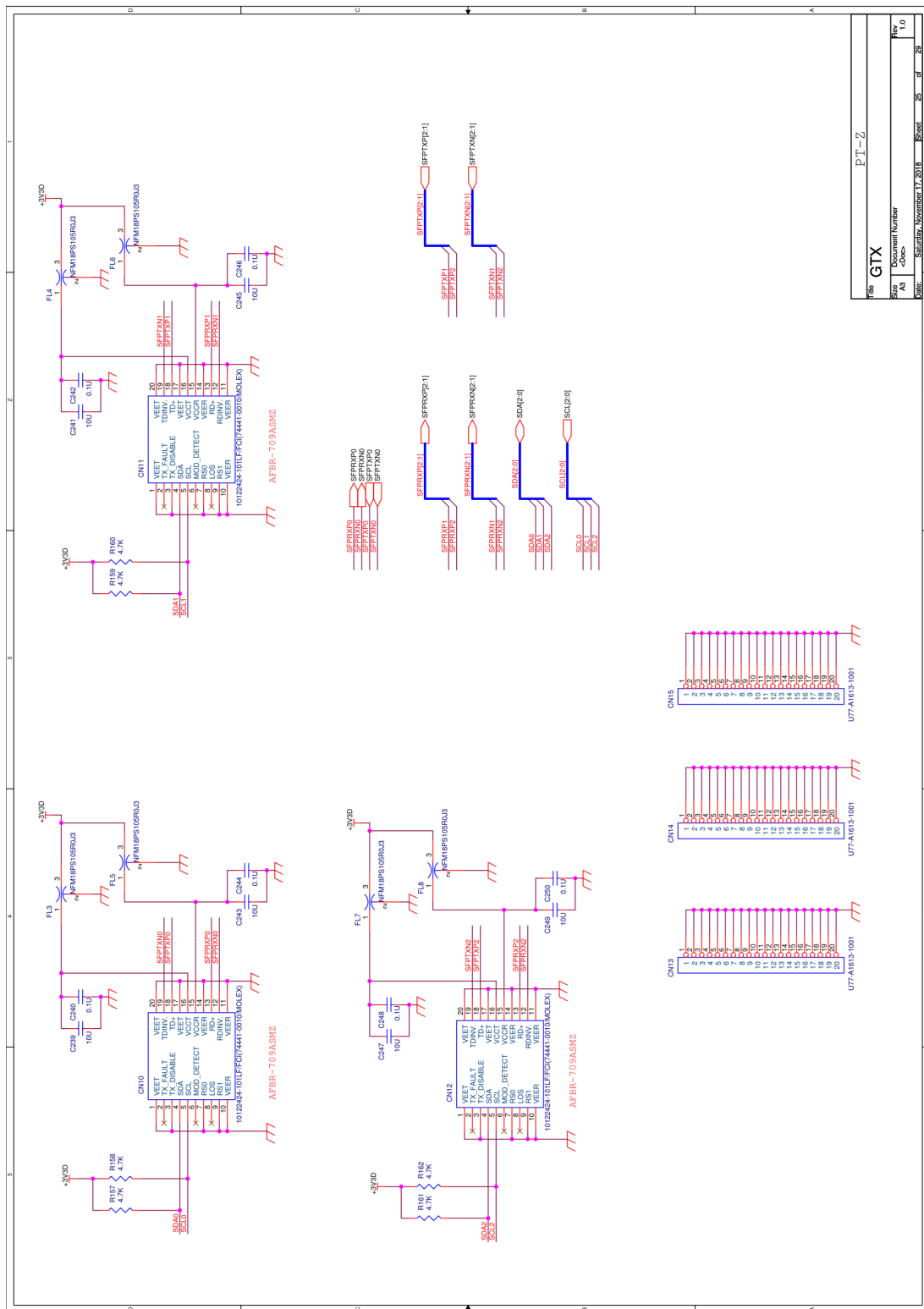


図 24: PT-Z 回路図 24 層目 : microSD モジュールと QSPI フラッシュメモリ。



PT-Z	
GTX	
Rev: 1.0	Document Number: J0600
Date: Saturday, November 17, 2018	Sheet: 25 of 28

図 25: PT-Z 回路図 25 層目 : GTX 通信用 SFP+ モジュール。1 台はメザニンコネクタに接続。

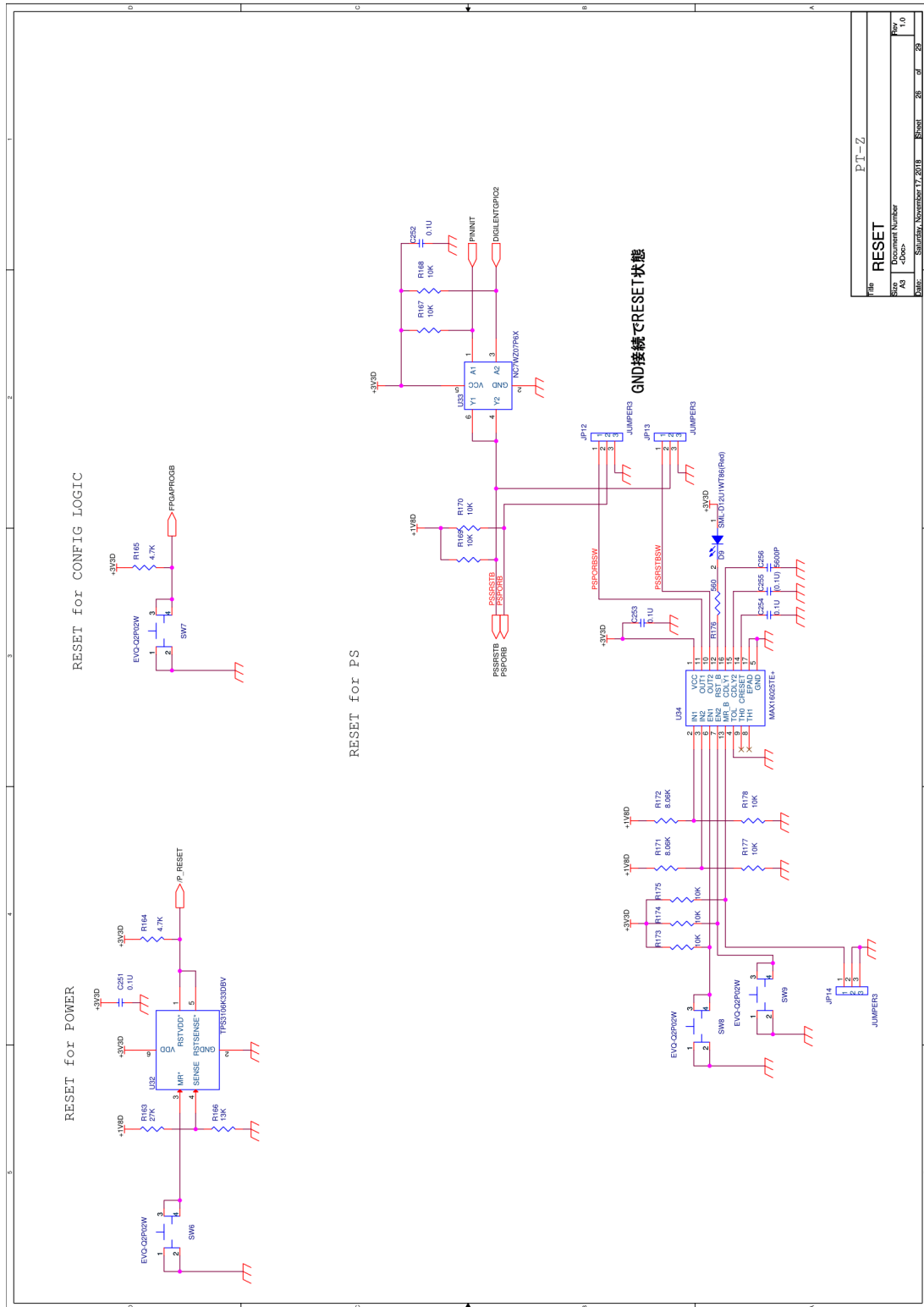
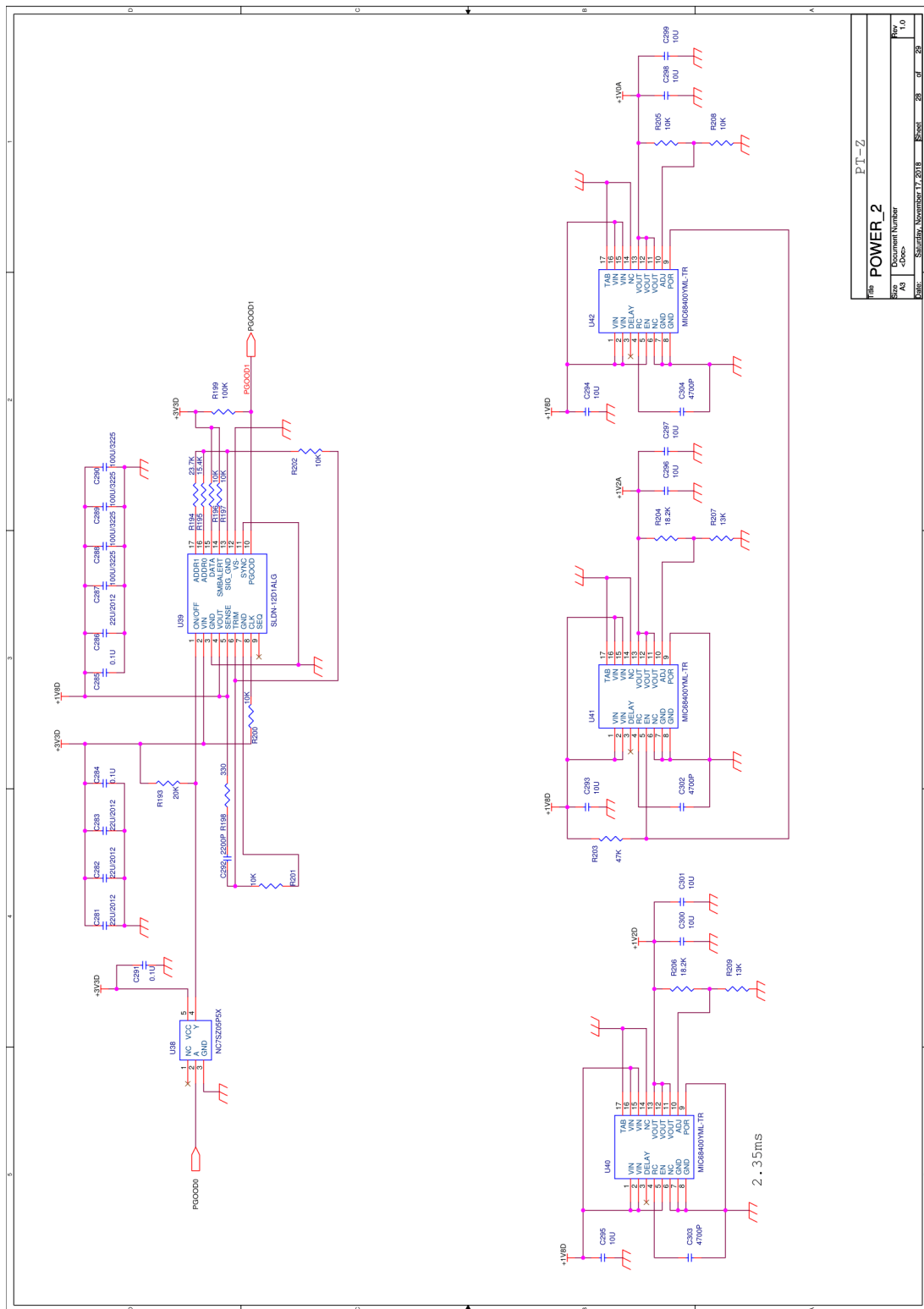


図 26: PT-Z 回路図 26 層目 : PS/PL コンフィギュレーションリセットスイッチとボード電源リセットスイッチ。





File	POWER_2
Sheet	1 of 28
Project	PT-Z
Author	U-Proc
Date	Saturday, November 17, 2018 8:00

図 28: PT-Z 回路図 28 層目 : 電源レギュレーターその 2。



## 参考文献

- [1] Peter W. Higgs. Broken symmetries, massless particles and gauge fields. *Phys. Lett.*, Vol. 12, pp. 132–133, 1964.
- [2] The HL-LHC project. <http://hilumilhc.web.cern.ch/about/hl-lhc-project>.
- [3] G Apollinari, I Béjar Alonso, O Brüning, M Lamont, and L Rossi. *High-Luminosity Large Hadron Collider (HL-LHC): Preliminary Design Report*. CERN Yellow Reports: Monographs. CERN, Geneva, 2015.
- [4] Philippe Mouche. Overall view of the LHC. Vue d’ensemble du LHC. Jun 2014. General Photo.
- [5] Daniel de Florian and Javier Mazzitelli. Higgs pair production at next-to-next-to-leading logarithmic accuracy at the LHC. *JHEP*, Vol. 09, p. 053, 2015.
- [6] 標準理論を超えるためには KEK. <https://www.kek.jp/ja/newsroom/2012/08/31/1800/>.
- [7] A. Djouadi, W. Kilian, M. Muhlleitner, and P. M. Zerwas. Production of neutral Higgs boson pairs at LHC. *Eur. Phys. J.*, Vol. C10, pp. 45–49, 1999.
- [8] 中本建志. LHC 高輝度アップグレードと KEK での超伝導磁石開発, 11 2015.
- [9] G. Aad, et al. The ATLAS Experiment at the CERN Large Hadron Collider. *JINST*, Vol. 3, p. S08003, 2008.
- [10] ATLAS Collaboration. Technical Design Report for the Phase-II Upgrade of the ATLAS Muon Spectrometer. Technical Report CERN-LHCC-2017-017. ATLAS-TDR-026, CERN, Geneva, Sep 2017.
- [11] ATLAS Experiment-Photos. <http://atlasexperiment.org/photos/muons-tgc.html>.
- [12] ATLAS Japan TGC エレキグループ. Tgcoperation Instruction In Japanese. <https://twiki.cern.ch/twiki/bin/view/Main/TgcOperationInstructionInJapanese>.
- [13] 加藤千曲. ATLAS 実験のための新しいミューオントリガー装置の開発, 2014.
- [14] T Kawamoto, S Vlachos, L Pontecorvo, J Dubbert, G Mikenberg, P Iengo, C Dallapiccola, C Amelung, L Levinson, R Richter, and D Lellouch. New Small Wheel Technical Design Report. Technical Report CERN-LHCC-2013-006. ATLAS-TDR-020, Jun 2013. ATLAS New Small Wheel Technical Design Report.
- [15] 赤塚駿一. LHC-ATLAS 実験 Run-3 に向けたトリガー判定回路と新トリガーロジックの開発. [https://www.icepp.s.u-tokyo.ac.jp/symposium/23/download/sympo23-16\\_akatsuka.pdf](https://www.icepp.s.u-tokyo.ac.jp/symposium/23/download/sympo23-16_akatsuka.pdf), 2017.
- [16] ATLAS Collaboration. Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ System. Technical Report CERN-LHCC-2017-020. ATLAS-TDR-029, CERN, Geneva, Sep 2017.
- [17] Fpga Fundamentals-National Instruments. <http://www.ni.com/white-paper/55015/en/>. (Accessed



- on 01/28/2019).
- [18] High Speed Serial. <https://www.xilinx.com/products/technology/high-speed-serial.html>. (Accessed on 01/30/2019).
  - [19] Xilinx DS160 Spartan-6 Family Overview. [https://www.xilinx.com/support/documentation/data\\_sheets/ds160.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds160.pdf).
  - [20] 7 Series FPGAs Data Sheet:Overview(DS180). [https://www.xilinx.com/support/documentation/data\\_sheets/ds180\\_7Series\\_Overview.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf).
  - [21] Zynq-7000 SoC. <https://japan.xilinx.com/products/silicon-devices/soc/zynq-7000.html>. (Accessed on 01/28/2019).
  - [22] Zynq-7000 SoC データシート:概要 (DS190). [https://japan.xilinx.com/support/documentation/data\\_sheets/j\\_ds190-Zynq-7000-Overview.pdf](https://japan.xilinx.com/support/documentation/data_sheets/j_ds190-Zynq-7000-Overview.pdf).
  - [23] Zybo. <https://reference.digilentinc.com/reference/programmable-logic/zybo/start>.
  - [24] Multi-Camera Multi-Feature Driver Assistance Platform. <https://www.xilinx.com/applications/automotive/multi-camera-multi-feature-dap.html>. (Accessed on 01/30/2019).
  - [25] 1080p60 HD Medical Endoscope. <https://www.xilinx.com/applications/medical/endoscope.html>. (Accessed on 01/30/2019).
  - [26] Vichoudis Paschails. TheATLAS Muon-to-CentralTrigerProcessorInterface(MUCTPI) for the Phase-1Muon Trigger Upgrade. [https://indico.cern.ch/event/608587/contributions/2638111/attachments/1520204/2374469/muctpi\\_twepp17\\_v2.4.pdf](https://indico.cern.ch/event/608587/contributions/2638111/attachments/1520204/2374469/muctpi_twepp17_v2.4.pdf).
  - [27] 1740940.pdf. <http://www.farnell.com/datasheets/1740940.pdf>.

## 謝辞

2年間の本研究において、たくさんの方々の協力と篤い指導を頂きました。

担当指導教官である藏重久弥先生には伝えきれない感謝の念を強く感じております。平素から海外出張、事務、雑務、お世話になっていないことはありません。その研究者、指導者としての姿勢を忘れることはありません。最大の感謝の言葉をもって、お礼申し上げます。

神戸大学粒子物理学研究室の教員の方々にも、多大な感謝を感じております。1回生の頃から何かと相談に乗って頂いた山崎裕司先生は、私が粒子物理学研究室に進路を決めるきっかけを下さいました。学部卒業研究にも篤い指導をしていただきました。また TA もさせていただきました。お世話になりました。前田順平先生にも大変世話になりました。私のいい加減な性格のせいでたくさんのご迷惑をお掛け致しました。多忙な中、ご指導下さり誠にありがとうございました。越智敦彦先生にも、検出器ゼミナール等、海外出張の多い中時間を割いてご指導くださりありがとうございました。川出健太郎先生には CERN 出張の際、大変お世話になりました。学会発表の相談にもものってくださいありがとうございました。

ATLAS グループ以外の粒子物理学研究室の教員の方々、竹内康雄先生、身内賢太郎先生、鈴木州先生、中村輝石氏、伊藤博士氏にも感謝申し上げます。そして事務にて大変お世話になりました、吉田和美さんにも感謝申し上げます。

神戸大学外の方々にも大変お世話になりました。坂本宏先生へは、本研究へ参加させて頂いた感謝を申し上げます。突然の訪問にもかかわらず直接 Zynq の指導をして頂いたことは忘れません。ありがとうございました。KEK の佐々木修先生にも大変お世話になりました。CERN、KEK でのご指導のおかげで研究を進めることができました。そして KEK 出張の際には、車で送り迎え、食事までもお世話になりました。ありがとうございました。東京大学の奥村恭幸先生も、PT-Z のコンセプトについて詳細な説明はじめ、さまざまなご指導いただき誠にありがとうございました。

そして、KEK の池野正弘様には、本当に、本当にお世話になりました。私のミス、不注意をしっかり注意していただきました。ハードウェア設計に際しての心構えも篤く教えて頂きました。誠に感謝いたします。PT-Z の基板作製をして頂いている代表の宮澤様はじめ、GND の皆様にも感謝申し上げます。

ATLAS Japan Level-1 グループの堀井先生、青木先生、水上さん、赤塚さんにも、ご協力いただき誠に感謝いたします。赤塚さん、NewSL の検査でのその手際の良さをこれからも鑑とさせていただきます。

東出君、大西君にも、同じく Zynq をテーマとした研究をしているということで、何かとつけて協力いただきました。ありがとうございました。

神戸大学粒子物理学研究室の、先輩方、後輩達、そして同期の皆にも感謝の言葉を申し上げます。特に同期で同じく ATLAS グループの吉田君には模範的な大学院生像を教えてくださいました。酒井君は面白かったです。結婚式に出席させることで酒井君の学会発表をキャンセルさせた酒井君のお姉さんも面白かったです。

研究関係以外では、趣味としているジャグリング関係者の方々に、精神的なサポートを頂き感謝しております。最後に、研究生活を支えてくれた家族にお礼を申し上げます。

---

**GN-1830-1****VME****PT-Z****PWB**

---

VME PT-Z プリント配線基板

---

## 概要

PT-Z(Proto Type Z)はXilinx社製System On Chip Zynq-7000搭載の汎用評価ボードです。

## 特徴

### 主要機能

- Xilinx 社製 System On Chip デバイス XC7Z045-2FFG900I 搭載
- VME64X 6U サイズ VME 汎用マザーボード
- A32D16 スレーブモジュール
- コンフィギュレーションには JTAG14 ピン及び JTAG 変換 microUSB コネクタを使用
- 8 Gbps 高速通信対応 SFP+光モジュールを 3 口  
(内 1 口はメザニンカードと接続)
- Gigabit Ethernet RJ45 コネクタを 1 口
- Processing System 用に 2GbDDR3SDRAM 2 枚搭載
- Programmable Logic 用に 2GbDDR3SDRAM 1 枚搭載
- OS ブートローダー用 Flash Memory の microSD コネクタを 1 口  
128MbQSPI メモリを 1 枚
- コンソール用 microUSB-UART コネクタ
- FMC カード対応メザニンコネクタ
- LEMO コネクタによる NIM 信号入出力(ジャンパーピンで入出力切り替え)

機能	機能
PS インターコネクタ	PL インターコネクタ
USB-UART	GTX 対応 SFP+x3
microSD	FMC メザニンコネクタ
RJ45	JTAG14 ピン
メモリ	microUSB-JTAG 変換コネクタ
2Gb DDR3x2	VME バスコネクタ
128Mb QSPI	NIM コネクタ
	メモリ
	2 Gb DDR3

## 仕様

基板サイズ 233.35 x 160mm

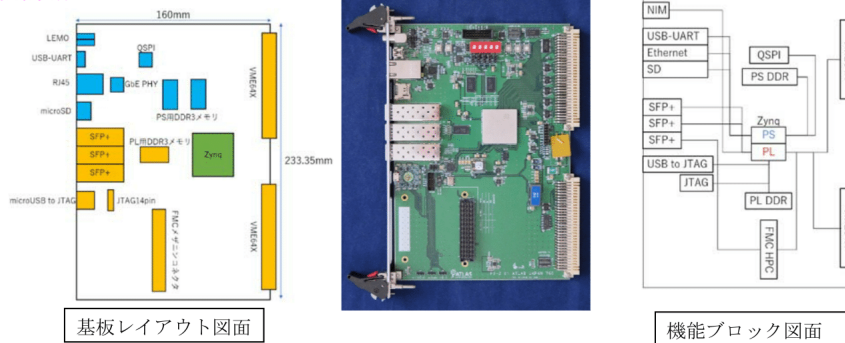
基板材：FR5 相当 16 層基板 T=1.8mm

使用電源：+3.3V

〒294-0045 千葉県館山市北条 1716 番地 (有) ジー・エヌ・ディー

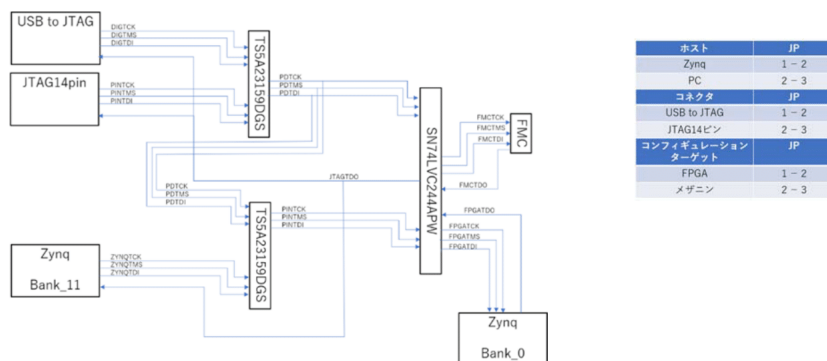


## 機能詳細

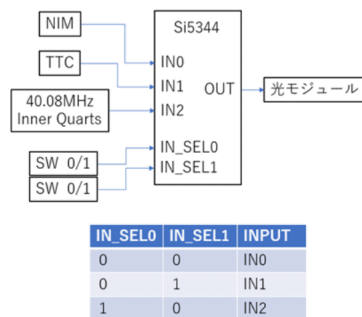


### ● 特徴

メザニンカード上への FPGA へのコンフィギュレーションが Zynq をホストとしても可能とした JTAG チェーンとなっており、ジャンパーピンで切り替え可能である。



通信用クロックは内部クロック(40.08MHz)と外部クロック(NIM,TTC)のスイッチ切り替えが可能です



〒294-0045 千葉県館山市北条 1716 番地 有) ジー・エヌ・ディー

基板製作の GND 様に感謝いたします。