

概要

2013年4月、CERN(欧州原子核研究機構)は標準模型の構成粒子の中で唯一未発見だったヒッグス粒子をATLAS実験とCMS実験によって発見した。そのヒッグス粒子や標準模型の更なる精密な性質の解明や超対称性粒子の探索をするため、現在LHC(Large Hadron Collider)のアップグレードが行われている。陽子・陽子衝突型の円形加速器であるLHCには4つの衝突点の内の一つでATLAS実験が行われている。そのATLAS実験は膨大な数のイベントの中から対象となる物理事象を選別するトリガーシステムを設置しており、その中で第一段階目に位置するレベル1 ミューオントリガーシステムは、高い横方向運動量のミュオンをもつイベントに対してトリガーを発行している。信号処理はハードウェアで実現され、トリガープロセッサ "Sector Logic(SL)" がレベル1 ミューオントリガーの最終的なトリガー判定をし、レートの削減をしている。ところがこれまでの実験において、衝突点由来のミュオンではない粒子を誤ってトリガーするフェイクトリガーという現象がレベル1 ミューオントリガーで生じていることがわかった。そのフェイクトリガーはトリガーされたイベントの中でも占める割合が多く、今後のアップグレードによって記録媒体などのリソースを更に圧迫することが懸念された。そこで現在、ミュオン検出器の他にハドロンジェットのエネルギー測定を行う Tile Calorimeter との Coincidence を導入し、フェイクトリガーの削減に取り組んでいる。本研究はその Tile Calorimeter で検出された衝突点由来のミュオンの信号を SL に入力し、Coincidence を実行する論理回路の作成、実装、動作確認をした。

目次

1	序論	4
2	ATLAS 実験	6
2.1	LHC	6
2.1.1	LHC の概要	6
2.1.2	LHC の計画	8
2.2	ATLAS 実験が目指す物理	8
2.2.1	標準模型ヒッグス粒子	8
2.2.2	RUN2 で目指す物理	13
2.3	ATLAS 検出器	14
2.3.1	超伝導磁石システム	15
2.3.2	内部飛跡検出器	16
2.3.3	カロリメータ	17
2.3.4	ミューオンスペクトロメータ	19
2.4	ATLAS TDAQ システム	20
2.4.1	レベル1トリガー	20
2.4.2	High Level Trigger	23
3	Thin Gap Chamber	24
3.1	TGC の仕組み	24
3.1.1	TGC の動作原理と構造	24
3.1.2	TGC の配置	27
3.1.3	トリガーセクター	28
3.2	TGC トリガースキーム	29
3.2.1	pT の概算方法	29
3.2.2	Coincidence	30
3.2.3	Coincidence Window	31
3.3	TGC エレクトロニクス	32
3.3.1	エレクトロニクスシステム	32
3.3.2	エレクトロニクスの配置	34
4	Sector Logic	35
4.1	SL の基本設計	35
4.1.1	システムからの制約と設計思想	35
4.1.2	Sector Logic Board	36
4.1.3	入力信号 (HPT)	38
4.1.4	出力信号	40
4.2	Sector Logic FPGA	41

4.2.1	SL FPGA の機能	41
4.3	G-link	43
4.3.1	G-link の概要	43
4.3.2	G-link の信号処理の流れ	43
4.3.3	アライメントずれ	46
4.3.4	G-link Flag	48
5	ミューオントリガーにおける問題と RUN2 に向けての対策	49
5.1	ミューオントリガーの性能	49
5.1.1	トリガー効率	49
5.1.2	トリガーレート	50
5.2	フェイクトリガー	51
5.2.1	フェイクトリガーの概要	51
5.2.2	EIFI Coincidence 導入によるフェイクトリガーへの対策	54
5.2.3	入力信号 (EIFI)	54
5.3	バースト	56
5.3.1	バーストの概要	56
5.3.2	バーストへの対策	56
5.3.3	Burst Marger Board	58
6	Tile Calorimeter を用いた新しい Coincidence の開発	59
6.1	Tile Muon Coincidence の概要	59
6.1.1	Tile Calorimeter 内の信号処理	60
6.1.2	Tile Muon Digitizer Board	62
6.1.3	入力信号 (Tile Calorimeter)	63
6.2	Inner Coincidence	64
6.2.1	Inner Coincidence 判定方法	64
6.2.2	その他のロジックについて	65
6.3	タイミング検出ロジック	66
6.3.1	Tile Signal Search	66
6.4	動作確認	67
6.4.1	シミュレーションによる動作確認	67
6.4.2	Excel による動作確認	67
6.4.3	テストベンチによる動作確認	67
6.5	Connection Test	71
6.5.1	試験方法と結果	71
6.5.2	耐久試験	73
7	結論	74

1 序論

標準模型は素粒子物理学においてゲージ原理に基づいた強い相互作用、弱い相互作用、電磁相互作用の3つの基本的な相互作用を記述する理論である。標準模型は1970年代に構築され、その後各種の実験によってその正確さが定量的に確認されていた。しかし、ゲージ原理では相互作用を担う粒子には質量がないとされていたが、弱い相互作用を担うW、Z粒子はそれぞれ $80.04\text{GeV}/c^2$ 、 $91.19\text{GeV}/c^2$ の質量をもつことがわかった。

CERN(欧州原子核研究機構)では陽子・陽子衝突型円形加速器LHC(Large Hadron Collider)を用いたATLAS実験が行われている。2009年～2012年の運転(RUN1)においてLHCは、重心系エネルギー7～8TeV、ルミノシティ $1 \times 10^{34}\text{cm}^{-2}\text{sec}^{-1}$ 、20MHzのバンチ衝突を達成した。その結果、ATLAS実験では2012年7月に新粒子を発見し、その後の性質の解明によってそれがヒッグス粒子だということが発表された。

今後、更に高精度の素粒子の性質解明や超対称性粒子のような高エネルギー領域にあると予言されている新粒子の探索のため、現在LHCのアップグレードが行われている。アップグレード後のRUN2では、重心系エネルギー14TeV、ルミノシティ $2 \times 10^{34}\text{cm}^{-2}\text{sec}^{-1}$ 、40.08MHzのバンチ衝突が計画されている。そのように膨大な数のイベントの中から対象となる物理事象を選別するため、ATLAS実験ではトリガーシステムを設置している。そのトリガーシステムは3段階に分かれており、その中でも初期段階にあたるレベル1ミューオントリガーはミューオンの横方向運動量を概算し、閾値以上の横方向運動量を持つミューオンのイベントに対してトリガーを発行している。ミューオンは他の粒子に比べ透過性が高く寿命が長いバックグラウンドの影響が少ない。またヒッグス粒子にはW,Z粒子の崩壊を介して、終状態にミューオンを含むチャンネルが多い。そのためミューオントリガーシステムはヒッグス粒子をはじめその他の素粒子由来のイベントの選別において有効な手段となっている。レベル1ミューオントリガーの処理はハードウェアで実現され、その最終段でトリガー判定を行いその結果をセントラル・トリガーに渡すトリガープロセッサのことをSector Logic(SL)という。SLにはFPGAが搭載されており、その処理はハードウェア記述言語によって記述され、回路変更などにも柔軟に対応できる仕様となっている。

神戸大学ではそのSLの開発や信頼性評価、ATLAS検出器への導入に携わっており、RUN1においてもそのトリガーパフォーマンスについて研究が行われてきた。その中で、衝突点由来ではない粒子を誤って検出してトリガーを発行するフェイクトリガーという現象がレベル1ミューオントリガーで生じていることがわかった。トリガーされたイベント中にフェイクトリガーが占める割合が多く、今後のアップグレードによって更にリソースを圧迫することが懸念されたため削減する必要があった。その対策として、2つのミューオン検出器にミューオンがヒットした情報からCoincidenceによってフェイクトリガーを削減することが考えられた。しかし、ミューオンの横方向運動量の測定に用いられるトロイド磁石が位置しているため衝突点側のミューオン検出器にはCoincidenceが取れない部分があった。そのため、ミューオン検出器とハドロンジェットのエネルギー測定に用いるTile CalorimeterとのCoincidenceを導入することでフェイクトリガーの更なる削減が考えられた。本研究ではそのCoincidenceを実現するための論理回路を作成し、SLへの実装、シミュレーションやテストベンチを用いた動作確認を行った。また、Tile Calorimeterの信号からトリガー情報を生成する新しいモジュール(TMDB)が製作されているが、そのTMDBとSL間通信の信頼性を確認するためConnection testを実施した。

本論文の第2章では LHC 加速器と ATLAS 実験が目指している物理、検出器について説明する。第3章では ATLAS 検出器の中でエンドキャップ領域のミューオントリガーを担う Thin Gap Chamber(TGC) の役割や構造について、第4章では SL の機能と入出力信号について説明する。第5章では RUN1 のレベル1 ミューオントリガーで発生した問題と原因、解決策について述べる。第6章では本研究のメインとなる部分で Coincidence の導入にあたっての研究内容と結果、Connection Test について述べる。

2 ATLAS 実験

この章では LHC と ATLAS 実験の目的や各検出器の説明、TDAQ システムについて述べる。

2.1 LHC

2.1.1 LHC の概要

LHC(Large Hadron Collider) はスイス・ジュネーブ近郊にある CERN の地下約 100m に建設された陽子陽子衝突型の円形加速器で、2009 年 11 月に運転が開始された。LHC より以前は LEP(Large Electron Positron collider) を用いた実験が行われていたが、2000 年に実験が終了したためそのトンネルを利用して新たにつくられた。LHC の特徴は高い重心系エネルギーを得られることにある。それは電子に比べて陽子は、円軌道を運動する際に生じるシンクロトロン放射が非常に少ないためである。ここでシンクロトロン放射による 1 周あたりのエネルギー損失 [eV/turn] は以下の式で導かれる。

$$\Delta E \propto \frac{\beta^3 z^2}{R[m]} \times \frac{E^4}{m^4} \quad (1)$$

上式の z は電荷 [C]、 β =荷電粒子の速度 v [m/s]/光速 c [m/s]、 E はエネルギー [eV]、 m は質量 [eV/c^2]、 R [m] は円形加速器の直径を表す。つまり、実現したいエネルギーが増えるほど、もしくは加速させる荷電粒子の質量が軽いほどシンクロトロン放射によるエネルギー損失が増加する。陽子の質量は $938.27 MeV/c^2$ 、電子は $0.511 MeV/c^2$ のため、陽子のシンクロトロン放射は非常に小さくなるのが分かる。そのため、陽子を高いエネルギーになるまで加速することができ、高エネルギー領域に存在が予想されている素粒子の探索が可能となる。LHC のスペックを表 1 に示す。

バンチとは複数の粒子 (ここでは陽子) で構成されたビームのことで、LHC ではそのバンチを 40.08MHz の

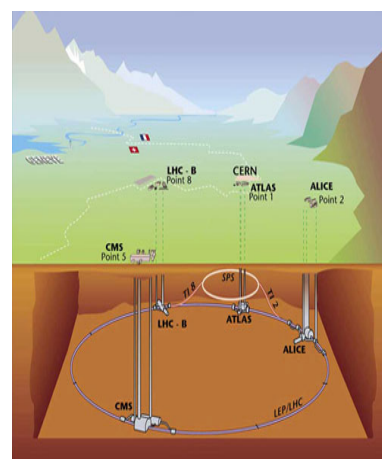


図 2.1 CERN[2]

表 1 LHC のスペック

	設計値		設計値
ビームリング周長	26.7km	偏向磁場	8.33T
最大重心系エネルギー	14TeV	最大瞬間ルミノシティ	$10^{34} cm^{-2} sec^{-1}$
衝突周波数	40.08MHz	バンチ数	2835 個
バンチ径	$60 \mu m$	バンチ長さ	75mm
衝突角度	$200 \mu rad$	1 バンチあたりの陽子の数	1.15×10^{11} 個

周波数で衝突させることができる。単位時間あたりに発生するイベント数は、重心系エネルギーの関数で表さ

れる反応断面積に比例する。その比例定数のことをルミノシティといい、以下の式で算出される。

$$L = \frac{f \cdot N_B^2}{4\pi\sigma_X\sigma_Y} \quad (2)$$

$f[\text{Hz}]$ はバンチ衝突周波数、 $\sigma_X\sigma_Y[\text{cm}^2]$ はビーム径、 N_B は1バンチあたりの陽子の数を表している。

LHC は以下で述べるように、陽子を生成してから LHC に入射するまでに、段階的に加速させている (図 2.2)。

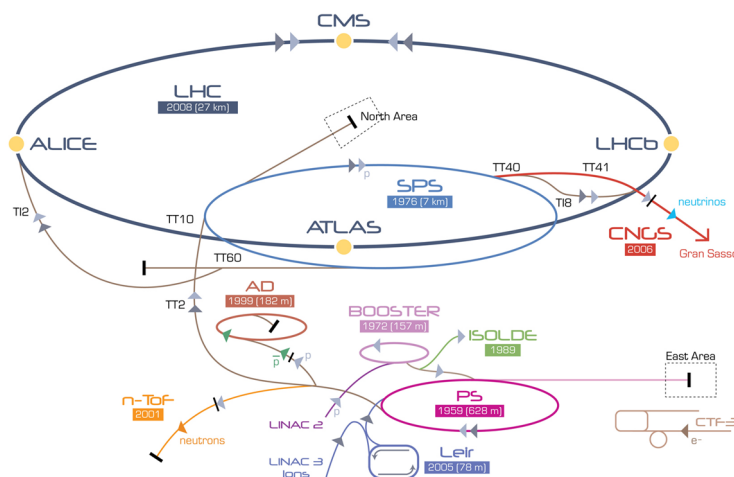


図 2.2 LHC の多段式加速器

1. 水素ガスに電場をかけ、電子を除き陽子を取り出す
2. 線形加速器の Linac2 で陽子を 50MeV まで加速
3. Proton Synchrotron Booster (PSB) で陽子を 1.4GeV まで加速
4. Proton Synchrotron (PS) で陽子を 25GeV まで加速
5. 最後に Super Proton Synchrotron (SPS) で陽子を 450GeV まで加速し LHC に入射

RUN1 では LHC で約 3.5TeV~4TeV のエネルギーを持つ陽子まで加速して実験を行った。

図 2.2 のように、LHC 加速器には ATLAS、LHCb、CMS、ALICE の 4 つの検出器が設置されている。

- ATLAS(A Toroidal LHC ApparatuS) 実験
ヒッグス粒子や超対称性粒子の探索を主な目的とした実験。本研究の対象であるため詳細は後述する。
- CMS(Compact Muon Solenoid) 実験 (図 2.3)
ATLAS 実験と同じくヒッグス粒子や超対称性粒子の探索を主な目的としている。ATLAS 検出器よりも小型でより強いソレノイド磁場を持ち、電磁カロリメータは全吸収型を用いるなど設計思想が異なる。
- LHCb 実験 (図 2.4)
heavy クォークの物理に最適化された検出器で、b クォークを用いた CP 対称性の破れを観測することにより、標準模型を越える物理事象の探索をしている。また、b クォークや c クォークを含んだハドロンの稀崩壊事象の解明を目的とした実験である。

- ALICE(A Large Ion Collider Experiment) 実験 (図 2.5)

重イオン (鉛の原子核) 同士を衝突させることにより、クォーク・グルーオン・プラズマ (QGP) の解明を目的とする実験である。

他にも TOTEM(Total Cross Section, Elastic Scattering and Diffraction Dissociation)、LHCf (LHC-forward)、MoEDAL(Monopole and Exotics Detector At the LHC) など数多くの実験が行われている。

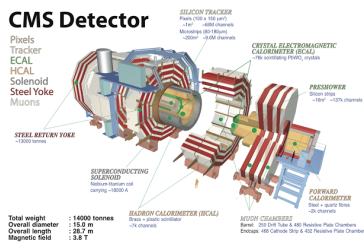


図 2.3 CMS[4]

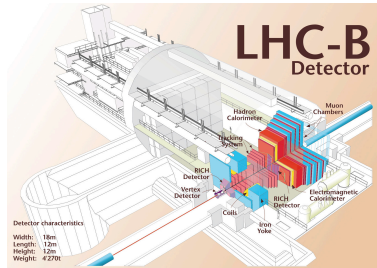


図 2.4 LHCb[5]

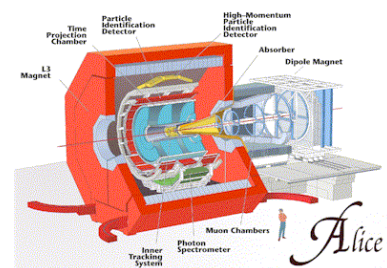


図 2.5 ALICE[6]

2.1.2 LHC の計画

LHC の計画は主に「RUN」という実験期間と、「Upgrade」期間に分けられる。Upgrade はそれまでの RUN で発生した問題への対策や実験装置の修復、新しい物理に対応するための改良などを行う期間である。2012 年 2 月に RUN1 が終了し、現在 2015 年 1 月までは Phase-0 Upgrade の期間であった。LHC では重心系エネルギーとルミノシティ増強のため主に以下の改良が行われた。

- 超伝導磁石の修理

超伝導磁石は一部で接合部の電気抵抗が大きく、高い電流を流すことができない。そのため Phase-0 Upgrade では、その内部抵抗をより小さくするために超伝導磁石の修理・交換が行われた。

- ビームパイプ内の真空度の向上

空気が漏れている箇所を修理しビームパイプ内の真空度を向上した。

2.2 ATLAS 実験が目指す物理

ATLAS 実験はヒッグス粒子や超対称性粒子のような標準模型を超える物理の探索を目的としている。以下ではそれらについて簡単に説明する。図 2.6 に 2012 年に取得されたデータの積分ルミノシティの推移を示す。緑が LHC 全体、黄色が ATLAS 検出器で取得されたデータを表しており、それぞれ $23.3[fb^{-1}]$ 、 $21.7[fb^{-1}]$ のデータ取得をすることに成功した。

2.2.1 標準模型ヒッグス粒子

標準模型 (Standard Model:SM) とは、ゲージ原理に基づいた強い相互作用、弱い相互作用、電磁相互作用の 3 つの相互作用を記述する理論である。しかし、ゲージ原理では相互作用を担う粒子には質量がないことを

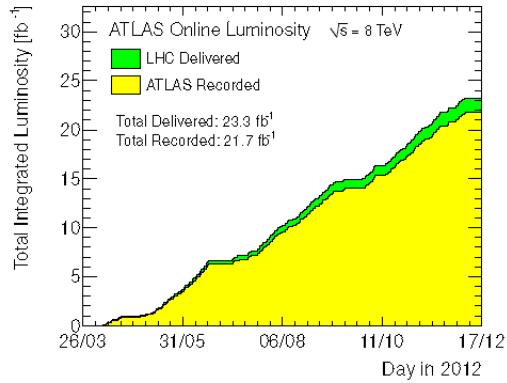


図 2.6 2012 年のデータ取得量 [25]

要求していたが、弱い相互作用を担う W、Z 粒子はそれぞれ $80.04\text{GeV}/c^2$ 、 $91.19\text{GeV}/c^2$ の質量をもつことがわかった。

ヒッグス粒子は標準模型において素粒子に質量を与える粒子とされ、その存在が予言されてから様々な実験で探索が続けられてきた。宇宙が誕生した直後、その真空期待値はお椀型の分布をしていたが、宇宙が冷えるにつれワインボトル型の分布を持つようになり自発的対称性の破れが起こった。

ここで、複素スカラーポテンシャルを $\eta(\mathbf{r}, t)$ 、2つの実スカラーポテンシャルを $\eta_1(\mathbf{r}, t), \eta_2(\mathbf{r}, t)$ で表した場合以下の式になる。

$$\eta(\mathbf{r}, t) = \eta_1(\mathbf{r}, t) + i\eta_2(\mathbf{r}, t) \quad (3)$$

$\eta(\mathbf{r}, t)$ のポテンシャルエネルギー密度 $V(\eta)$ は、

$$V(\eta) = \mu^2 |\eta(\mathbf{r}, t)|^2 + \lambda |\eta_2(\mathbf{r}, t)|^4 \quad (4)$$

ここで、 μ^2 と λ は実パラメータで、以下の変換において相互作用は不変となる。

$$\eta(\mathbf{r}, t) \rightarrow \eta(\mathbf{r}, t)e^{i\beta} \quad (5)$$

ここで、 β は任意の位相パラメータを表している。運動エネルギー密度は正もしくは0のため、その真空状態はポテンシャル密度を最小化することによって認識できる。この時、2つの状態が考えられる。

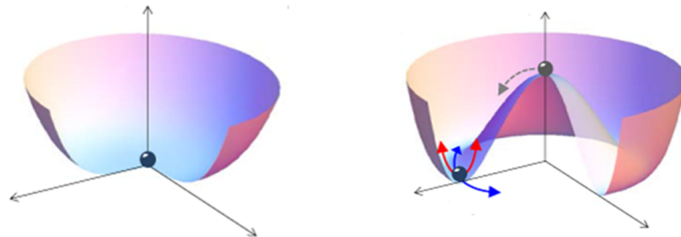


図 2.7 ポテンシャルエネルギー密度 左: $\mu^2 > 0$ 右: $\mu^2 < 0$

- a $\mu^2 > 0$ の時、 $V(\eta)$ は正の値で、図 2.7 左のようなポテンシャル密度分布で表される。 $V(\eta)$ は最小値として $\eta(\mathbf{r}, t) = 0$ のみを持ち、自発的対称性の破れは起こっていない。
- b $\mu^2 < 0$ の時のポテンシャルエネルギー密度は図 2.7 右に示すワインボトルの底のような形状をしている。この時、円形上に最小値が存在しており

$$\eta(\mathbf{r}, t) = \left(-\frac{\mu^2}{2\lambda}\right)^{\frac{1}{2}} e^{i\theta}, 0 \leq \theta \leq 2\pi, \quad (6)$$

に分布する。位相角 θ は、複素 η 平面での方向を示す。

ヒッグス機構から与えられる質量とは、図 2.7 右に示した分布の傾きのことである。ヒッグス機構を大統一理論に適応するためにはヒッグス場から電氣的に中性のヒッグス粒子が生成する必要があった。ヒッグス粒子の結合定数 g_{Hff} は、フェルミ粒子の質量を m_f と表して以下の式で与えられる。

$$g_{Hff} = \sqrt{2}g_W \left(\frac{m_f}{M_W}\right) \quad (7)$$

2012 年 7 月、CERN はヒッグス粒子と思われる新粒子を発見したと発表した。以下にその結果を示す。図 2.8 はヒッグス粒子の生成断面積の Experimental limit(実験的上限)を示す。縦軸はその生成断面積の 95% 信頼レベルにおける上限値で、 σ/σ_{SM} は標準模型(理論値)から導かれた標準偏差で実データの標準偏差を規格化している。横軸はヒッグス粒子の質量 ($110 \sim 600 \text{ GeV}/c^2$) を示す。実線はそれぞれの質量において観測された Experimental limit を反映している。実線が信頼レベル (Confidence Level:CL)95% の上限値¹⁾(青点線)よりも低い領域では新粒子は存在しないことを表している。信頼レベルとは推定する値が許容誤差からはずれない比率を表しており、CL 95% とは例えば 100 サンプルの内 95 サンプルはその許容誤差の範囲内に収まることを意味している。破線はシミュレーションで計算されたヒッグス粒子が存在しない時の Expected limit(予想限界)を示している。緑色と黄色のバンドがそれぞれ Expected limit から 68% と 95% CL の統計誤差の領域を表している。ここから新粒子は $123 \sim 130 \text{ GeV}/c^2$ の範囲においてのみ存在確率が棄却されないことがわかる。

図 2.9 はバックグラウンドがヒッグス粒子と同じふるまいをしている確率を示している。ほとんど全ての質量の領域で、その確率(実線)は少なくとも数% 存在している。しかし $126.5 \text{ GeV}/c^2$ ではその確率が約 10^{-7} ま

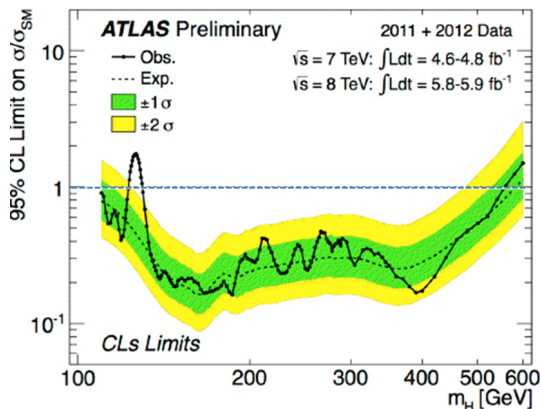


図 2.8 ヒッグス粒子生成に対する制限 [15]

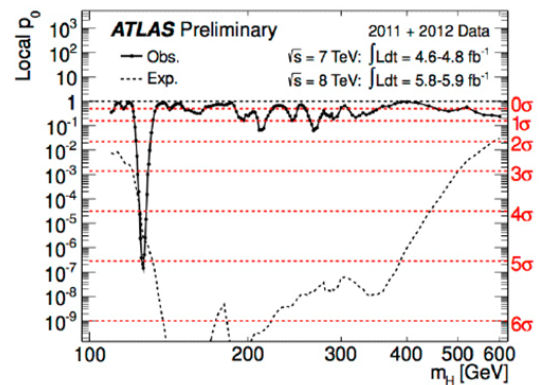


図 2.9 バックグラウンド事象が信号に見える確率 [15]

で下がっており、新粒子の発見の基準となる 5σ を超えている。この実験結果から 2012 年に見つかった粒子は新粒子である可能性が高いことを示している。

ここで、ヒッグス粒子の生成過程にはどのようなものがあるのか説明する。ヒッグス粒子はトップクォークや W^\pm 、 Z 粒子など質量の大きな粒子と結合しやすいため、主に以下の 4 つの生成過程が考えられる。それぞれのファインマンダイアグラムを図 2.10 に、生成断面積と質量の関係を図 2.11 に示す。

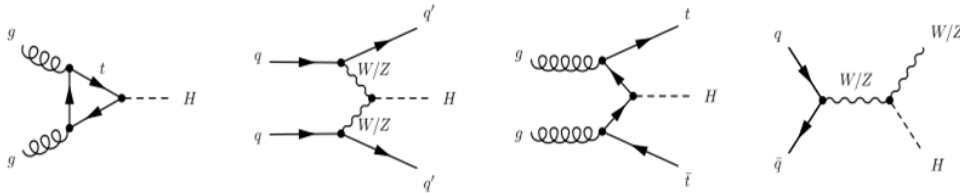


図 2.10 ヒッグス粒子生成過程のファインマン・ダイアグラム [25]

1. $gg \rightarrow H$ (gluon fusion)

トップクォークやボトムクォークのループを介した過程で、最も生成断面積が大きい。その反面、ヒッグス粒子が崩壊して出来る粒子以外に大きな横方向運動量を持つ粒子がなく、バックグラウンドとの選別が難しい。

2. $qq \rightarrow qqH$ (W/Z fusion)

クォークから放出されたゲージ粒子からヒッグス粒子が生成される。生成断面積も比較的大きく、反跳したクォークに起因する大きな横方向運動量を持つジェットが 2 本観測される特徴があり、イベントの選別が比較的行きやすい。

3. $qq/gg \rightarrow ttH$ (top associate production)

対生成されたトップクォークから、ヒッグス粒子が放出される過程。生成断面積は小さいが、特徴のあるトップクォーク対を終状態に含んでいる。

4. $qq \rightarrow (W/Z)H$ (W/Z associate production)

クォークの対消滅で生成されたゲージ粒子からヒッグス粒子が放射される過程。終状態にゲージ粒子 (W/Z) が観測される特徴がある。

次にヒッグス粒子の崩壊過程について述べる。崩壊過程の分岐比も図 2.12 に示すように、ヒッグス粒子の質量に依存しており、各領域で特徴的な崩壊過程があるが 2012 年に発見された新粒子は $126.5 \text{ GeV}/c^2$ 付近の質量を持っていたため以下のようなチャンネルを用いて更なる解析が行われた。

1. $H \rightarrow \gamma\gamma$

ヒッグス粒子が 2 つの光子に崩壊するチャンネル。しかし、これは直接ではなく heavy クォークや W, Z 粒子などのループを介して起こる。この質量領域は $b\bar{b}$ 、 $c\bar{c}$ 、 $\tau^+\tau^-$ が支配的だが、これらの粒子はジェットのバックグラウンドが多いため区別することが難しい。そこで希崩壊ではあるがこのチャンネルを用いて不変質量分布を求めている。

2. $H \rightarrow \tau^+\tau^-$

$H \rightarrow \gamma\gamma$ チャンネルよりも崩壊分岐比が高く、 W/Z fusion の生成過程を考えることでバックグラウンドと区別することができる。ただし τ 粒子の崩壊にはニュートリノが含まれるため消失横方向エネルギー

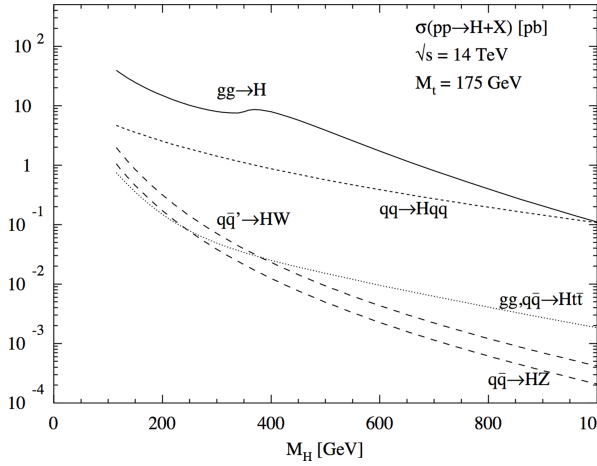


図 2.11 ヒッグス粒子の生成断面積

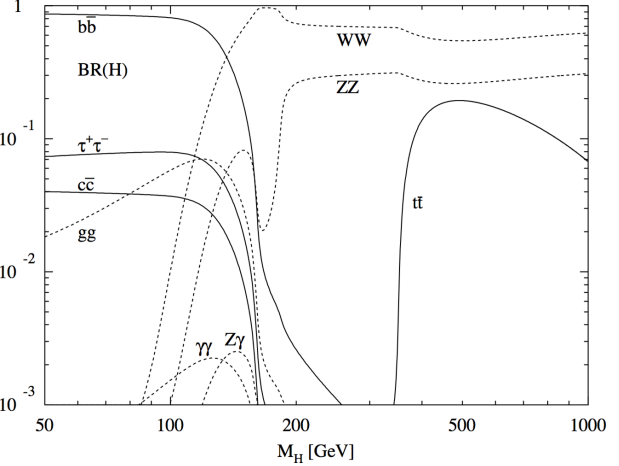


図 2.12 ヒッグス粒子の崩壊分岐比 [24]

ギー E_T^{miss} の精密な測定が必要になる。

3. $H \rightarrow ZZ \rightarrow 4l^\pm$

2組のレプトン対が共に Z 粒子の不変質量に等しいという条件を課することができる。ただし、ヒッグス粒子の質量が大きくなるにつれ崩壊幅が急激に大きくなるため、有効性が落ちる。

4. $H \rightarrow ZZ^* \rightarrow 4l^\pm$

1つのレプトン対に対しては、Z 粒子の不変質量に等しいという条件を課することができるが、 Z^* は仮想粒子であるため、もう一方のレプトン対の不変質量には制限が無い。そのため、検出器には運動量、エネルギーに対する高い分解能が求められる。バックグラウンドとしては、 ZZ^* 、 $Z\gamma^*$ 、 $t\bar{t}$ 、 $Zb\bar{b}$ が挙げられる。この中で ZZ^* 、 $Z\gamma^*$ は減らすことはできないが、生成断面積は比較的小さい。 $t\bar{t}$ 、 $Zb\bar{b}$ はそれぞれのレプトン対が、 Z/Z^* 起源であるという条件をつけることによって取り除くことができる。

5. $H \rightarrow WW^* \rightarrow l\nu l\nu$

互いに異符号の電荷を持つ2つのレプトンと2つの E_T^{miss} が終状態にあるチャンネル。図 2.12 からわかるように崩壊分岐比は大きく、高い統計量が得られるチャンネルである。

6. $H \rightarrow b\bar{b}$

崩壊分岐比は大きいですが、QCD によるバックグラウンドが多いチャンネル。このバックグラウンドとしては $t\bar{t}$ 、*single top*、 W + ジェットが挙げられる。そのため、 W/Z からのレプトンをトリガーに用いてバックグラウンドを除く。

また ATLAS 実験では、その新粒子が標準模型で予言されているヒッグス粒子の性質と一致しているか確認が行われた。ヒッグス粒子には標準模型が示している $J^P = 0^+$ 仮説 (ここで J はスピン、上付きの P はパリティを表している) があり、それと代替仮説との比較が行われた。代替仮説とはヒッグス粒子が $J^P = 0^-, 1^+, 1^-, 2^+$ という仮説である。それらを $H \rightarrow \gamma\gamma$ 、 $H \rightarrow ZZ^* \rightarrow 4l$ 、 $H \rightarrow WW^* \rightarrow l\nu l\nu$ の3つの崩壊チャンネルを用いて解析が行われた。その結果を図 2.13 に示す。グラフの縦軸は尤度を表している。

黒線は実験データで青破線はシミュレーションによって予想された値、緑のバンドはシミュレーション結果に対する $\pm 1\sigma$ の統計誤差を表している。その結果、 $J^P = 1^{+/-}$ 仮説は CLs 99.7%、 $J^P = 2^+$ 仮説は CLs 99.9% でそれぞれ棄却され、 $J^P = 0^-$ 仮説は CLs 97.8% でその兆候が見られないとされた。

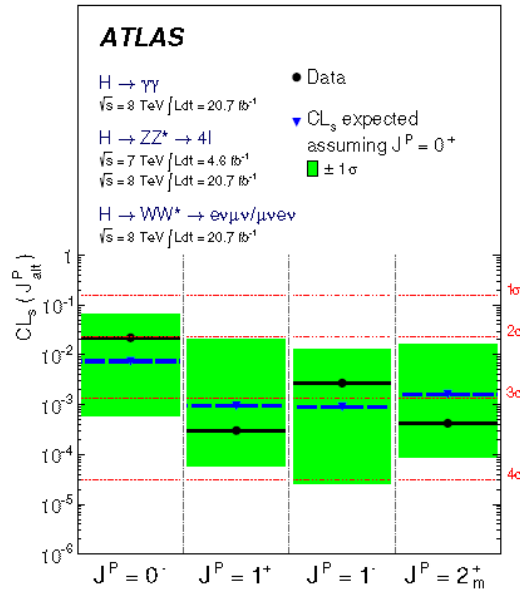


図 2.13 スピン、パリティ測定結果 [9]

上記に加えて結合定数などの測定結果から標準模型で提唱されているヒッグス粒子の性質と一致していたため、2013年3月 CERN はこの新粒子が標準模型に示すヒッグス粒子 ($J^P = 0^+$) であることを強く示唆していると発表した。

2.2.2 RUN2 で目指す物理

RUN1 においてヒッグス粒子が発見されたことで、標準模型を構成する素粒子が全て揃ったと考えられる。しかし、現在までに階層性問題など標準模型を超える物理が多く考えられている。

素粒子物理学の目標の一つとして、電弱相互作用、弱い相互作用、強い相互作用が高いエネルギー状態だった時に結合定数が同じだったとする大統一理論の解明がある。その大統一理論が成立するエネルギー領域 (プランクスケール) は 10^{17} GeV という大きさを持つとされている。しかし、標準模型を構成する素粒子は重くても数百 GeV/c^2 とプランクスケールに対して微小な大きさである。このようなエネルギーの差はどのように補正されているかを示しているのが階層性問題である。

この階層性問題の解決策の一つとして超対称性の存在が予言された。超対称性とは整数スピンをもつフェルミ粒子と整数スピンをもつボース粒子を交換しても運動法則が変わらないというものである。

2.3 ATLAS 検出器

ATLAS 検出器は直径 25m、長さ 44m、総重量 7000t の円柱型の汎用検出器である。衝突点 (Interaction Point:IP) から順に内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、ミューオンスペクトロメータが設置されている (図 2.14)。ATLAS 検出器における座標系を図 2.15 に示す。衝突点を座標の原点とし、ビーム軸方向を Z 軸、Z 軸に直交し LHC ビームリングの中心に向かう方向を X 軸、X 軸と直交する天頂方向を Y 軸としている。ここで座標軸の正負は図 2.15 の通りだが、特に Z 軸の正の方向を A-side、負の方向を C-side と呼ぶ。また、この直交座標系 (X,Y,Z) の他に、円柱座標系 $(r, \theta [0 \leq \theta < 2\pi], \phi [0 \leq \phi < \pi])$ でも座標が定義されている。 r は Z 軸を中心にした径方向、 θ は天頂角、 ϕ は X-Z 平面と r 方向がなす角度である。さらに擬ラピディティ (pseudo-rapidity) という以下のように定義された座標を用いている。

$$\eta \equiv -\ln \left(\tan \frac{\theta}{2} \right) \quad (8)$$

ハドロンコライダーでは生成される粒子の η 分布はほぼ一定になる。この擬ラピディティによって ATLAS 検出器を構成するサブシステムの範囲が定められており、 $|\eta| < 1.0$ をバレル領域 (側面部)、 $|\eta| > 1.0$ をエンドキャップ領域 (底面部) と呼んでいる。

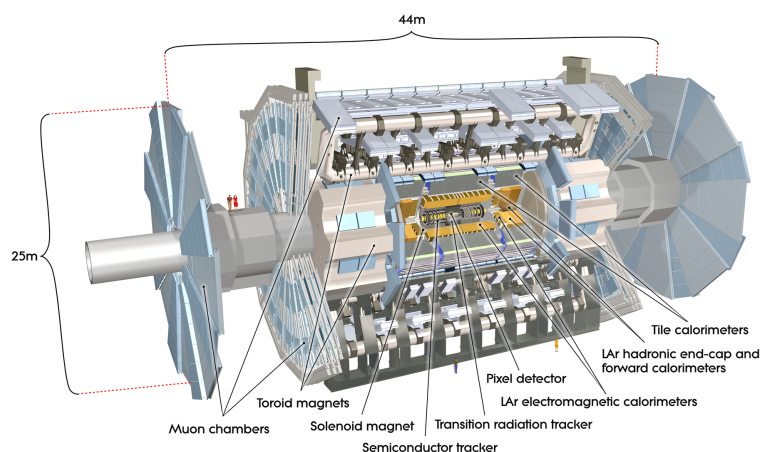


図 2.14 ATLAS 検出器の全体図 [12]

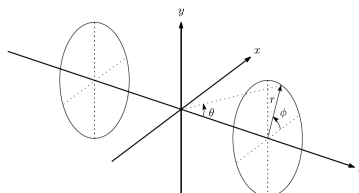


図 2.15 ATLAS 検出器の座標系

2.3.1 超伝導磁石システム

ATLAS 検出器には図 2.16 のように中央ソレノイド磁石とバレルトロイド磁石、エンドキャップトロイド磁石の 3 種類の超伝導磁石も設置されている。荷電粒子は磁場によって曲げられ、その曲率から横方向運動量の計算ができるためこのように超伝導磁石が設置されている。中央ソレノイド磁石は内部飛跡検出器における横方向運動量の測定に、トロイド磁石はミューオンスペクトロメータにおけるミューオンの横方向運動量の測定に利用している。

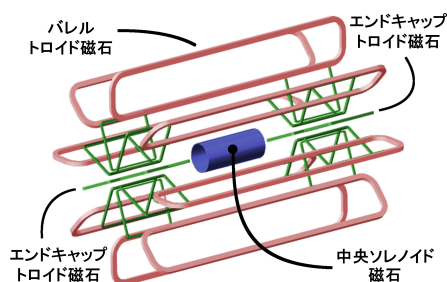


図 2.16 超伝導磁石の配置

- 中央ソレノイド磁石 (図 2.17 左)
長さ 5.3m、直径 2.4m、径方向の厚さ 45mm の円筒形をしており、Z 軸方向に約 2T の磁場を与える。
- バレルトロイド磁石 (図 2.17 中)
長さ 25.3m、幅 5m のレーストラック状の 8 つのコイル (内径 9.4m、外径 20.1m) が Z 軸周りに 8 回対称になるように配置されており、積分磁場強度 2~6Tm の磁場を与える。
- エンドキャップトロイド磁石 (図 2.17 右)
長さ 5m、内径 1.65m、外径 10.7m の大きさを持ち、中央ソレノイド磁石の両端、バレルトロイド磁石の内側に配置されており、積分磁場強度 4~8Tm の磁場を与える。

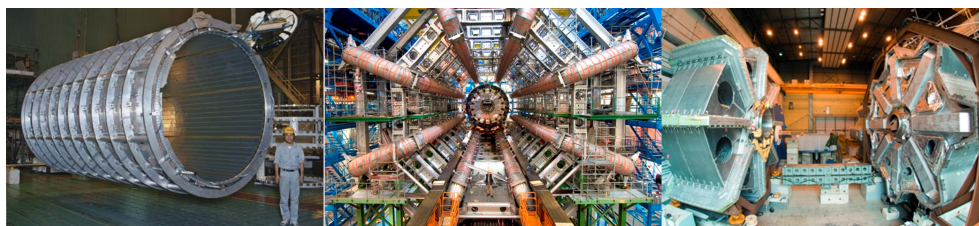


図 2.17 超伝導磁石の写真 [13]

中央ソレノイド磁石 (左) バレルトロイド磁石 (中) エンドキャップトロイド磁石 (右)

ここでトロイド磁場の積分強度の η 分布を図 2.18 に示す。トロイド磁場は ϕ 方向にかかるようにしているが、磁場の不均一性があるため、r 方向及び Z 軸方向にも存在している。

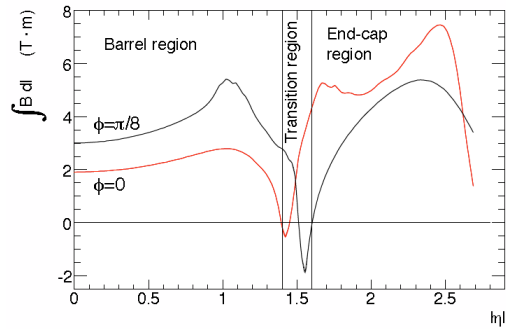


図 2.18 積分磁場強度の η 分布 [24]

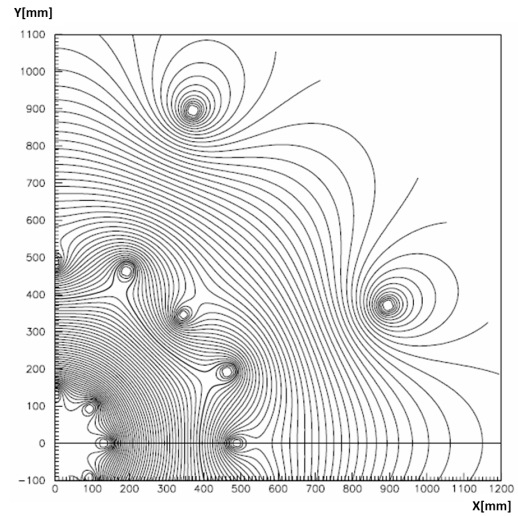


図 2.19 エンドキャップ領域における X - Y 平面の磁束の構造

2.3.2 内部飛跡検出器

荷電粒子のトラッキングを行う内部飛跡検出器 (Inner Detector:ID) は衝突点に最も近く設置され、中央ソレノイド磁石による磁場を利用して運動量測定を行う。内部飛跡検出器は直径 2.1m、長さ 6.2m の大きさを持ち、Pixel 検出器、半導体トラッカー、遷移放射トラッカーで構成されている。全体図を図 2.20 で、X-Y 平面での断面図を図 2.21 に示す。

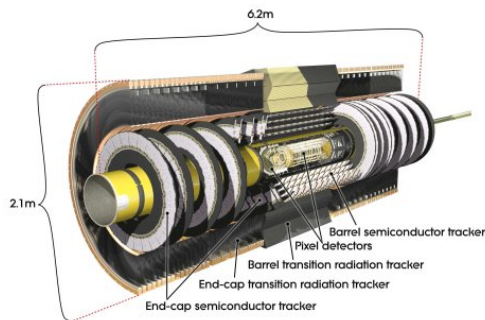


図 2.20 内部飛跡検出器 全体図 [11]

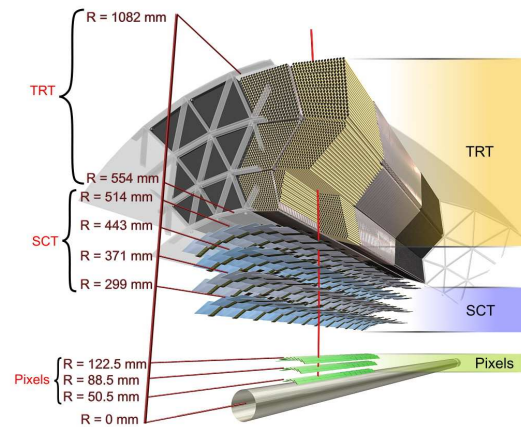


図 2.21 内部飛跡検出器 断面図 [11]

- Pixel 検出器

Pixel 検出器は ATLAS 検出器の中で最も内側に配置されている検出器である。3つのバレル層がビーム軸からそれぞれ 50.5, 88.5, 122.5mm 離れたところにあり、またディスク状の Pixel 検出器が衝突点の両サイド約 50、58、65cm 離れたところに X-Y 平面に平行に 3層ずつ配置されている。Pixel 検出器

は 1744 個の pixel センサーから成り、それぞれ大きさが $50 \times 400\mu\text{m}^2$ 、厚さは $250\mu\text{m}$ である。また各 pixel センサーは 47232 画素を持っており合計で約 8040 万の読み出しチャンネルがある。

- 半導体トラッカー (Semi Conductor Tracker :SCT)

シリコンマイクロストリップ測定を用いた飛跡検出器でバレル層はビームから 30~51cm 離れた位置にある。また 9 つのディスク層が X-Y 平面に平行に衝突点から 85cm 離れたところにある。SCT は 15912 個のセンサーから成り、それぞれ大きさが $64\text{mm} \times 64\text{mm}$ 、 $285\mu\text{m}$ の厚さで約 630 万チャンネルある。

- 遷移放射トラッカー (Transition Radiation Tracker :TRT)

TRT はドリフトチューブでアノードは直径 $30\mu\text{m}$ のタングステンに厚さ約 $0.5\mu\text{m}$ の金でコーティングされたワイヤー、カソードはカーボンやアルミニウム等が直径 4mm、厚さ $60\mu\text{m}$ のポリイミドチューブを覆った構造をしている。そのチューブの中はキセノン 70%、二酸化炭素 27%、酸素 3% の混合ガスによって満たされている。荷電粒子が異なる屈折率を有する 2 媒体間の表面を通過する時、遷移放射が放出されることを利用している。バレル領域ではポリイミド管はビーム方向に平行であり、エンドキャップ領域ではそれらが放射状に配置されている。合計で約 35.1 万の読み出しチャンネルがある。

内部飛跡検出器は他の検出器に比べ衝突点やビームに近いいため放射線による損傷が大きい。特に最内層の Pixel 検出器はルミノシティ $1 \times 10^{34}\text{cm}^{-2}\text{sec}^{-1}$ の放射線環境下までは対応できるが、Run3 以降のルミノシティ $2 \times 10^{34}\text{cm}^{-2}\text{sec}^{-1}$ までは保証できない設計となっていた。そのため、Phase-0 Upgrade にて Insertable b-Layer (IBL) という新たな検出器を Pixel 検出器より更に内側 (Z 軸より 33.25mm) に設置された。それによって放射線による Pixel 検出器の性能の低下分を補うだけでなく、b クォーク由来の粒子のトラッキング性能を向上するとされている。

2.3.3 カロリメータ

ATLAS 検出器のカロリメータの全体図を図 2.22 に示す。カロリメータは電磁カロリメータとハドロンカロリメータに分類され、電子や光子、ジェットなどのエネルギーや位置の測定を目的としている。

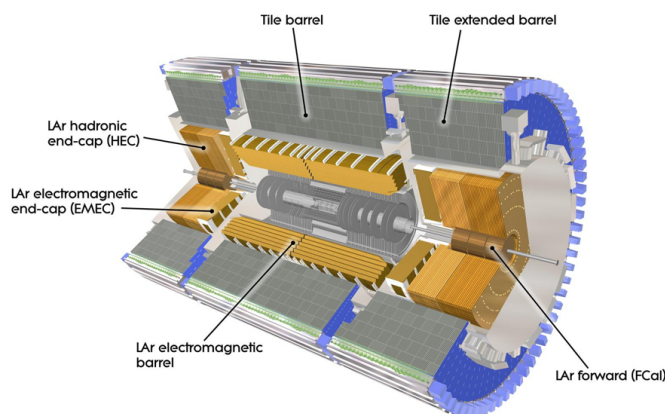


図 2.22 カロリメータ [12]

- 電磁カロリメータ

電磁カロリメータは電磁シャワーの電子と光子のエネルギーの測定や識別をする。電磁シャワーとは、高エネルギーの電子が制動放射を、光子が対生成することで次々と反応を起こしシャワーのように広がるものである。ここで制動放射とは高エネルギーの荷電粒子(ここでは電子)が検出器を構成している物質の原子核がつくる電場と相互作用することによって光子を放出しエネルギーを失うことである。対生成とは高エネルギーの光子 ($> 1022\text{keV}$) が原子核と相互作用した時、電子と陽電子が対になって生成されることである。つまり、以下のような反応を起こす。

$$\text{制動放射} : e^- \rightarrow e^- + \gamma \quad e^+ \rightarrow e^+ + \gamma \quad (9)$$

$$\text{対生成} : \gamma \rightarrow e^- + e^+ \quad (10)$$

これらの反応が次々と起きることで、粒子の数がなだれ式に増える。それに伴い電子、陽電子のエネルギーが減少し、最終的に以下の式で表される臨界エネルギーより小さくなった時に制動放射は止まる。その後は電離によるエネルギー損失に移行する。その電離によって励起された電子が基底状態に戻る時に発せられる光子を検出し、その光子の量からエネルギーの測定をする。

$$E_C = \frac{800\text{MeV}}{Z + 1.2} \quad Z : \text{物質の原子番号} \quad (11)$$

電磁カロリメータは LAr EM end-cap(EMEC) と LAr EM barrel の 2 種類に分かれる。LAr EM barrel は鉛と液体アルゴン (Liquid Argon:LAr) で構成されたサンプリングカロリメータで、 ϕ 方向の不感領域を減らすためアコーディオン状に重ねられている。

- ハドロンカロリメータ

ハドロンカロリメータはハドロンジェットのエネルギーを測定する検出器である。陽子はクォークとそれらの相互作用を担うグルーオンによって構成されている。これらの粒子をまとめてパートンと呼んでいるが、衝突点ではその陽子中のパートン同士がある確率で反応する。そのとき発生する粒子は漸近的自由という性質のため、お互い離れるほど粒子間のエネルギーが大きくなる。そこでエネルギー的に安定するためにパートンを結ぶ線路上に真空から粒子を生成し組をつくる。それを次々と繰り返すことで粒子の持つエネルギーが小さくなり、安定したハドロンとなる。ハドロンカロリメータはそのように生成されたハドロンを検出するものである。ハドロンカロリメータは Tile barrel ($|\eta| < 1.7$)、Hadron Endcap Calorimeter:HSC($1.7 < |\eta| < 3.2$)、Forward Calorimeter:FCAL($3.1 < |\eta| < 4.9$) で構成されている。

2.3.4 ミューオンスペクトロメータ

ミューオンスペクトロメータは、ミューオンのトラッキングをする MDT と CSC、トリガーを担う RPC と TGC の 4 種類の検出器とトロイド磁石から構成されている。ミューオンは透過性が高く、寿命が長い (約 2.2nsec) ため他の検出器の影響を受けないことから ATLAS 検出器の一番外側に設置されている。ミューオンスペクトロメータの全体図を図 2.23 に示す。トロイド磁石はミューオンスペクトロメータに内包されるように配置され ϕ 方向の磁場を作っている。次にミューオンスペクトロメータを構成するサブシステムについて簡単に説明するが、TGC(Thin Gap Chamber) については本研究の対象であるため 3 章で詳しく説明する。

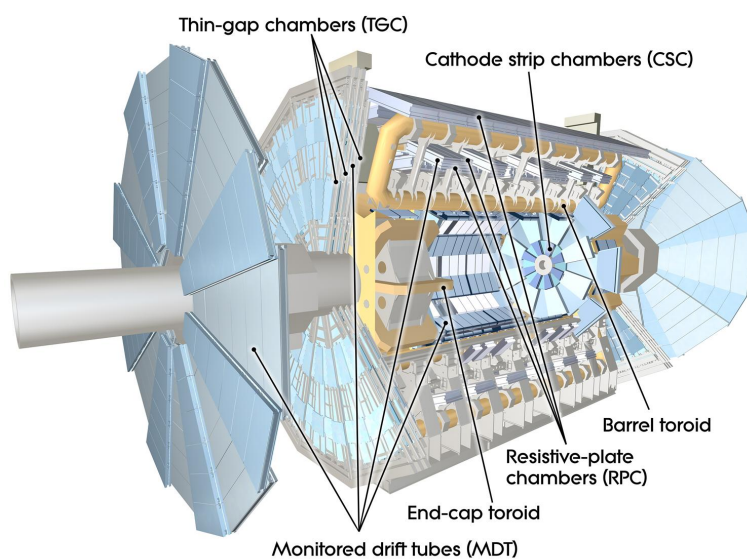


図 2.23 ミューオンスペクトロメータ [12]

- Monitored Drift Tube (MDT)
MDT はバレル領域、エンドキャップ領域の広い η 領域をカバーし、R-Z 方向成分を精密に測定することができる。構造はチューブ径 30mm、ワイヤ径 50 μ m のドリフトチューブを積層したものであり、ミューオンの通過位置とドリフト時間をシグナルの大きさから求めている。位置分解能は 60 μ m、総チャンネル数は 30 万チャンネルである
- Cathode Strip Chamber (CSC)
CSC は $2.0 < |\eta| < 2.7$ に設置されたトラッキング用のカソードストリップ読み出し MWPC(Multi-Wire Proportional Chamber) である。構造はワイヤ間隔が 2.5mm、ストリップ間隔が 5.3mm と 5.6mm の 2 種類。ドリフト時間は 30nsec 以下であり、位置分解能は 60 μ m となっている。
- Resistive Plate Chamber (RPC)
RPC はバレル領域 ($|\eta| < 1.05$) に設置されたトリガー用の検出器であり、r-z 方向と r- ϕ 方向の運動量の測定を行う。構造はストリップを用いた検出器を 2 層に重ねた構造をしている。

2.4 ATLAS TDAQ システム

LHC は 40.08MHz の頻度でバンチ衝突ができ、重心系エネルギー 8TeV の RUN では 1 バンチ衝突あたり約 5~40 個 (平均で 20.7 個) の陽子の非弾性衝突によってイベントレートは 1GHz にも及ぶ。それらのイベントのデータを全て計算し記録することはリソースに限りがあるため不可能である。そのため ATLAS 実験では目的とする物理事象を選別するために、段階的にレートを下げてデータを記録する TDAQ(Trigger & Data Acquisition) システムが導入されている。ATLAS 実験の TDAQ システムは図 2.24 に示すようにレベル 1 トリガー、レベル 2 トリガー、Event Filter(EF) の 3 段階でレートを落としている。

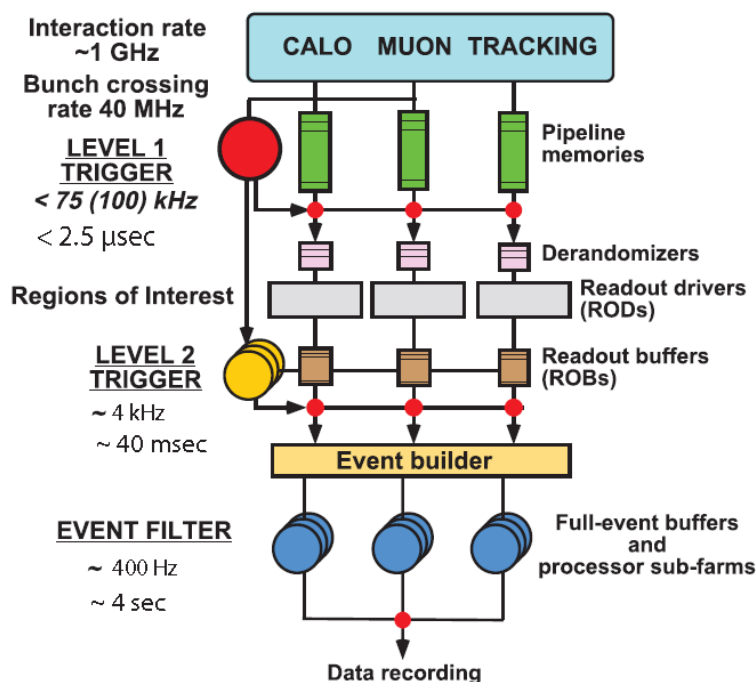


図 2.24 ATLAS 実験の TDAQ システム [25]

2.4.1 レベル 1 トリガー

レベル 1 トリガーは 40.08MHz という高頻度で多量に発生するイベントレートを 75kHz (~ 100 kHz) まで落とす。図 2.25 に示すように、レベル 1 トリガーシステムはカロリメータ、TGC、RPC、MUCTPI、CTP、TTC で構成されている。まず最初、各検出器 (カロリメータ、TGC、RPC) からの信号は LVL 1 Buffer と呼ばれるパイプラインメモリに保持され (図 2.25 の緑色部)、その間にトリガー処理が行われる。カロリメータからはエネルギー閾値をこえた e/γ 、 E_T^{miss} 、 τ 、ジェット等の情報が、ミュオン検出器からは高い横方向運動量 (Transverse Momentum: pT) を持ったミュオンの情報が CTP に送信される。CTP で最終的なレベル 1 トリガー判定された結果が L1A (Level 1 Accept) 信号として出力され、TTC システムによって各検出器に分配されている。

バンチ衝突から L1A 信号が各検出器の電子学へ届くまでの処理時間のことをレイテンシーと

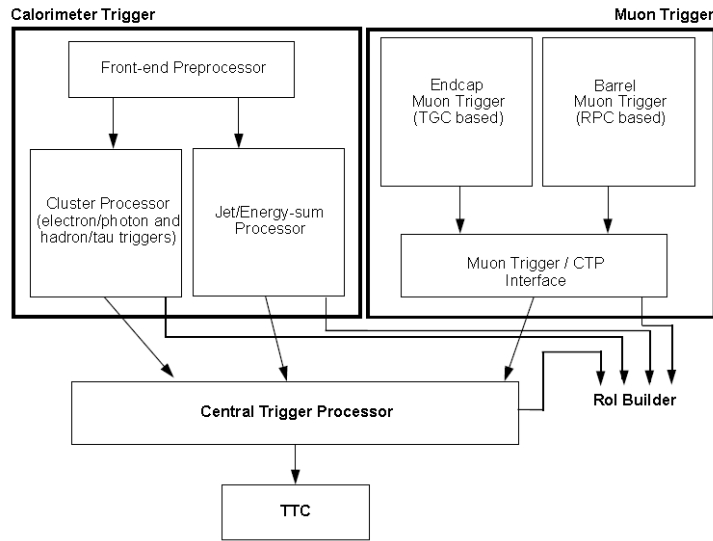


図 2.25 レベル 1 トリガー処理の流れ [24]

いい、レベル 1 トリガーではレイテンシーを $2.5\mu\text{sec}$ 以内にする必要がある。TGC が保有している LVL 1 Buffer のメモリ段数は約 100 (~128) 段あり、バンチ衝突は 25nsec の頻度で発生するため、 $25\text{nsec} \times 100 \text{ 段} = 2.5\mu\text{sec}$ の間データを保持することができる。このレイテンシーを保守することがレベル 1 トリガーシステムを構築する上で重要なファクターとなっている。次に各エレクトロニクスが L1A 信号を受信すると、レベル 1 Buffer にあるデータは Derandomizer (図 2.24 の桃色部) に送信される。Derandomizer は不規則にやってくるデータを ROD (Read Out Driver) から読み出されるまで保持する。データはどのバンチ衝突のものか、どの L1A 信号で読み出されたのか分かるようにバンチクロッシング ID (BCID) や L1ID (LVL1ID) が付加され、圧縮されて ROD に送信される。ROD で纏められたデータは ROB (Read Out Buffer) へと送信される。ここまでがレベル 1 トリガーシステムで行われている主な処理の流れである。以下では各モジュールの機能について詳細を述べる。

- Muon Trigger to CTP Interface (MUCTPI)

TGC と RPC の情報を CTP に渡す役割を担う。RPC と TGC はそれぞれセクタと呼ばれる単位ごとに pT の大きなミュオンの候補を MUCTPI に送る。各候補の情報は、RoI (Region of Interest) と pT の二つである。特に MUCTPI では RPC と TGC からきたトラックの候補からそれらの境界部分に関しての処理をしている。TGC と RPC が重なる部分に 1 つのミュオンが通過した場合、両方の検出器に候補をだしてしまい 2 つの候補となってしまうが、両方合わせて 1 つの候補と判定する。またその情報はレベル 2 トリガーに送るため、RoIB (RoI Builder) に送信される。

- Central Trigger Processor (CTP)

CTP はカロリメータとミュオンスペクトロメータからのトリガー情報を統合して、最終的なレベル 1 トリガーの判定をする。カロリメータでは $e/\gamma, \tau$ / ハドロンそれぞれに対し数段階の閾値が設けてあり、同様にミュオンスペクトロメータではミュオンの pT について数段階の閾値が設けてある。CTP は最高 96 種類のトリガー条件を設定でき、CTP が受信した情報とトリガー条件を比較する

ことで L1A 信号の有無を決定する。トリガー判定が終わると CTP は TTC システムに L1A 信号とトリガー情報を送信する。CTP でのレイテンシーは 4 バンチ (100nsec) 以下と決められている。

● Timing, Trigger and Control distribution(TTC)

各検出器の同期を取るための信号を分配するシステムである。また TTC とはこの TTC システムで生成、送信される信号方式のことも示している。TTC 方式の信号の内訳は以下の通りである。

- BC Clock (Bunch-Crossing Clock)・・・各エレクトロニクスをバンチ衝突周波数 (40.08MHz) に同期させるための clock
- L1A(Level 1 Accept)・・・CTP から送信されるレベル 1 トリガー判定の結果
- BCR(Bunch Counter Reset)・・・BCID(データがどの BCID に属するかを示す) のカウンターのリセットに使用
- ECR(Event Counter Reset)・・・L1ID(データがどの L1A に属するかを示す) のカウンターのリセットに使用
- EVID(EVent IDentifier)・・・ROD、ROB でのバンチクロッシングのチェックに使用 (=LVL1ID)
- BCID(Bunch-Crossing IDentifier)・・・ROD、ROB での Level1ID のチェックに使用

TTC 信号はバンチ衝突周波数 40.08MHz に同期した clock や、88.924 μ sec の LHC の軌道周期に同期する orbit など全検出器共通に使用される信号の他、テストパルスを生成し送信することができる。図 2.26 に示すように TTC は partition という単位で配置され LTP(Local Trigger Processor)、TTCvi、TTCvx、RODbusy の 4 つのモジュールから構成されている。LTP は CTP から L1A 信号、LHC からの clock や orbit を CTP を介して受信する。その後 L1A と orbit は TTCvi へ送信され、clock は TTCvx へ送信される。TTCvi は受信した L1A やテストパルスを TTCvx に送信し、TTCvx は受信した信号を加工した後、光ケーブルによって各検出器のエレクトロニクスに設置されている TTCrx に分配する。TTCrx では受信した信号を、フロントエンドに配置されている各エレクトロニクスに分配する。TTCvi から TTCvx へは A-Channel、B-Channel という 2 種類の信号が送信される。A-Channel で扱われるデータは L1A だけであるが、B-Channel では TTCrx に同期/非同期コマンドを送付することができ、前者はテストパルスの作成等に、後者はパラメーターの設定などに用いている。また、ROD からの busy 情報は ROD busy モジュールが受信し、LTP を介して CTP に送信される。

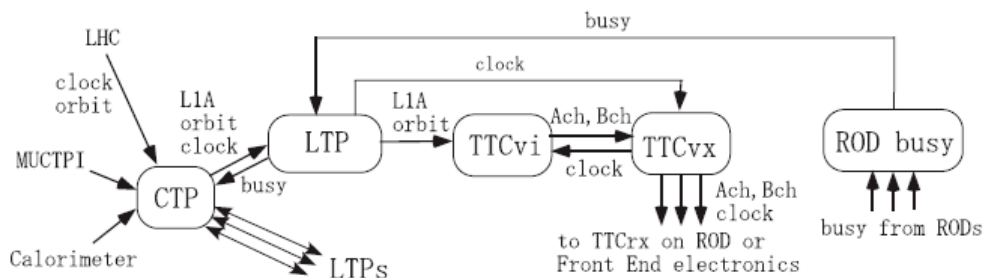


図 2.26 TTC partition[24]

2.4.2 High Level Trigger

ATLAS 検出器の 3 段階あるトリガーの中で、レベル 2 トリガーと Event Filter を合わせて High Level Trigger(HLT) と呼ぶ。レベル 1 トリガーと HLT との違いはレベル 1 トリガーではハードウェアによる処理がされているのに対して HLT はソフトウェアで処理しているところだ。レベル 2 トリガーではイベントレートを 75kHz(～100kHz) から 3kHz 程度に落とす。ここではカロリメータ、MDT、内部飛跡検出器からの情報によって、より精度を上げて処理を行うが、効率を良くするため、レベル 1 トリガーで選択された RoI(3.1.3 トリガーセクター参照) を用いてトリガー判定が行われる。

まず、複数のレベル 1 トリガーの結果が RoIB(RoI Builder) に送信され、そこで RoI が決定される。RoI は他のレベル 1 トリガーの情報と共に L2SV(LVL2 SuperVisor) に送信される。L2SV はその受信した情報からレベル 2 トリガーの判定をするため、いくつかの L2P(LVL2 Processor) をトリガー判定に割り当てる。割り当てられた L2P は、レベル 2 ネットワークを介して必要なイベント情報を Read Out System(ROS) から受信して、複数のコンピュータで平行にレベル 2 トリガー判定を行う。その結果、レベル 2 Accept 信号は L2SV に戻され DFM(Data Flow Manager) に送信される。DFM は負荷分散アルゴリズムに従ってデータを受ける SFI(Sub Farm Input buffer) を割り当てる。レベル 2 トリガーのレイテンシーは 40msec 以下と設定されている。

SFI は ROS からデータを受信し、SFI 内のバッファに保持する。EF は全体で 1600 台程度のコンピュータで構成される大規模なプロセッサ・ファームであり、幾つかの独立した EF sub farm から構成されている。EF sub farm は、スイッチング・ネットワークを介して 1 つ又は複数の SFI に繋がっている。EF sub farm では EFD(EF Data flow control program) というプログラムが走っており、SFI からイベントデータを受信し、トリガー判定を行う。あるイベントのトリガー判定が終わると、EFD は SFI から次のイベントデータを取って来て処理を続ける。各 EF sub farm で並列に処理が行われ、レイテンシーは 4sec 以下と設定されている。EF トリガー判定のためにデータは SFI より EF sub farm に受信される。EF Accept 信号が出ると、EFD はトリガー判定のために生成されたデータに、イベントの完全な生データを付加し、SFO(Sub Farm Output buffer) へとデータを送信する。そして、SFO から記憶媒体にデータが記録される。RUN1 では EF から出力された最終的なトリガーレートは約 400Hz であった。

3 Thin Gap Chamber

この章では Thin Gap Chamber(TGC) ミューオントリガーシステムについて説明する。TGC は前章で説明したようにミューオンスペクトロメータの中でも、エンドキャップ領域に設置されているトリガー用の検出器である。ここでは TGC の構造とトリガー処理の流れ、各エレクトロニクスについて説明する。

3.1 TGC の仕組み

3.1.1 TGC の動作原理と構造

図 3.1 に ATLAS 検出器における TGC の配置とその構造の模式図を示す。TGC はエンドキャップ領域をディスク状にカバーするため、各チェンバーの外形は台形になっており、その大きさは配置場所によって異なるが 1 辺が約 1~2m、重さは 1 台あたり 50~70kg 程ある。TGC の総数は約 3700 枚で、全チャンネル数は R 方向に約 22 万、 ϕ 方向に約 10 万ある。

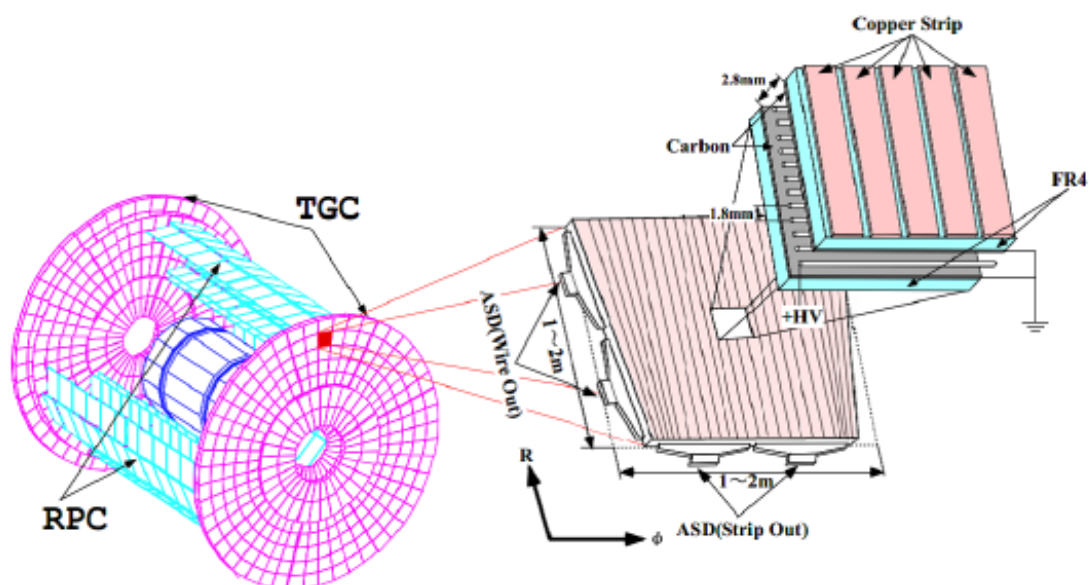


図 3.1 TGC の位置と構造 [24]

TGC は MWPC(Multi-Wire Proportional Chamber) 型チェンバーの 1 種であり、その構造は 2 枚の平行カソード (陰極) 板に等間隔に並んだアノード (陽極) ワイヤが配置されている。アノードは直径 $50\mu\text{m}$ の金メッキしたダクステンワイヤが台形の上底、下底に対して平行に張られている。カソードはガラス・エポキシ板に表面抵抗が $0.5\sim 1.0\text{M}\Omega/\text{mm}$ のカーボンを塗布してある。ガラス・エポキシ版を挟んだ反対の面には、1 面を 32 分割した扇型の銅のストリップがワイヤに直交して並べてある。ワイヤには図 3.2 に示すように約 30cm 毎にワイヤサポートがある。ワイヤサポートはワイヤのたるみを防ぐだけでなく、ガス流路の形成

と TGC の歪みを防ぐ役割も担っている。ワイヤは 6~20 本 (幅にして 10.8~36mm) をまとめて 1 つのチャンネルとして読み出す。ストリップは 32 本あり、場所によって異なる幅 (15.1~53.4mm) を持ちそれぞれが 1 つのチャンネルとして読み出される。これにより TGC は 2 次元の読み出しが可能で、ワイヤにより R 方向の位置を、ストリップによって ϕ 方向の位置の検出を行う。

TGC は図 3.3 で示すように、ワイヤ面とカソード間の間隔 (1.4mm) がワイヤ間の間隔 (1.8mm) よりも狭くなっているところに特徴がある。ワイヤの間隔が狭いのは電子のドリフト時間を短くし、バンチ衝突の間隔 (25nsec) に対応するためである。ワイヤとストリップの間隔が狭い理由は陽イオンのドリフト距離を短くし、ミューオンが高レートで入射してきても検出効率を落とさないようにするためと、ワイヤとストリップの間隔に対してワイヤ径を太くすることで、電場の強い領域がガス全体に広がり、ガスゲインをあげ不感領域を減らすためである。TGC は、内部に $CO_2/n-pentane(55/45)$ 混合ガスが満たされ、ワイヤには通常 2.9kV

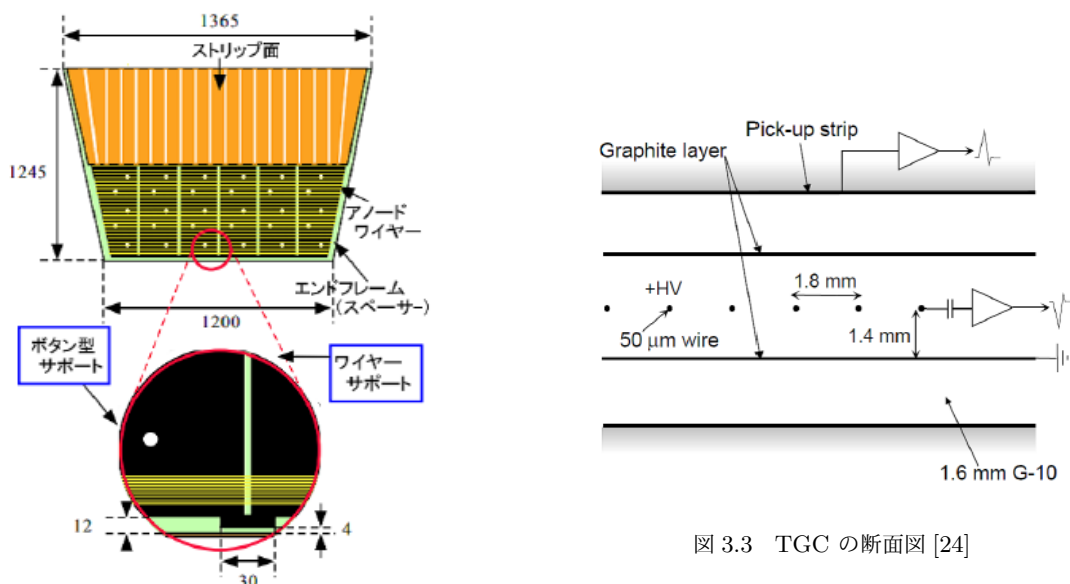


図 3.2 TGC の平面図 [24]

図 3.3 TGC の断面図 [24]

の高電圧が印加されている。ガス中を荷電粒子が通過すると、その経路にあるガス分子が電離されイオン化される (図 3.4a)。電離された 1 次電子はアノード側にドリフトしながら印加電場によって加速され、電離エネルギーを超えると 2 次電子を生成する (図 3.4b)。これを繰り返しかスケード型の電子なだれを形成する。電子とイオン雲はそれぞれドリフトによって互いに離れ (図 3.4c)、電子雲はワイヤを取り囲み (図 3.4d)、イオン雲はさらにその周りを取り囲むようにワイヤの径方向に拡散していく (図 3.4e)。TGC はこの電子なだれをシグナルとしてワイヤから読み取る。同時にカソード面では、塗布された高抵抗のカーボン面に電荷が誘起され、外側のストリップにも電荷が誘起されることで信号として読み出される。電子なだれで生じた励起分子やイオンの再結合による紫外線は、カソード面やガスに衝突して発生する 2 次電子によって自己放電を起こす可能性がある。そこで紫外線を吸収する効果 (クエンチ効果) のある $n-pentane$ を封入することで 2 次電子を抑え、チェンバーの検出効率を向上させている。

TGC は 1 層 (Singlet) では用いられず、図 3.5 で示すように 2 層 (Doublet) または 3 層 (Triplet) を重ねた

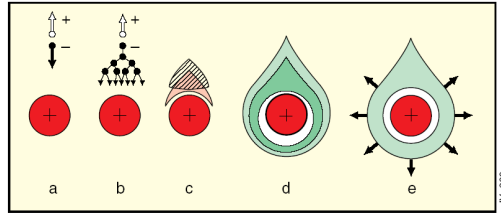


図 3.4 アノードワイヤでのカスケード型電子なだれの様子 [21]

構造にしている。Doublet の場合は 2 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。Triplet では、2 層目にはストリップがなく、3 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。多層にして各層の Coincidence を取ることで、バックグラウンドからの影響を減らすだけでなく、ワイヤサポートによる不感領域の影響も減らすことができる。また図 3.6 のように各層でチャンネルを $1/2$ もしくは $1/3$ ずらして配置しているため、実質の位置分解能は 2 倍もしくは 3 倍になる。

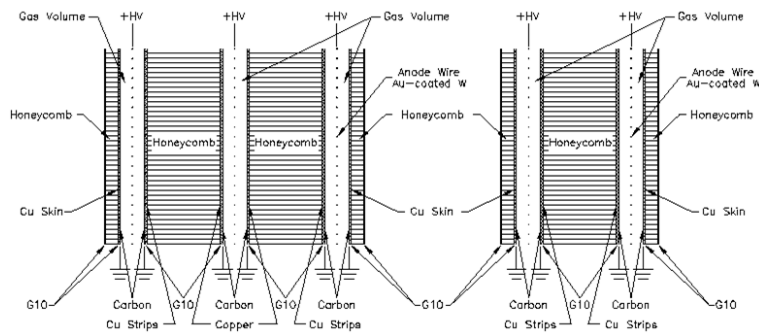


図 3.5 TGC の Triplet (左) と Doublet (右) の構造 [24]

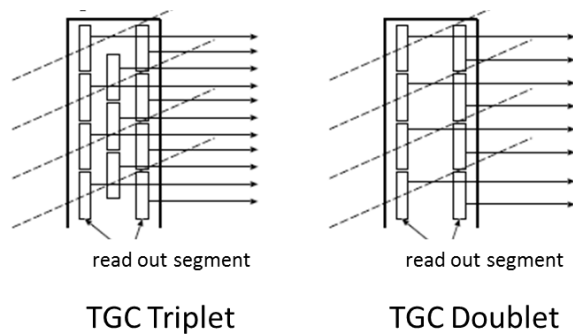


図 3.6 TGC 各層でのワイヤグループの重ね方

3.1.2 TGC の配置

ディスク状に並べられた TGC は、図 3.7 のように M1(triplet)、M2(middle)、M3(pivot) と EI(Endcap Inner)、FI(Forward Inner) の 5 つが ATLAS 検出器両側のエンドキャップ領域に配置されている。M1 は 3 層 (Triplet) のチェンバー、M2,M3 は 2 層 (Doublet) のチェンバーから成り、トリガー判定には主にこの計 7 層が使われている。また、ATLAS 検出器内側から M1 では T1,T2,T3、M2 では D4,D5、M3 では D6,D7 と各層を呼ぶ。TGC はエンドキャップ領域の中でも $1.05 < |\eta| < 2.70$ の範囲をカバーし、さらにそれを 2 つの領域に分けて、 $1.05 < |\eta| < 1.90$ を Endcap、 $1.90 < |\eta| < 2.70$ を Forward と呼ぶ。 $2.42 < |\eta| < 2.70$ の領域は M1 しかカバーしていないため、トリガー情報は生成されず位置測定のみ行われる。

また、TGC は配置される場所でも分類され $7.0m \leq |z| \leq 7.4mm$ の Inner Station (EIFI) と $|z| \simeq 13.4m, 14.7m, 15.2m$ に配置される Middle Station(Big Wheel) に分けられる。ここで、Inner Station や Middle Station は検出器が配置されている場所を示す。Middle Station にある Big Wheel(BW) は TGC の M1,M2,M3+MDT の middle MDT、Inner Station にある Small Wheel(SW) は TGC の FI+inner MDT($1.30 < |\eta| < 2.30$)+CSC のことである。EI は EIL4(Endcap Inner Layer) にあり、Inner Station は SW+EI を含んでいる。この論文では TGC のみを扱うので便宜上 M1、M2、M3 の総称を BW と呼ぶ。

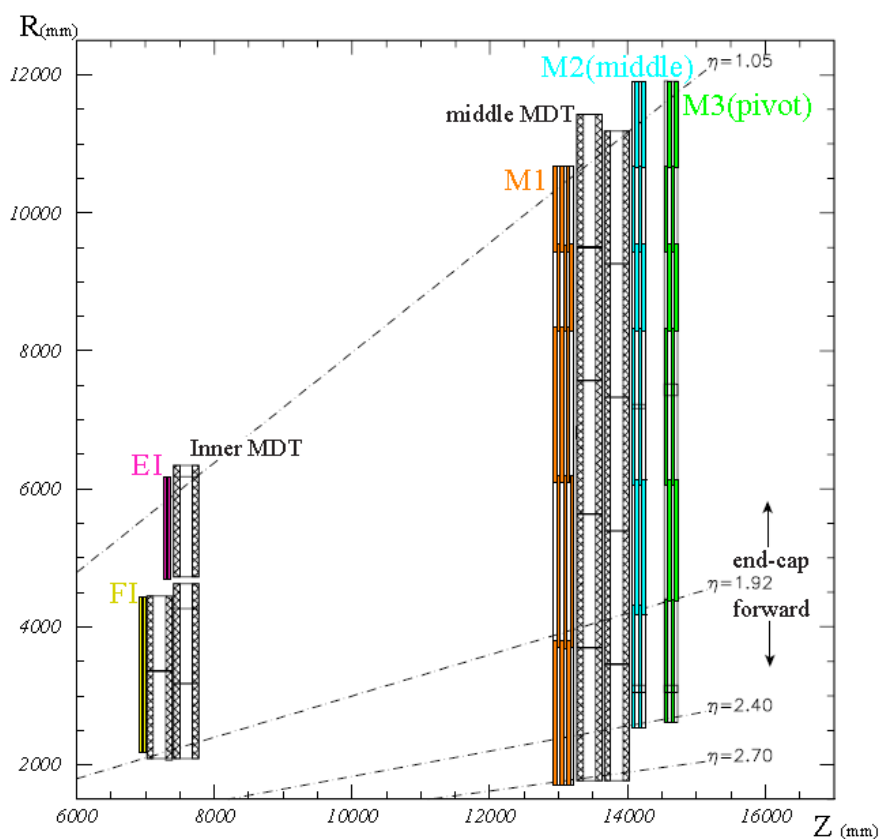


図 3.7 TGC の配置図 (R-Z 平面)[24]

3.1.3 トリガーセクター

図 3.8 に、TGC を外側から見た時の写真を載せる。TGC は 1/12 円 (TGC を ϕ 方向に 12 等分) をひとつの単位とし、TGC の建設はこの単位で行われた。レベル 1 トリガーに関する部分では、1/12 はさらにセクターと呼ばれる単位で分割され、図 3.9 のように、Endcap を ϕ 方向に 4 等分、Forward を ϕ 方向に 2 等分した領域をそれぞれトリガーセクターと呼ぶ。さらにトリガーセクターは Endcap では R 方向に 37 分割、 ϕ 方向に 4 分割、Forward では R 方向に 16 分割、 ϕ 方向に 4 分割した領域をそれぞれサブセクターまたは RoI(Region of Interest) と呼ぶ。サブセクターは 8 つのワイヤグループと 8 つのストリップに対応しており、トリガー処理の最小単位となる。

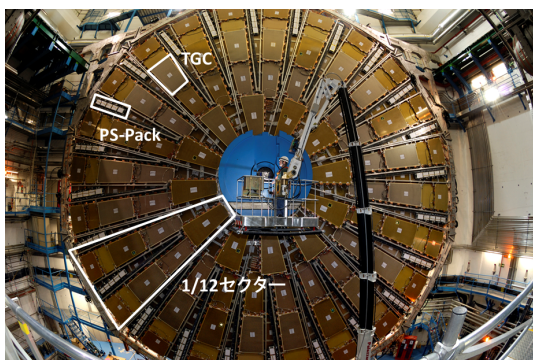


図 3.8 Big Wheel 写真

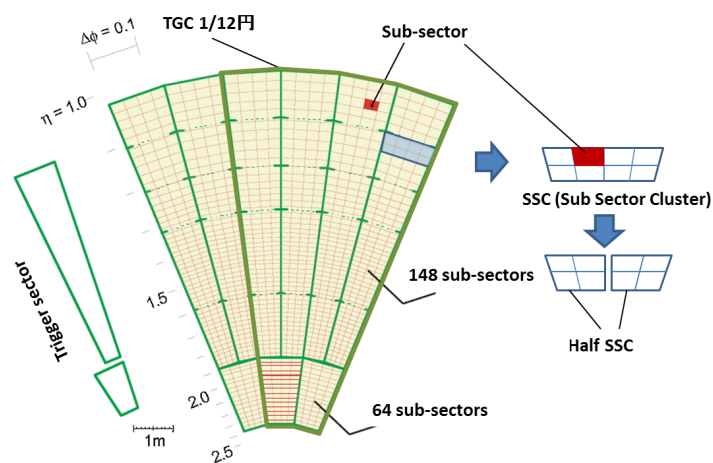


図 3.9 TGC の 1/12 円

また図 3.9 のように R 方向、 ϕ 方向に隣接する 8 つのサブセクターの集まりを SSC(Sub Sector Cluster) と呼び、SSC を ϕ 方向に 2 等分した集まりを half SSC としている。サブセクターの数は 1 つのトリガーセクターあたり Forward で 64 個、Endcap で 148 個と多く、個々のサブセクターで処理すると膨大なデータを扱わなければならない。そこで half SSC 単位で pT を測定することによって情報量を減らしている。そのため各 SSC からは ϕ 方向に 2 つのヒット信号が得られる。しかし 1 つのチェンバーに 2 つのミューオンが入射すると、HPT からは 2 つの R 情報、2 つの ϕ 情報が送られるため 4 つのトラック候補ができてしまう。そこで half SSC で計算した pT を隣接する 2 つの half SSC で比較し、高い pT をもつ信号をトラックの候補として選択する。つまり half SSC 単位で pT の測定を行い、SSC 単位で高い方の pT を持つ 1 つのトラック候補をつくる。

3.2 TGC トリガースキーム

TGC はトロイド磁場によって曲げられたミュオン軌道の横方向運動量 p_T を概算し、閾値より高い p_T のものに対してトリガーを発行する。またミュオンがヒットした位置を用いて p_T を導出するが、その p_T を概算する際に用いる Coincidence Window についても説明する。

3.2.1 p_T の概算方法

磁束密度 $B[\text{Tesla}]$ の中、曲率半径 $r[m]$ で運動している電荷 $e[C]$ を持つ荷電粒子の横方向運動量は $p_T = eBr$ で求まる。この式から電荷と磁場が一定の時、 p_T が高いほどその荷電粒子がたどる飛跡の曲率半径は大きくなるのがわかる。また実際の荷電粒子は有限の p_T を持つため曲がるが、 $p_T = \infty$ の時 $r = \infty$ となり、直線軌道を描くと考えられる。TGC では上記の仕組みを応用してミュオンの p_T を概算する。以下ではその手順を図 3.10 を使って説明する。

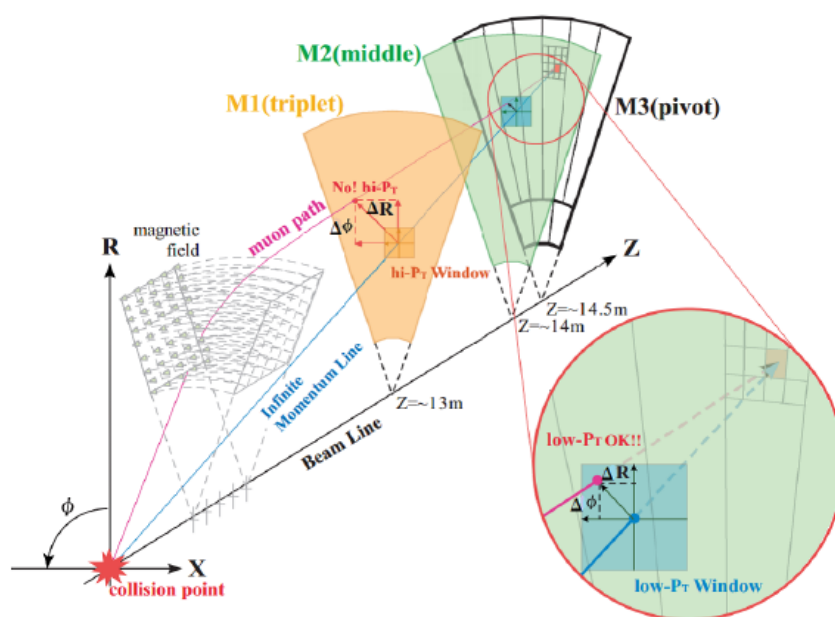


図 3.10 p_T 算出の仕組み [24]

1. 衝突点由来のミュオンがトロイド磁場 (magnetic field) によって曲げられた後、BW の M1、M2、M3 の順に通過する (赤色線)。
2. 衝突点と M3 でのヒット位置を結んだ直線 (Infinite Momentum Line) を考える。これは無限運動量 ($p_T = \infty$) のミュオンが通ったと仮定した飛跡である (青色線)。
3. M1、M2 での Infinite Momentum Line 通過位置と実際にミュオンがヒットした位置との差 ($\Delta R, \Delta \phi$) を計算する。

M1 で High- p_T 、M2 で Low- p_T の計算をしている理由は M1 に比べて M2 の方は M3 に近く High- p_T

のミュオンがきた時差分が小さくなり高い分解能が必要になるからである。

4. $\Delta R, \Delta\phi$ から Coincidence Window を用いて pT を概算する
5. 閾値以上の pT を持つミュオンを選別しトリガーを発行する

ここで理想的なトロイド磁石の場合、磁場は ϕ 方向にかかり $\Delta\phi = 0$ となるはずだが、磁場の分布が前章で述べたように非対称、不均一なため、 $\Delta\phi$ を計算に含めなくてはならない。

3.2.2 Coincidence

TGC ではバックグラウンドによるミュオンが多量かつ高頻度に検出されるため、それを取り除かないといけない。またチェンバーの不具合や不感領域があるため、たとえ TGC にミュオンが通過しても検出されるとは限らない。そのため TGC システムでは 3 段階の Coincidence を行いトリガー判定をする。

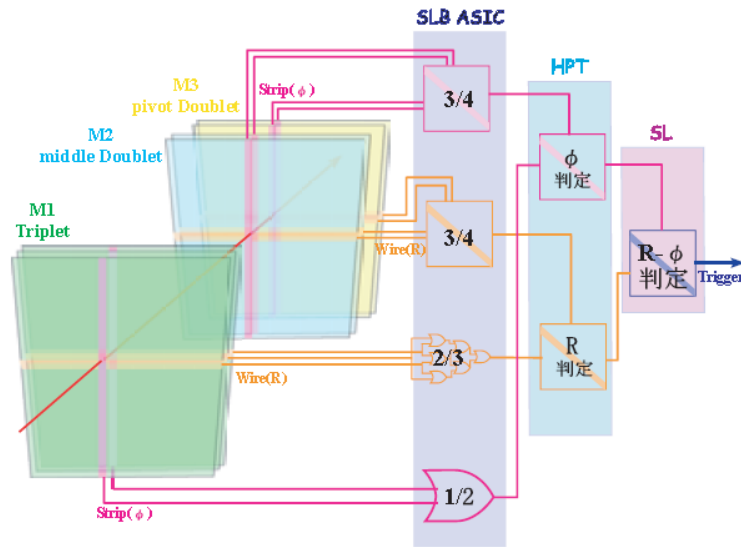


図 3.11 Coincidence 処理の概念図 [25]

1. SLB (Slave Board) ASIC

SLB ASIC では、Doublet と Triplet でそれぞれ Wire と Strip 独立に Coincidence を取る。

- M2 の 2 本の Strip と M3 の 2 本の Strip 計 4 つの Strip の内 3 本にヒットを要求する Coincidence(3/4 Coincidence) で Strip の Low-pT 判定
- M2 の 2 本の Wire と M3 の 2 本の Wire から 3/4Coincidence を取り Wire の Low-pT 判定
- M1 の 3 つの Wire から 2/3Coincidence を取り Wire のヒット判定
- M1 の 2 つの Strip から 1/2Coincidence を取り Strip のヒット判定

2. HPT (High-pT) Board

次に HPT Board によって Doublet と Triplet の ϕ 方向、R 方向それぞれの High-pT 判定が行われる。

3. SL(Sector Logic) Board

SL Board では $\Delta R, \Delta\phi$ の値から Coincidence Window を用いて pT が概算され、閾値以上のものに

対してトリガーを発行する。

3.2.3 Coincidence Window

Coincidence Window(CW)とは $\Delta R, \Delta\phi$ の値から pT を概算するLook Up Table(LUT)のことである。LUTとは入力信号が取りうる全てのパターンについて予めそれぞれの出力信号をメモリに格納し、入力信号をインデックスとしてメモリの内容を取得する方式である。CWは $\Delta R, \Delta\phi$ をインデックスとして pT の値を概算し、その結果が各 pT 閾値より大きい時、衝突点由来のミューオンの信号として判定することでバックグラウンドを取り除いている。高頻度で発生するイベント毎に $\Delta R, \Delta\phi$ から pT の計算をすると時間がかかる。そこでシミュレーションによって予め各 $\Delta R, \Delta\phi$ の組み合わせに対応する pT を計算し、LUTに登録しておくことで時間を短縮し、処理速度を一定に保っている。図3.13はCWの一例である。横軸が $\Delta\phi$ 、縦軸が ΔR でありそれらの大きさによって要求される pT が変わる。RUN1では、表3.12に示す6段階のトリガーマニューでトリガー判定がされていた。それぞれに pT 閾値が定められておりCWはこの閾値を基に作成された。

図 3.12 トリガーマニュー

トリガーマニュー	pT	内容
L1MU0	pT1	pT 6GeV/c 未満
L1MU6	pT2	pT 6GeV/c 以上
L1MU10	pT3	未使用
L1MU11	pT4	pT 11GeV/c 未満
L1MU15	pT5	pT 15GeV/c 未満
L1MU20	pT6	pT 20GeV/c 未満

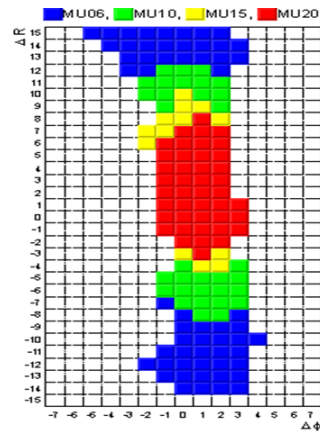


図 3.13 Coincidence Window の一例

3.3 TGC エレクトロニクス

3.3.1 エレクトロニクスシステム

ここでは TGC にミュオンがヒットしてからレベル 1 ミュオントリガーが発行されるまでの各エレクトロニクスで行われる処理について説明する。図 3.14 に TGC エレクトロニクスの全体図を示す。主にトリガー系、リードアウト系、コントロール系の 3 つの系統に分類される。

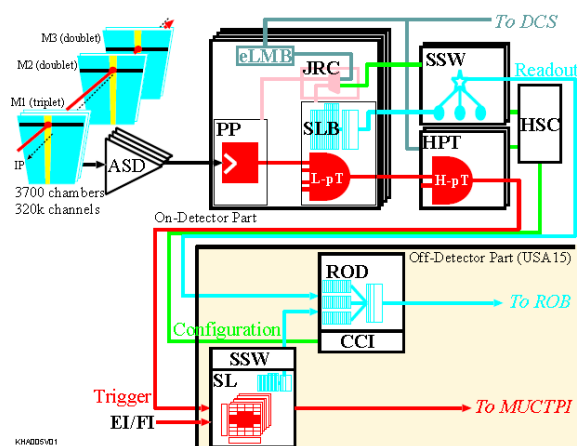


図 3.14 TGC エレクトロニクス全体図 [25]

- トリガー系

トリガー系の流れは、ASD(Amplifier Shaper Discriminator)Board、PP ASIC(Patch Panel ASIC)、SLB ASIC(Slave Board ASIC)、HPT(High-pT Board)、SL(Sector Logic) Board の順に信号が処理される (図 3.15)。TGC から出力されるアナログ信号は ASD Board に送られ、信号の増幅・整形・デジタル化された後、PP ASIC へと送られる。PP ASIC では、バンチ衝突から各チャンネルへ粒子が到達するまでの飛行時間である TOF(Time Of Flight) やケーブル遅延などから生じるタイミングのずれを調整し、バンチ識別をする。SLB ASIC、HPT Board、SL では前述したように段階的な Coincidence によってトリガー判定をする。SL からのトリガー判定結果は MUCTPI に送られ、そこで RPC のトリガー判定結果と合わせてミュオンの最終的なトリガー判定が行われる。

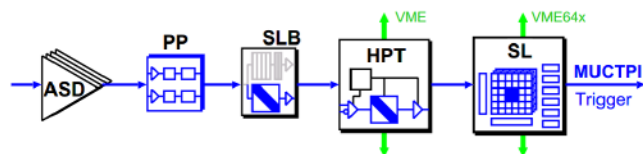


図 3.15 トリガー系 [24]

- リードアウト系

リードアウト系の流れを図 3.16 に示す。PP ASIC から送信されたデータは、SLB ASIC にある LVL1 Buffer に蓄えられ、L1A 信号を受けたデータのみが、Derandomizer を通じて SSW(Star Switch) へと送信される。SSW では Zero suppress という方法を用いてデータの圧縮している。またトリガー情報も SL に搭載された SLB ASIC から SSW に送信される。SSW で圧縮されたデータは次に ROD(Readout Driver) に送信される。ROD では通常 9 個の、EIFI を含めれば 10 個の SSW からの情報を収集し、それらのデータと TTC から送られてくる情報との整合性を確認し、データが正しいものであれば ROB(Readout Buffer) に送信される。

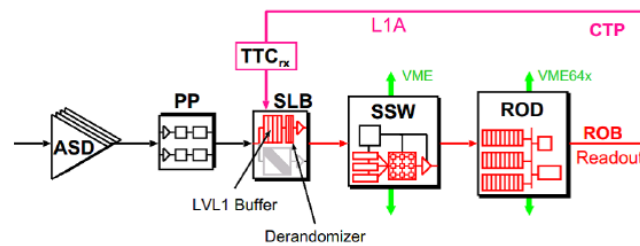


図 3.16 リードアウト系 [24]

- コントロール系

コントロール系には、各検出器の制御と監視をするために DCS(Detector Control System) が使用されている。DCS は eLMB(embedded Local Monitor Box)、ADC(Analog-Digital Converter) や DAC(Digital-Analog Converter) を搭載し、PS Board 上に設置される。HPT と SSW は CCI(Control Configuration Interface Board) から HSC(High-pT Star-switch Controller Board) を経由して制御され、PP ASIC と SLB ASIC は SSW によってコントロールされる。また DCS は温度状態管理や電源の監視をするとともに、通常 SSW から行われる PP ASIC と SLB ASIC の設定をバックアップのために eLMB からもできるようにしている。PS Board には PP ASIC もしくは SLB ASIC への制御信号の切替をするため JRC(JTAG Routing Controller) を備えている (図 3.17)。

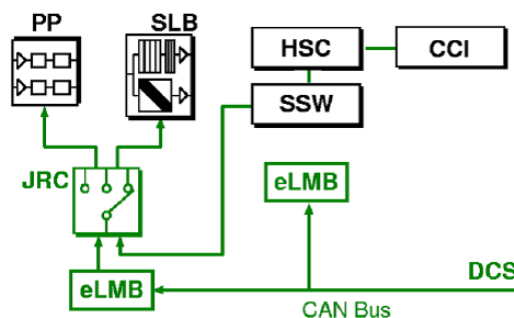


図 3.17 コントロール系 [24]

3.3.2 エレクトロニクスの配置

TGC エレクトロニクスは TGC 側面に直付けされている ASD 以外に大きく 3 つの場所に分けて設置されている。PS Pack は M1 の衝突点側と M3 の外側に設置されている。図 3.18 に示すように、PS Pack には PS Board と Service Patch Panel(SPP) が収められ、ASD と直接 LVDS でリンクされる。また、M3 に設置されている PS Pack を BW の写真 (図 3.8) に示した。HSC クレートは TGC BW の外縁上に設置される VME クレートで、HPT や SSW、HSC が搭載されている。HSC クレートは TGC1/12 単位に 1 台設置されている。また、PS Pack と 15m の LVDS でリンクされている。PS Pack や HSC クレートが設置されている場所は放射線が強く、搭載される IC は十分な放射線耐性を備える必要がある。ROD クレートは ATLAS PIT の USA15 という counting room に設置されている VME クレートで、実験ホールからは 90~100m 離れており、HSC クレートとは光ケーブルでリンクしている。ここには SL と ROD、HPT クレートを遠隔操作する CCI が搭載されている。これらは TGC エレクトロニクスの最終段に位置し、MUCTPI や ROS にデータが送信される。

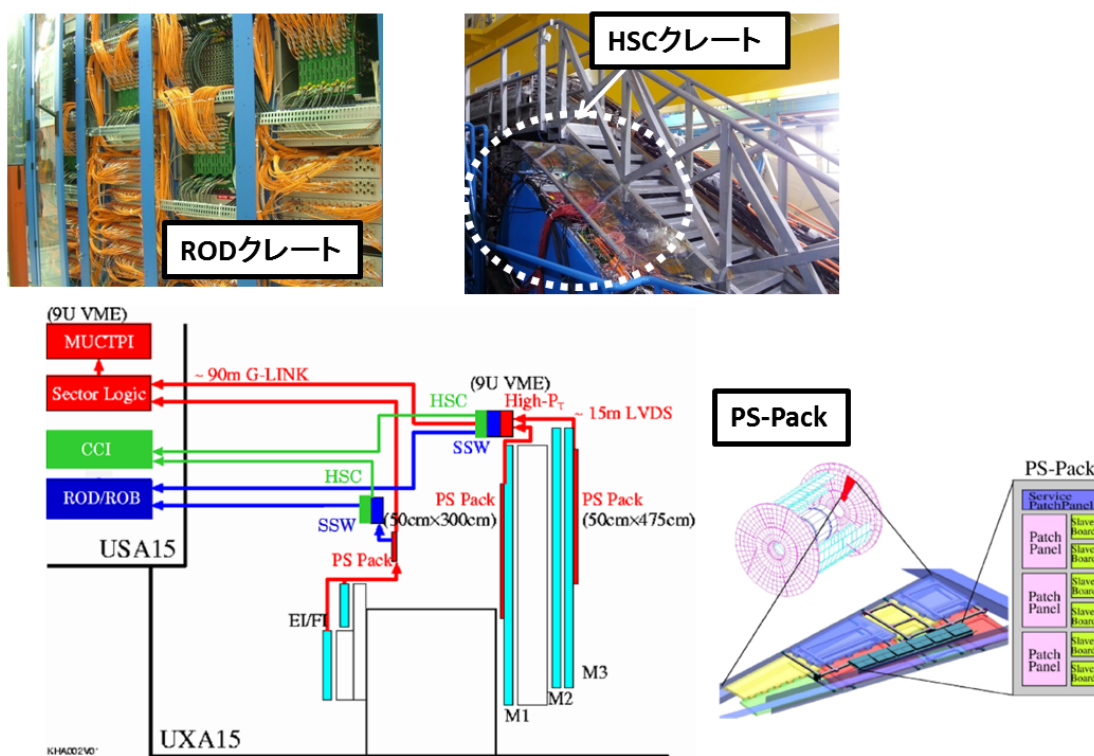


図 3.18 エレクトロニクスの配置

4 Sector Logic

Sector Logic(SL) は各検出器からのヒット信号を用いてレベル 1 ミューオントリガーの最終判定をするモジュールである。本章では SL の基本的な仕様 (2012 年 9 月以前に使用されていた仕様) と G-link について述べる。

4.1 SL の基本設計

SL は TGC システムの最終段に位置し、MUCTPI にレベル 1 ミューオントリガー判定の結果を渡すモジュールである。具体的には、この SL に搭載されている Sector Logic FPGA に論理回路を組み込むことでトリガー処理を実現する。

4.1.1 システムからの制約と設計思想

まず、SL に課せられている制約を述べる。

1. LHC の衝突周波数 40.08MHz に同期して、デッドタイムレスで動作すること
2. それぞれのバンチで独立して結果を出さなければならない
3. HPT モジュールから送られる信号を受信してから MUCTPI へ結果を出力するまでに許されるレイテンシーは最大 $8\text{clock}(200\text{nsec})$ で、常に一定でなければいけない
4. 入射ミューオンの運動量測定に用いられる 6 段階の閾値は、探索する物理にあわせて実験中に自由に変更が可能であること
5. HPT モジュールからの入力情報と SL の出力情報は読み出しが可能であること

制約 1,2 から、バンチ衝突で発生した粒子による信号をもれなく処理するためには、最低 40.08MHz の動作周波数が必要であることを規定している。

制約 3 は短時間での処理が要求されるレベル 1 トリガーシステムにおいて、バンチ毎にトリガー信号を生成するためにレイテンシーを一定にすることを定めている。またレベル 1 トリガーでのレイテンシーをデータ保持時間である $2.5 \mu\text{sec}$ 以下にするためには、SL が占めるレイテンシーを 200nsec 以下にしなければいけない。

制約 1～3 を満足するために SL では論理回路によるパイプライン処理を採用している。そのパイプライン構造はフリップフロップ (FF) と組み合わせ回路によって構成されている。SL 全体をバンチ衝突周波数の 40.08MHz で動作させるため、各 FF 間にある組み合わせ回路の遅延時間を 25nsec 以内にする必要がある。各 FF 間の組み合わせ回路を少なくすれば遅延時間を少なくできるが、レイテンシーの条件があるため必要以上に増やしてはいけない。

制約 4 を満足するために SL は、FPGA(Field Programmable Gate Array) など内部回路の変更や追加に随時対応可能な IC によって構成している。磁場による軌跡の曲率から pT の値を概算する際、磁場の不均一性や構造物などの影響があるため、複雑な論理演算式を用いなければいけない。さらに組み合わせ回路は条件によって回路構成が大きく変わってしまい FPGA 内部での配線遅延などで、レイテンシーを一定に保つことが難しくなるため CW を導入した。CW はメモリーに格納されたデータを返すだけなのでレイテンシーは一

定となり、パイプライン構造にも適している。CW はモンテカルロシミュレーションを用いた解析により適宜修正が施され、トリガー効率を下げないために最適な分布が採用されている。

制約5については、SLB ASIC を用いて PS Board と同様の読み出し回路を構成したことで満足している。

4.1.2 Sector Logic Board

SL Board は Endcap 用と Forward 用の 2 種類あり、共に SL Board 1 枚につき 2 つの SL FPGA が搭載され、1 つの SL FPGA はトリガーセクター 1 つ分の信号処理をしている。よって、SL Board は 1 枚あたりトリガーセクター 2 つ分をカバーすることになる。TGC 全体 (A-side と C-side 合わせて) で Endcap 用 SL Board は 48 枚、Forward 用 SL Board は 24 枚ある。図 4.1 に SL Board の写真と模式図を表す。

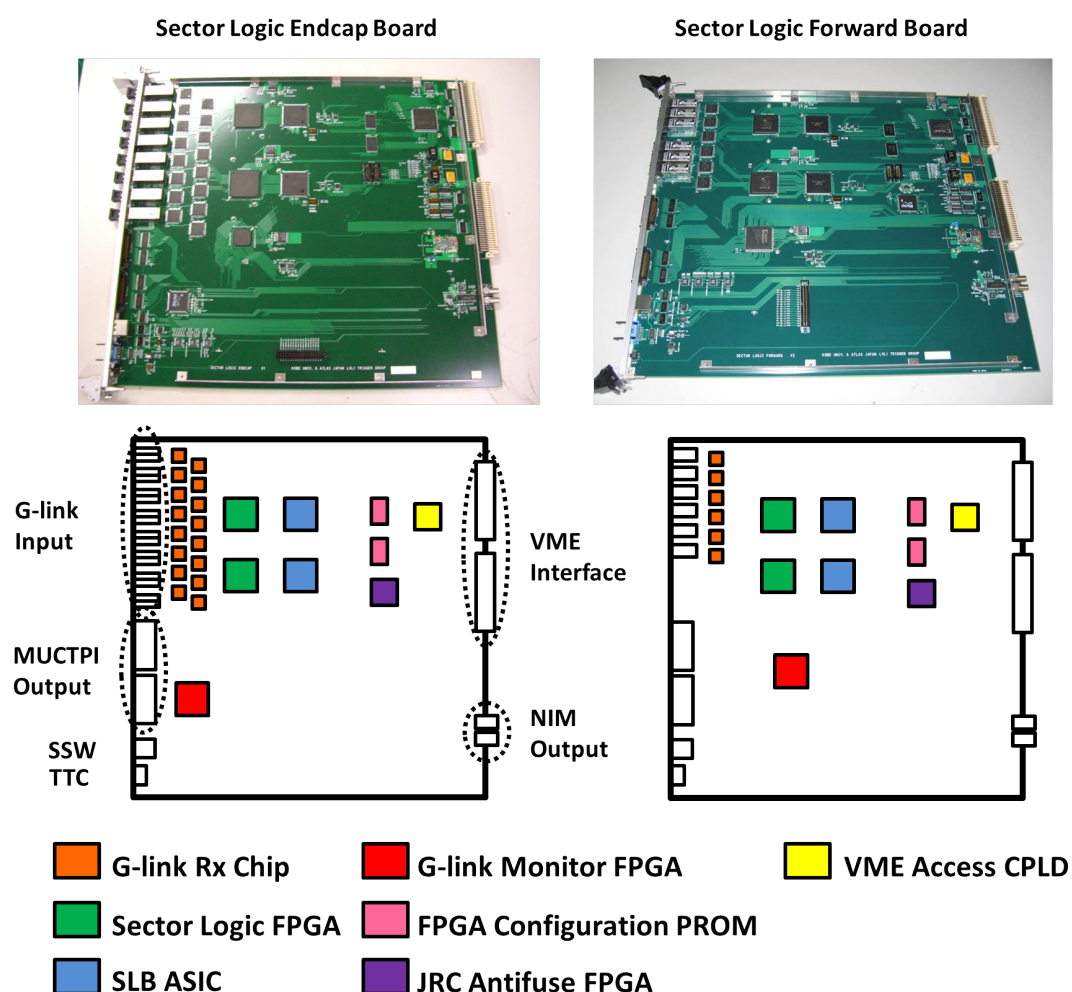


図 4.1 SL Board の写真と構成

SL Board は VME9U のスレーブモジュールで、VME バスのインタフェース、入出力のインタフェースと G-link Rx Chip、CPLD(Complex Programmable Logic Device)、FPGA、ASIC、PROM(Programmable

Read Only Memory) などの IC で構成されている。

各 IC については、用途により Endcap 用と Forward 用で異なるものが使用されている。SL Board の前方には TTC から LVTTTL 入力、SSW との LVDS 入出力、MUCTPI への LVDS 出力のインタフェースが、後方には NIM 出力が備えられている。主要な IC 間の信号の流れを図 4.2 に示し、それぞれの機能を以下で述べる。

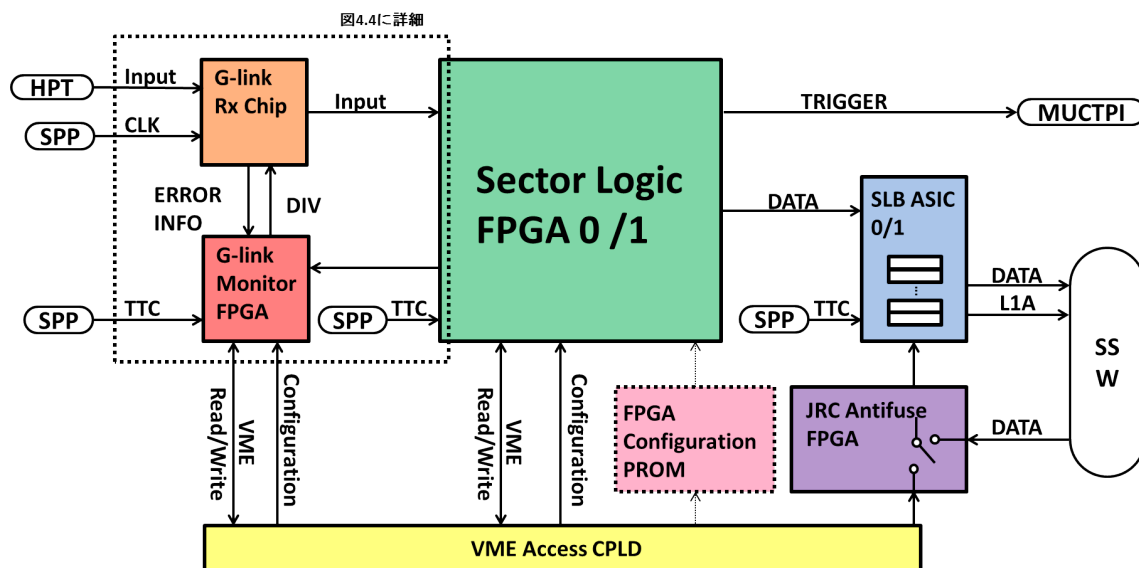


図 4.2 SL Board の信号処理の流れ

● Sector Logic FPGA

SL の中で中核となるトリガー判定ロジックを実装する FPGA。この SL FPGA は基本論理を実装するためのメモリ容量、CW を実装するために使用する LUT のメモリ容量、IO PIN 数から選択している。G-link Rx を介して各モジュールからのトリガー情報を受信し、MUCTPI にトリガーを送信する。またそれと並列して SLB ASIC にトリガー情報を送信する。SL FPGA 内のトリガー判定ロジックについては次節で説明する。

表 2 LUT の必要メモリー量と FPGA の搭載メモリー量

	必要メモリー容量 (kb)	使用 FPGA	搭載メモリー容量 (kb)
Endcap	1656	XC2V3000-BG728(Xilinx)	1728
Forward	576	XC2V1000-BG575(Xilinx)	720

● G-link Monitor FPGA

各検出器からのトリガー情報は G-link 信号と呼ばれるシリアライズされた光信号で送られてくる (次節参照)。G-link Monitor は G-link Rx からその G-link 信号のエラー情報を検知した場合、自動的に復旧するよう制御を行う。FPGA は Xilinx 社の XC2S150E-FG456(Endcap)、XC2S50E-PQ208(Forward) を使用している。

- VME Access CPLD

VME Access CPLD は VME マスターモジュールと SL Board 間の通信を担い、各 FPGA とのアクセスを可能にする回路が実装されている。これによってレジスタの読み書きができ、各 FPGA の設定や機能の切り替えをする。また、FPGA のコンフィギュレーション (回路の焼きこみ) は VME アクセスによってできる。VME アクセスもしくは Board 上の JTAG ピンからの JTAG 信号を、レジスタもしくは Board 上のディップスイッチによって各 FPGA、PROM、SLB ASIC に対してルーティングを行う。Endcap、Forward 共に Xilinx 社の XC2C256-PQ208 を使用し、内部回路は HDL で設計している。

- FPGA configuration PROM

FPGA は揮発性であり、電源を切ると内部の回路は消えてしまうため、PROM に各 FPGA の内部回路の設計データを入れておき、電源投入時にコンフィギュレーションをしていた。現在は、VME 経由で FPGA をコンフィギュレーションすることになったため使用されていない。Xilinx 社の XCF18P(Endcap)、XCF08P(Forward) を使用している。

- SLB ASIC

PS Board に搭載された SLB ASIC と同じものを用いており、SL が出力するトリガー情報と、HPT からの入力を読み出す。1 つの SL FPGA 分の情報を 1 つの SLB ASIC で読み出すため、1 枚の SL Board に SLB ASIC が 2 個搭載されている。SLB ASIC に TTC(L1A) 信号がきたときバッファにあるデータを SSW へ送信する。

- JRC Antifuse FPGA

PS Board に搭載された JRC と同じものを用いており、SLB ASIC の制御を SSW 経由もしくは JTAG 経由どちらにするのか切替を行う。Endcap、Forward 共に Actel 社の A54SX08A を使用している。

4.1.3 入力信号 (HPT)

ここでは HPT から SL に送信される信号 (BW 信号) について述べる。RUN2 からは BW 信号の他に、EIFI や Tile Calorimeter からの信号も SL に入力されるが、それらに関しては次章から説明する。BW 信号は光ケーブル 1 本につき 16bit または 17bit のデータ幅で、最大 2 ヒット分の High-pT Coincidence 情報を持っている。

Endcap 用の SL は 1 つのトリガーセクターにつき 6 本の光ケーブルで BW 信号を受信する。そのうち 4 本はワイヤーのヒット情報の送信に使用され、3 本は 17 bit、1 本は 16 bit (合計 $17 \times 3 + 16 = 67$ bit) を受信する。残りの 2 本はストリップのヒット情報の送信に使用され、2 本とも 17 bit (合計 $17 \times 2 = 34$ bit) を受信する。1 枚の Endcap 用の SL Board は 2 トリガーセクター分を処理するため計 12 本の光ケーブルで BW 信号を受信する。

Forward 用の SL は 1 つのトリガーセクターにつき 3 本の光ケーブルで BW 信号を受信する。そのうち 2 本

はワイヤーのヒット情報の送信に使用され、各 17bit で計 34bit の信号を受信する。残りの 1 本はストリップのヒット情報の送信に使用され、16bit の信号を受信する。1 枚の Forward 用の SL Board は 2 トリガーセクター分を処理するため計 6 本の光ケーブルで BW 信号を受信する。1 つのトラック情報はワイヤーから 10 bit, ストリップから 9 bit で入力され、その内訳は表 3 のようになる。その表に記載した Chip とは、HPT に搭載された Coincidence 処理などを行う IC のことで、1 つの Chip で処理された信号は 1 本の光ケーブルで SL に送信される。

表 3 BW 信号のデータフォーマット

Chip		Candidate	Signal[bit width]				
HPT Endcap wire	Chip0(7bit)	1st		POS[1]	H/L[1]	Sign[1]	ΔR [4]
	Chip1-3(20bit)	2nd	HitID[3]	POS[1]	H/L[1]	Sign[1]	ΔR [4]
		1st	HitID[3]	POS[1]	H/L[1]	Sign[1]	ΔR [4]
HPT Endcap strip	Chip0(18bit)	2nd	HitID[3]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi$ [3]
		1st	HitID[3]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi$ [3]
	Chip1(16bit)	2nd	HitID[2]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi$ [3]
		1st	HitID[2]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi$ [3]
HPT Forward	Chip0 (wire) (20bit)	2nd	HitID[3]	POS[1]	H/L[1]	Sign[1]	ΔR [4]
		1st	HitID[3]	POS[1]	H/L[1]	Sign[1]	ΔR [4]
	Chip1 (wire) (16bit)	2nd	HitID[1]	POS[1]	H/L[1]	Sign[1]	ΔR [4]
		1st	HitID[1]	POS[1]	H/L[1]	Sign[1]	ΔR [4]
	Chip2(strip) (14bit)	2nd	HitID[1]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi$ [3]
		1st	HitID[1]	POS[1]	H/L[1]	Sign[1]	$\Delta\phi$ [3]

ここで BW 信号が持つトラック情報について説明する。HitID は、ミューオンのヒット位置を SSC 単位で表しており、Strip, Wire とともに RoI 番号の小さいほうから 2 つ分の RoI をまとめている。POS は HitID で示したヒット位置をさらに絞るものであり、Wire 情報の場合 RoI の上下、Strip 情報の場合チェンバーの左右どちらかを指定する。H/L は High-pT Coincidence が取れたか否かを 1(H)/0(L) で表す。Sign は Wire 情報の場合 ΔR の、Strip 情報の場合 $\Delta\phi$ のトラックが曲がった方向を表す。Delta は Wire 情報の場合 ΔR を、Strip 情報の場合 $\Delta\phi$ の無限大運動量を持っているミューオンからの飛跡のずれを示す。この時、Low-pT イベントでは $-7 < \Delta R < +7$ 、 $-3 < \Delta\phi < +3$ の範囲で、High-pT イベントでは $-15 < \Delta R < +15$ 、 $-7 < \Delta\phi < +7$ の範囲で飛跡のずれを示す。もし Delta = 0 の飛跡が検出された場合、Sign の値を 1 とし Delta = 0 のトラックがあることを示す。Endcap Wire Chip0 を除いた各 Chip はそれぞれ 1st、2nd の 2 つの候補 (Candidate) を出力し、上位ビット側が 1st の情報を表している。

4.1.4 出力信号

SL から MUCTPI には 32bit LVDS 方式の平行信号が表 4 に沿って送信される。1 つの SL FPGA は対応する 1 つのトリガーセクターの中で最も pT が高いトラック (1st トラック) 候補と 2 番目に pT が高いトラック (2nd トラック) 候補の情報を送信する。フォーマットにある”-1”と”-2”はそれぞれ 1st トラック候補の情報、2nd トラック候補の情報を表している。CHRG はミューオンの HPT からの ΔR の符号 (Sign) である。BCID はバンチクロッシング ID の下 3 桁で、PT は 6 段階で表される。RoI はミューオンがヒットした位置を示し、MT2C (More Than 2 Candidate) はトラックの候補が 3 つ以上のときに High となる信号だが現在は使用されていない。

表 4 MUCTPI へのデータフォーマット

		7	6	5	4	3	2	1	0
Endcap	3	CHRG2	CHRG1	BCID[2]	BCID[1]	BCID[0]	1	1	PT2[2]
	2	PT2[1]	PT2[0]	PT1[2]	PT1[1]	PT1[0]	0	ROI2[7]	ROI2[6]
	1	ROI2[5]	ROI2[4]	ROI2[3]	ROI2[2]	ROI2[1]	ROI2[0]	0	ROI1[7]
	0	ROI1[6]	ROI1[5]	ROI1[4]	ROI1[3]	ROI1[2]	ROI1[1]	ROI1[0]	MT2C
Forward	3	CHRG2	CHRG1	BCID[2]	BCID[1]	BCID[0]	1	1	PT2[2]
	2	PT2[1]	PT2[0]	PT1[2]	PT1[1]	PT1[0]	1	1	1
	1	ROI2[5]	ROI2[4]	ROI2[3]	ROI2[2]	ROI2[1]	ROI2[0]	1	1
	0	1	ROI1[5]	ROI1[4]	ROI1[3]	ROI1[2]	ROI1[1]	ROI1[0]	MT2C

4.2 Sector Logic FPGA

ここではトリガー処理を実際に行う SL FPGA の内部回路について述べる。主に以下に示す 3 つのロジックを導入し、実現するのが SL FPGA の役割である。

1. $R - \phi$ Coincidence :BW にミューオンがヒットした位置情報 R と ϕ から Coincidence を取るとともに ΔR 、 $\Delta\phi$ から CW によって pT を 6 段階で決定するロジック
2. Inner Coincidence: BW 信号の他に EIFI と Tile Calorimeter からの信号を用いて Coincidence を取るロジック
3. Track Selector :Coincidence 処理され pT が得られたトラック候補から、より高い pT をもつトラック候補を最大で 2 つ選択するロジック

4.2.1 SL FPGA の機能

FPGA(Field Programmable Gate Array) とは製造後でもユーザーによる内部回路の書き換えが可能な IC のことである。Gate Array は NAND や NOR などの論理回路、トランジスタや抵抗などの受動素子を配置し、その上に配線層を加えることで各部品を結び半導体を形成する方法のことである。FPGA は主に論理ブロックと論理ブロック間の配線、配線スイッチ、I/O ブロック、I/O ブロックと論理ブロックの間の配線部分の 5 つで構成されている。

FPGA の論理回路はハードウェア記述言語 (Hardware Description Language:HDL) で設計され、その中でも Verilog-HDL という言語を用いて設計している。SL では Xilinx 社が提供する ISE Design Suite というソフトウェアを用いて作成し、それを論理回路へ変換したものを実装している。HDL のファイル形式には IO ピンの配列や CW を記述した User Constraints File と、トリガー処理を実行する論理回路を記述した Verilog File の 2 種類がある。その 2 つを合わせてコンパイルすることで Bit File に変換し、FPGA に実装する。

また SL FPGA の HDL コードは、いくつかの機能別にモジュール化しており、論理の変更や追加に柔軟に対応できるように設計している。

ここでは、SL FPGA に実装される論理回路の詳細を機能モジュールごとに分けて説明する。まず、SL FPGA の主な機能モジュールのブロックダイアグラムを図 4.3 に示す。Delay、Decoder、 $R - \phi$ Coincidence、Inner Coincidence、Track Selector、Encoder の 6 つに分けられるが、Inner Coincidence については次章から説明する。

- Delay
フリップフロップを連結してシフトレジスタの構造をしている。各モジュールからくる入力信号のタイミングを揃えるために、それぞれ半整数 clock 単位で任意の時間遅らせる機能をもつ。
- Decoder
BW 信号が持つトラックの曲がり具合 (ΔR 、 $\Delta\phi$) および、ヒット位置情報 (R 、 ϕ) の値を解釈して各サブセクターごとに ΔR 、 $\Delta\phi$ の値を振り分ける。
- $R - \phi$ Coincidence
 $R - \phi$ Coincidence は、各サブセクターごとに割り振られた ΔR 、 $\Delta\phi$ の値から pT の値を CW を用

いて概算する。

- Track Selector

各 SSC からの pT の値から、Pre Selector と Final Selector という 2 段階の処理を行うことで、最大 2 つのトラック候補が選別される。

Pre Selector では、各 pT 値の中から最大で 2 つのトラックを選び出す。優先順位は R の大きい順である。6 段階の各 pT 閾値から 2 つずつ、最大で計 12 個のトラックが次段の Final Selector に送られる。Final Selector では各 pT 閾値ごとに振り分けられたトラックから、最終的に pT の値が大きい方から順に最大 2 つのトラックが選出される。同一 pT の場合、R の値の大きい方が選出される。

- Encoder

Track Selector で選出されたトラックの pT 値とそのヒット位置である RoI を LVL1 トリガーで後段にある MUCTPI へ送られる。さらに読み出しをするために HPT からの入力情報と MUCTPI への出力情報をあわせて、SLB ASIC へ送る。

また SL FPGA の余剰メモリを利用して、SL の状態や運転状況を監視し、トリガー処理を補助する機能が実装されている (図 4.3 には示していない)。

- Trigger Counter

Trigger Counter は Encoder からのトリガー出力の有無の 1 ビットの入力を 10 秒間カウントする。カウントされた値は、レジスタに渡され VME Access によって読み出すことができる。この値を読み出すことで、大まかなトリガーレートの推移をモニターできる。

- Mask

Mask は Decoder の前段におかれ、BW 信号を SSC 単位でマスク (遮断) する。例えば RUN 中に BW の一部に不調が見られた時その SSC からの情報は使いたくない。その場合、CW を作り直して実装するまでの一時的な処置として、VME 経由で該当する SSC からのデータを遮断する。

- H/L Mask : High-pT 判定された信号か、Low-pT 判定された信号かを判断してマスクを行う

- SSC Mask : SSC 単位でトリガー情報のマスクを行う

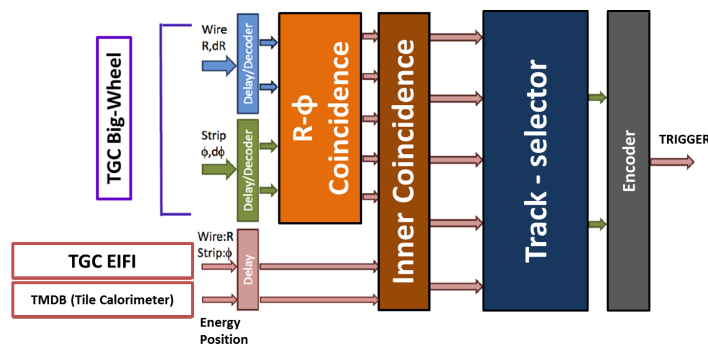


図 4.3 主要な SL 機能モジュールブロックダイアグラム

4.3 G-link

4.3.1 G-link の概要

G-link とは Gbit/sec -link の略で 1.12Gbit/sec の高速シリアル・インターフェイスに用いられるデジタル符号化方式のことである。G-link Chip はその信号を保証するための IC のことである。3.3V で駆動し、Conditional Inversion Master Transition(CIMT) とよばれるプロトコルで信号を Encode/Decode する。G-link Chip は $14 \times 14\text{mm}^2$ 64 pin PQFP(Plastic Quad Flat Package) にパッケージされている。LHC 周辺の検出器では Agilent 社の HDMP-1032A/1034A Transmitter/Receiver G-link Chip Set を使用している。

ここで G-link のような信号方式を使用する理由を述べる。デジタル信号を送る際 High もしくは Low レベルが長く続いた後に短い変化があると、十分にレベルが下がり切らずあるいは上がり切らずに誤動作することがある。そのため高速通信インターフェースでは DC バランスという指標を保つことでこの問題が起こらないようにしている。DC バランスとはデジタル伝送データの High(1) と Low(0) の割合のことで、それぞれ 50% にしなければならない。また、High と Low がいくつも連続してはいけない。でも実際は長い時間にわたって信号がなかった場合など、DC バランスが 50% にならないこともある。そこで DC バランスがある範囲 (40 ~ 60% 等) を超えた時、データにビット反転 (「0」→「1」、「1」→「0」) を施して送信する。このように伝送波形が信号パターンからの影響を受けるのを防ぐため、あるルールに基づいて信号を変換し DC バランスを保つ様々な伝送方式が存在している。その中でも CIMT というルールに従ってデータ伝送するものが G-link 方式である。この論文では G-link 方式のことを G-link、G-link 方式で送信される信号を G-link 信号、受信側の G-link Chip 本体や機能を含めて G-link Rx、送信側を G-link Tx と定義する。

4.3.2 G-link の信号処理の流れ

SL では G-link 信号を Optical Receiver で受信し電気信号に変換した後、G-link Rx、G-link Monitor FPGA、SL FPGA を使って信号の安定性が図られている。ここで、それぞれの役割を大まかに述べる。

- G-link Rx…シリアル入力信号をパラレル変換し、SL FPGA へ送ると同時に入力信号のエラーを見つけそれを G-link Monitor FPGA に出力する。また、G-link Monitor FPGA からリセットを受けたとき受信周波数帯を変更し、信号の修復を試みる。
- G-link Monitor FPGA…G-link Rx からのエラーを見て、リセットを G-link Rx にかける機能
- SL FPGA…G-link Rx では判別できないエラーを代わりに見つけ、エラーがあった場合 G-link Monitor FPGA にそれを知らせる機能

次に G-link に関するデータ処理の流れについて述べる。

・ G-link Tx での信号処理

G-link Tx では、各モジュールで処理されたデータをシリアル化する際、C-Field という信号を加えることで

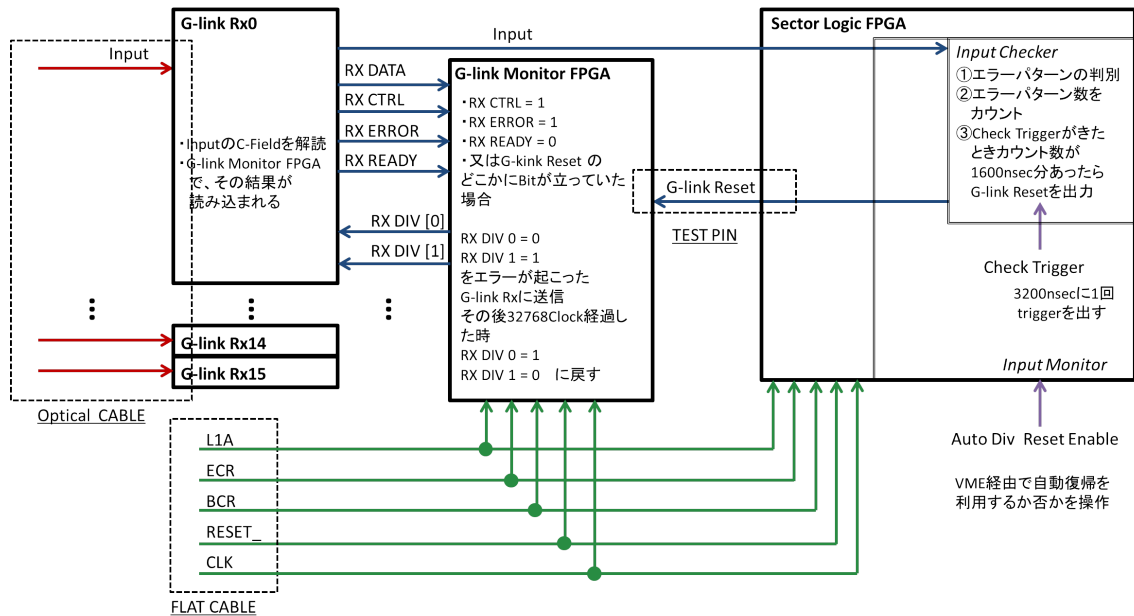


図 4.4 G-link のデータ処理の流れ

Data Word、Control Word、Idle Word の 3 種類の G-link 信号を定義し送信する。また C-Field が付加されたデータの内 C-Field 以外の部分を W-Field という。

- W-Field(Word Field)

W-Field は 16bit のシリアル信号でトリガー情報を持っている。G-link Tx では True モードと Inverted モードの信号を交互に送信しており、G-link Rx では True モードは W-Field をそのままパラレル化し、Inverted モードでは W-Field をビット反転させてパラレル化する
- C-Field(Coding Field)

C-Field は 4bit のシリアル信号で G-link 信号をどのようにパラレル化するべきかという情報を与える。C-Field の内訳を表 5 に示す。

ここで W-Field は 16bit なので、BW 信号で使用される 17bit のデータが送れないように思えるが、G-link は C-Field のパターンを読み取ることによって、Flag という 1bit 分の信号を扱うことができる。これは RXFLGENB(Flag Bit Mode Select) というモード選択によって 17bit 目を表す Flag を使うか使わないかを選択することができる。

- Data Word

16bit 全てが自由に使える W-Field の通信を行う。各検出器から SL へのトリガー情報の送信は、この Data Word を用いて行われる。
- Control Word

16bit 中 2bit は固定で 14bit が自由な W-Field の通信を行う。SL では使用しない。

表 5 C-Field の内訳

Word Type	Mode	Flag	Pattern
Data Word	True	0	1101
Data Word	Inverted	0	0010
Data Word	True	1	1011
Data Word	Inverted	1	0100
Control Word	True	-	0011
Control Word	Inverted	-	1100
Idle Word	-	-	0011

- Idle Word

16bit 全てが固定化された 2 種類の W-Field の通信を行う。SL ではコンフィギュレーション直後における各モジュールと SL 間のリンクの確立に使用される。

- ・ G-link Tx - G-link Rx 間

G-link 信号は LC Connector をもった光ケーブルを経由して、Infineon technologies 社の V23818-K305-L17/L57 という Gigabit Ethernet で送受信される。

- ・ G-link Rx での信号処理

G-link Rx では C-Field に基づいて W-Field をパラレル化する。表 5 を見ると、例えば C-Field の Pattern が”0010”の場合 Inverted モードのため W-Field のデータをビット反転してから読み取る。

- ・ G-link Rx - G-link Monitor FPGA 間

G-link Rx から G-link Monitor FPGA には以下のような G-link 信号の状態を表す信号が送られる。

- RX DATA…G-link Rx が Data Word を受信した時に “1”
- RX CNTL…G-link Rx が Control Word を受信した時に “1”
- RX ERROR…G-link Rx が Data Word , Control Word , Idle Word 以外の C-Field を受信した時 (例えば、表 5 から”0000”、”1111”など) に “1”
- RX READY…SLB に 128Word バッファ中 RX ERROR が一度も”1” にならなかった時に”1”

よって、RX DATA=0、RX CNTL=1、RX ERROR=1、RX READY=0 になったとき、もしくは後述する SL FPGA からアライメントずれを示す信号がきた時に異常と判断し、DIV 値を切り替えて通信の修復をはかる。

DIV 値とは G-link Rx が受信可能な周波数帯を規定するもので、表 6 のように 2 桁の DIV 値によって適用範囲を切り替えることができる。SL は clock 周波数 40.08MHz に対応できるように DIV1/0=01 に設定して

いる (DIV1/0=00 も 40.08MHz を含んでいるが適応範囲ぎりぎりのため使わない)。もし異常があった場合、その設定を DIV1/0=10 にすることで受信周期を乱す。この状態を 32768clock 維持した後、DIV1/0=01 に戻すことで G-link 信号の修復を試みる。エラー信号がくる間これを繰り返す。

表 6 DIV 値による受信周波数帯

DIV 1	DIV 0	周波数帯
0	0	40MHz~70MHz
0	1	20MHz~45MHz
1	0	13MHz~26MHz
1	1	Make a signal by Test Clock

・ G-link Rx - SL 間

SL は複数のモジュールからレイテンシーが不明な信号を受信する。また、それらの入力信号と SL の clock は同期していないため、そのままでは SL FPGA で信号処理できない。このとき各モジュールに同期した clock を使って読み込む場合、G-link Rx で処理したデータを FIFO に貯め、時間合わせをしてから SL FPGA で一気に読み出さなければいけない。しかしこの方法で読み込んだ場合、時間合わせの分レイテンシーに無駄が生じる。そのため、G-link Rx からの信号は SL 自信が持つ clock の立ち上がり/立下りのどちらか適切な方でデータを読み出し、複数のモジュールからの信号間で時間合わせをすることでレイテンシーを最小限にしている。SL 以外の全てのモジュールにおいても G-link を使った通信ではこれと同様の方法でレイテンシーを最小限に抑えている。

4.3.3 アライメントずれ

C-Field と W-Field は連続したシリアル信号で G-link Rx へと送信される。この時 C-Field を誤ったタイミングで認識してしまい、信号パターンが送信されたものとずれることがある。この問題を以下からアライメントずれと言う。それは図 4.5 のように例えば W-Field で全て"0"を送っているにもかかわらず、信号を読み間違ってしまうことである。ここでの W-Field は、左側が下位ビットで、右側が上位ビットになる。この時全ての値が左に 1 つずつずれている。

本来 G-link は信号を伝える必要が無い時 Idle Word を送信することでアライメントのずれを検知できる。RUN が始まる前に各モジュールと SL のリンクが取れているか確認するが、その間は常にトリガー情報を送信するため Idle Word を送ることができない。そこで G-link Rx の代わりに SL FPGA でアライメントずれを検知し、G-link Monitor FPGA に対して DIV 値の切替を命ずる ("G-link Reset" 信号)。

このアライメントずれが発生した時に誤って読み出す信号パターンは分かっており (=1000 0000 0000 0000 今後はエラーパターンと呼ぶ)、またそれは起こりうる信号パターンではないため SL FPGA でアライメントずれを検知することができる。G-link Rx から SL FPGA にエラーパターンがきたとき、その数を Input Checker という機能モジュールでカウントする。それが 3200nsec(128clock) の内 1600nsec(64clock) 連続でカウントされた場合、アライメントずれが発生したと判断する。その時、SL FPGA から G-link Monitor FPGA へ TEST PIN 経由で "G-link Reset" (アライメントずれあり : 1、なし : 0) 信号を送信する。その後 G-link Monitor FPGA では "G-link Reset" 信号から問題が発生した G-link Rx を特定し、その DIV 値を切

4.3.4 G-link Flag

G-link は Flag によって各種設定を変更することができ、G-link 信号の送受信方法や動作 clock の切替などを行う。ここでは SL の G-link Rx に設定している Flag について説明する。

- PASSENB(Enable Parallel Automatic Synchronization System)
G-link Tx から光ケーブルを経由して送信される clock(RX CLOCK) に同期してデータを受信するか、SL がもつ clock(REFCLK) でデータを受信するかを切り替えるもの
PASSENB= 1 の時は RX CLOCK を、PASSENB= 0 の時は REFCLK を使用することになる。
- RXFLAGENB
C-Feild によるデータ幅 (16bit/17bit) の切替をする Flag で、17bit 幅のデータを受信したい時 RXFLAGENB=1 に設定する。
- ESMPXENB(Enhanced Simplex Mode Enable)
Flag bit を利用する時に有効なもので、G-link Tx で Flag bit をスクランブル (ランダムなデジタル信号を自動生成) して、G-link Rx で復元することでアライメントを確認するものである。ESMPXENB=1 のとき、この機能が有効となるが SL では使用していない。

SL ではこれらの Flag を常時固定するため、図 4.6 のように SL Board の電源とアースから直接信号をもらっている。

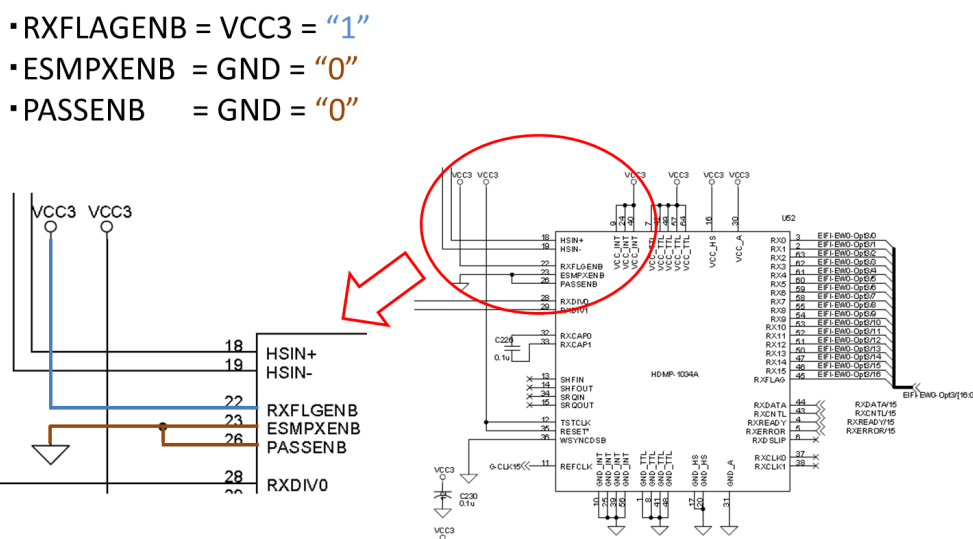


図 4.6 SL での G-link Flag の設定

5 ミューオントリガーにおける問題と RUN2 に向けての対策

5.1 ミューオントリガーの性能

レベル1 ミューオントリガーの性能は主にトリガー効率とトリガーレートによって評価される。ここではそれらの定義や算出方法について述べる。

5.1.1 トリガー効率

新しい素粒子の発見や性質の解明をするための物理量として反応断面積が挙げられる。物理解析では反応断面積の理論値と実験値を比較することで新しい物理を見出すため、その精密な計算が重要となる。以下のように反応断面積は加速器や検出器の性能を示すパラメータから求められる。

$$\text{反応断面積} = \frac{1}{\text{Luminosity}} \times \frac{\text{観測されたイベント数}}{\text{トリガー効率} \times \text{Acceptance} \times \text{Reconstruction efficiency}} \quad (12)$$

Acceptance は各検出器が物理対象とする粒子を検出できる範囲の割合で、例えば検出器の一部が機能していない場合 Acceptance は下がる。Reconstruction Efficiency は検出器のデータからイベントの再構成をする効率である。トリガー効率とは対象となるイベントがトリガー条件を満たす効率を表す。

$$\text{トリガー効率} = \frac{\text{トリガーされた offline のイベントの数}}{\text{offline で再構成されたイベントの数}} \quad (13)$$

ここで offline とは全てのトリガーシステムで処理が完了し、物理解析で使用するために保存されたデータを示す。ミューオントリガーにおけるトリガー効率は各検出器にミューオンが通過した時、それがトリガー条件を満たす割合を示す。ミューオントリガー効率は、Tag & Probe 法と呼ばれる手法を用いて測定している。イベント情報の内、トリガーされたものだけが保存される。そのためトリガー条件と一致したミューオンのみが測定対象になってしまい、トリガー効率の精度が下がる。Tag & Probe 法は Z 粒子や J/ψ などのダイミューオン崩壊チャンネルから生成されたミューオンを選択し、そのようなバイアスをほとんどかけないようにした方法である。

ここでは $Z \rightarrow \mu^+ + \mu^-$ のチャンネルを用いた Tag & Probe 法の手順を大まかに説明する。

1. offline で再構成されたミューオンに対し $dR = \sqrt{d\eta^2 + d\varphi^2} < 0.3$ の範囲内でトリガーされているかを判断する。ここでトリガーされたミューオンを”Tag muon”とする。ここで、

$$d\eta = (\text{combined_muon_}\eta) - (\text{RoI_}\eta) \quad (14)$$

$$d\varphi = (\text{combined_muon_}\varphi) - (\text{RoI_}\varphi) \quad (15)$$

combined muon η/φ はミューオンの内部飛跡検出器でのトラックと MDT でのトラックを結合し、それを TGC まで外挿した時の位置を表している。RoI η/φ はトリガーが発行された RoI の η/φ 成分を表している。

2. 同イベント中で Tag muon とは異符号のミューオンを探し、不変質量を計算する (Tag muon の質量 + Tag muon と異符号ミューオンの質量)。それが $|m_Z - m_{\mu\mu}| < 15\text{GeV}/c^2$ のとき”Probe muon”とする。
3. Probe muon が $dR < 0.15$ の範囲内でトリガーされているかを判断する。

これらの手順から得られる Probe muon の数を用いて、ミューオントリガー効率¹は以下の式で算出される。

$$\text{ミューオントリガー効率} = \frac{\text{トリガーされた Probemuon の数}}{\text{全 Probemuon の数}} \quad (16)$$

例えば不感領域が全くない理想的な検出器 (トリガー効率 100%) の場合、どちらか片方のミューオン (Tag muon) がトリガーされればもう一方のミューオン (Probe muon) もトリガーされるはず。しかし上記の条件で Probe muon がトリガーされなかった場合、それは検出器に不感領域があることがわかりそれはトリガー効率の低下となる。TGC はチェンバーを複数重ねることでこの不感領域を減らしている。

5.1.2 トリガーレート

本研究で扱うトリガーレートとは、実データにおける単位時間 (もしくはルミノシティあたり) にレベル 1 ミューオントリガーが発行されたイベント数を示す。図 5.1 は 2012 年の RUN で取得したデータから算出されたトリガーレートである。

また Phase-0 Upgrade によって、LHC のスペックが表 7 のように向上するため、レベル 1 ミューオントリガーのレートは RUN1 の 9kHz から RUN2 では 34kHz になると予想されている。しかしリソースに限度があるため、このトリガーレートを 25kHz 以下に抑える必要性があった。ここで、トリガーレートを下げるために閾値を上げてしまうと W 粒子の崩壊によるミューオンの情報を落とす可能性があったため pT Threshold は 20GeV/c を維持したままトリガーレートを削減する。括弧内は RUN1 で pT Threshold を 20GeV/c に設定し試運転した時のトリガーレートで、実験中は pT Threshold を 15GeV/c に設定していた。

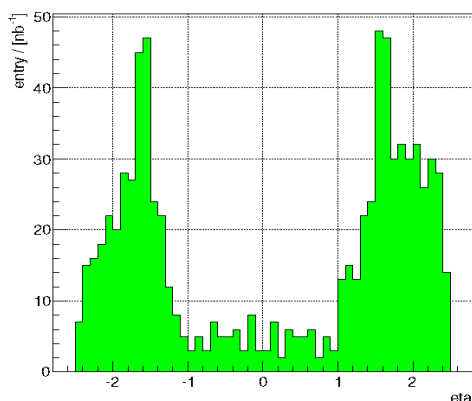


図 5.1 トリガーレート [25]

表 7 レベル 1 ミューオントリガーレートの推移

	RUN1(実測値)	RUN2(予想値)
重心系エネルギー [TeV]	7~8	13~14
ルミノシティ [cm ⁻² s ⁻¹]	0.77 × 10 ³⁴	1.5~2.0 × 10 ³⁴
バンチ衝突間隔 [nsec]	50	25
Pt threshold [GeV]	15(20)	20
レベル1ミューオントリガーレート [kHz]	9(6)	34

次節ではこのトリガーレートに関する RUN2 に向けての課題と対策について述べる。

5.2 フェイクトリガー

5.2.1 フェイクトリガーの概要

フェイクトリガーとは衝突点由来のミュオンではない荷電粒子によるトリガーのことをいう。このフェイクトリガーのレートが高く、レベル1ミュオントリガーに与えられたリソースを圧迫することが問題となっている。図 5.2 は RUN1 でトリガー発行されたイベントの η 分布を示す。

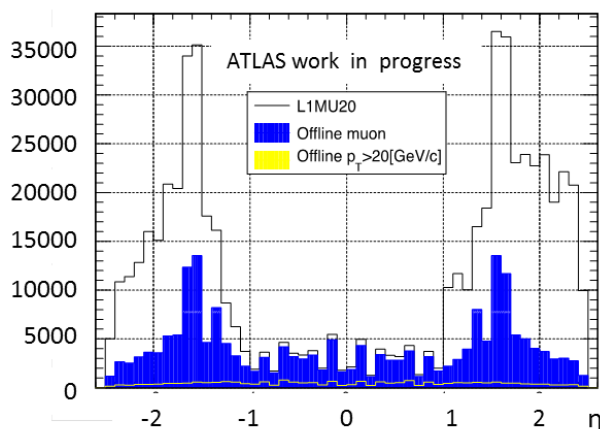


図 5.2 RUN1 での L1 MU20 トリガーイベントの η 分布

白色部 : L1 MU20 のイベント数

青色部 : offline で衝突点からのミュオンの飛跡が再構成されたイベント数

黄色部 : offline ミュオンの内、実際に $p_T > 20$ GeV/c であったイベント数

前節でも述べたが、レベル1ミュオントリガーレートは RUN2 で増え、さらにこのフェイクトリガーによるイベントが 58% (図 5.2 の白色部 - 青色部の面積) 存在しているため、現状のトリガーシステムではレベル1ミュオントリガーに割り当てられている 25kHz を越える。

また offline で再構成されたミュオンの内 (青色部)、実際に $p_T > 20$ GeV/c と判断されたイベント数 (黄色部) が少ない理由は、検出器の位置分解能が数 cm 程度であり、運動量分解能が悪いため $p_T > 20$ GeV/c 以上と誤ってしまうからである。しかし RUN2 においても TGC は現在のものを引き続き使用するため、これを改善することは困難である。そのため Phase-0 Upgrade ではフェイクトリガー (白色部) によってトリガーされたイベントの削減をすることになった。次にフェイクトリガーの原因について説明する。

- 2 次生成粒子

2 次生成粒子とはバンチ衝突後に ATLAS 検出器内を通過する陽子や中性子が、トロイド磁場付近のビームパイプや磁石等の物質と反応することで生じる荷電粒子のことである。この 2 次生成粒子がトロイド磁石の磁場によって曲げられ、 p_T の高いミュオンと同じような飛跡を通ることで TGC が誤ってトリガーを引くことがフェイクトリガーの原因とされている。図 5.3 は検出器と衝突点由来の High p_T ミュオンの飛跡 (赤実

線)、2次生成粒子の飛跡(紫点線)を描いた模式図で、トロイド磁場付近で生成された2次生成粒子がフェイクトリガーを発生させる様子を示す。

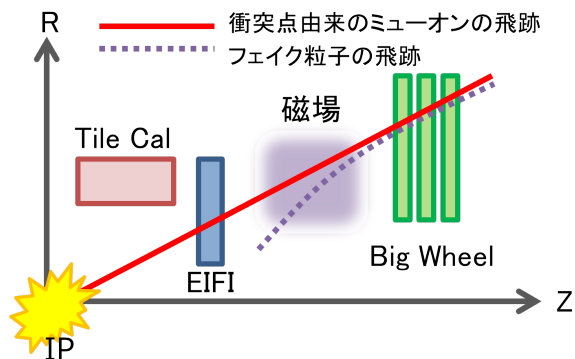


図 5.3 衝突点由来の粒子と2次生成粒子の飛跡の比較

次に2次生成粒子の起源が陽子と考えられている理由を説明する。L1_MU20において、磁場がない時A-sideとC-sideのイベント数の比は1.01だが、磁場がある場合この比は1.30となる。つまり磁場をかけたRUNではA-sideの方がトリガーされるイベントが多かった。

ここで図5.4はトロイド磁場の方向と、それによって荷電粒子が曲がる方向を示した模式図である。Aside、Cside共に磁場の方向は同じであるため、荷電粒子の進む方向はそれぞれ図のようになる。ここからプラスの電荷を持つ粒子によるトリガーであると考えられる。

また、図5.5はL1_MU20としてトリガーされたミュオンのBig Wheel(middle)通過時間を示す。ここから速度の遅い粒子が原因だとわかる。よって上記の2点から、フェイクトリガーの起源となる粒子の1つとして陽子が考えられた。

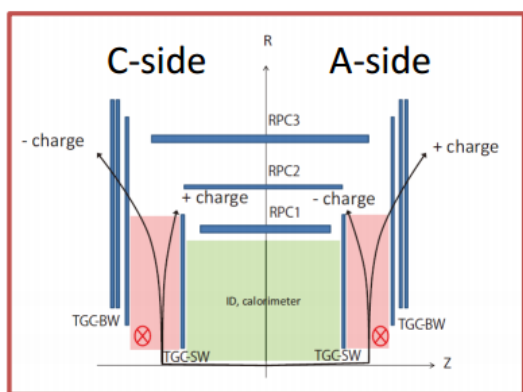


図 5.4 A-side と C-side での荷電粒子の飛跡の比較 [27]

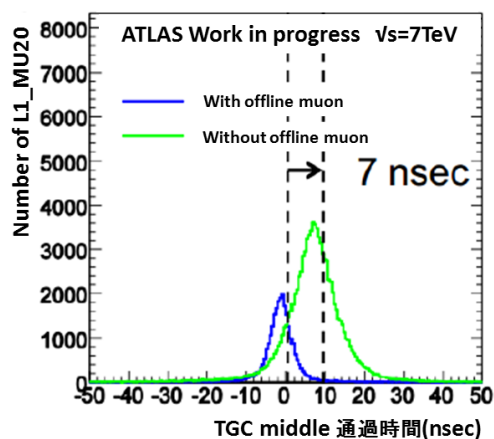


図 5.5 ミューオンのBWmiddle 通過時間

- ビームパイプから飛来する粒子

図 5.6 は、シミュレーションによって作成されたバレル部最内層の MDT(Barrel Inner:BI) におけるヒットのヒストグラムである。赤線のヒストグラムが光子、青線が中性子のヒットを表している。このヒストグラムから、 $z = 700\text{cm}$ で粒子の量が増加していることが分かる。これはビームパイプのシールドされていない部分から粒子が飛来してきたことがわかる。

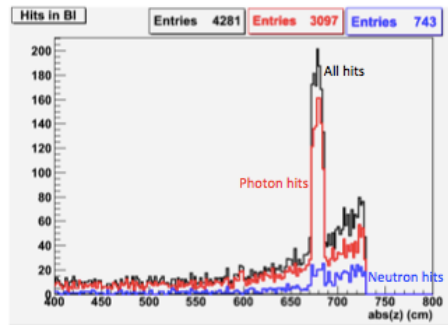


図 5.6 BI におけるヒット [25]

Phase-0 Upgrade において LHC は、フェイクトリガーを抑えるためにビームパイプの材質をステンレスからより質量数の小さいアルミニウムへ交換している。また、ビームパイプから飛来する粒子を止めるためにシールドを追加した。

ATLAS 検出器のレベル 1 ミューオントリガーシステムは RUN1 と同様に BW からの信号だけを使っていたのではフェイク粒子と衝突点由来のミューオンを区別することはできない。そのため、BW とトロイド磁石を挟んで衝突点側にある検出器を用いて Coincidence を取ることでフェイクトリガーを抑える取り組みが始まった。

5.2.2 EIFI Coincidence 導入によるフェイクトリガーへの対策

RUN2 に向けた EIFI と BW との Coincidence(EIFI Coincidence) を用いたフェイクトリガーの削減について述べる。EIFI は BW より衝突点側にある Doublet 構造をした TGC で、EI は $1.05 < |\eta| < 1.30$ 、FI は

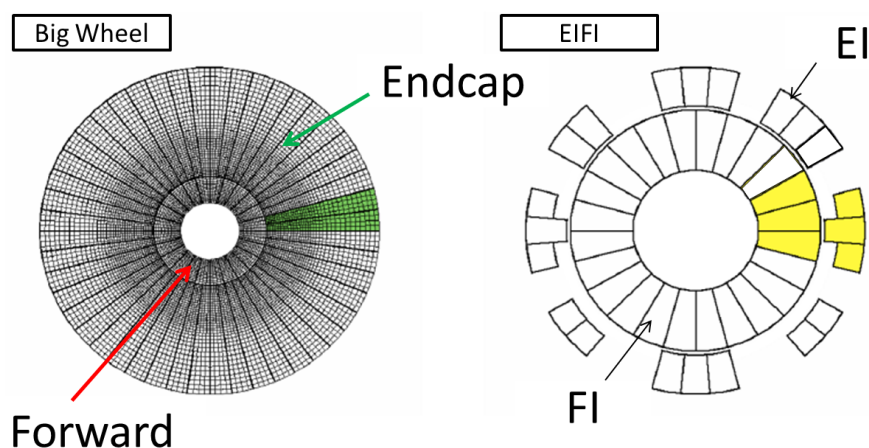


図 5.7 BW、EIFI の概形

$1.30 < |\eta| < 1.90$ をディスク状にカバーしている。例えば図 5.7 のように BW Endcap の 2 つのトリガーセクター (緑色部) に EIFI の 3 つのセクター (黄色部) が対応している。EIFI Coincidence は BW の Endcap にヒットがあった場合のみ EIFI CW で EIFI にヒットが要求され、もし要求したセクターにヒットが検出されたときトリガーが発行される。つまり、図 5.3 のようにフェイク粒子は EIFI と BW 両方通過しないため、Coincidence を取ることで衝突点由来のミューオンの情報だけを得ることができる。

5.2.3 入力信号 (EIFI)

EIFI(PS Board) から SL へは 16bit のデジタル信号 (EIFI 信号) が表 8 のようなフォーマットで送信される。EIFI 信号の 1 bit は EIFI チェンバーのワイヤーまたはストリップの 8 チャンネル分の論理和を取り、さらに 2 層のチェンバーの論理和を取ったものである。1 つの EI にはワイヤーが 24 チャンネル、ストリップが 32 チャンネルあり、1 つの FI にはワイヤー、ストリップが共に 32 チャンネルある。よって 1 つの EI はワイヤー情報を 3 bit、ストリップ情報を 4 bit を 1 つの FI はワイヤー、ストリップとも各 4 bit の情報を SL に送信する。EIFI 信号は Endcap の SL Board のみに入力される。Forward は EIFI と対応していない。1 枚の SL Board には 3 本の光ケーブルで各 16bit(計 48bit) の EIFI 信号が入力されている。1 枚の SL Board は 2 つのトリガーセクターの信号を処理するが、EIFI 信号は 2 つのトリガーセクター両方で使用するため SL Board 上で 2 つに分け、2 つの SL FPGA にそれぞれ入力する。1 本の光ケーブルで送信される EIFI 信号は 1 セクター分の情報を含んでいる (図 5.8 緑枠が 1 セクターに対応)。1 つのトリガーセクターは EIFI の 3 つのセクター (EIFI0~2) から信号を受信する。各セクターのうち 1 つでもワイヤー、ストリップで Low-pT Coincidence がとれたら EIFI にヒットがあったとみなして SL にトリガー情報を送信する。

次に図 5.8 を例に EIFI 信号の読み方を説明する。ある 1 つのセクター (例の場合 EIFI0) から表 8 の 4 段目

表 8 EIFI 信号のデータフォーマット

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Chamber wire/strip	FI Wire				FI Strip				EI Wire				EI Strip			
Wire /Strip No.	0 7	8 15	16 23	24 31	0 7	8 15	16 23	24 31	NC	0 7	8 15	16 23	0 7	8 15	16 23	24 31
信号の例	1	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0

のような信号がきた時を想定する。この時 EI(水色枠) は Wire 信号のみ入力があるが Strip 信号がない。そのためこの EI チェンバーにはヒットがない。

FI(紫枠) は Wire、Strip ともに入力があり、これらが重なったところ (赤四角) にヒットがあったことがわかる。※ strip の番号はチェンバーによって異なる。(上記の例は右から若い数字が当てられているチェンバーを想定) EIFI 信号は PS Board から光ケーブルを経由して直接 SL に入力される。EIFI Coincidnce を実現するための回路については次章で説明する。

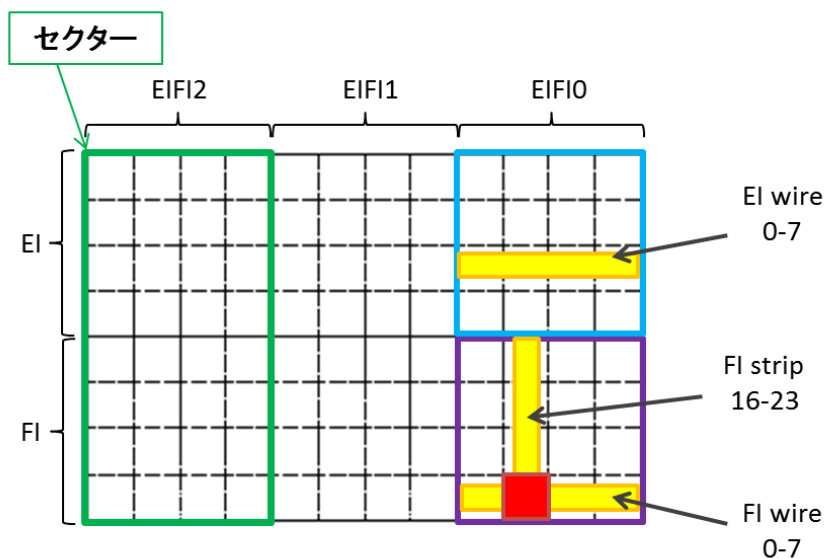


図 5.8 EIFI 信号の見方

5.3 バースト

5.3.1 バーストの概要

RUN1において実際の荷電粒子によるヒット信号ではなく、電気的なノイズが大量に、高頻度で発生する現象がミュオンスペクトロメータ全体で観測された。この現象をバーストと呼んでいる。それによりTGCのリードアウトバッファがオーバーフローを起こし(ROD busy)、システムが復帰するまでの間データの損失を引き起こした(図5.9)。オーバーフロー周辺のイベントの解析から、 $1\ \mu\text{sec}$ 以上に渡り各ミュオンサブシステムで同時にかつ連続的に発生していることが判明した。

図5.10はイベントディスプレイの一例であり、バーストが発生したイベントと通常のイベントを比較すると広範囲で多量の信号が検出されていることが分かる。このようにノイズが多量に発生するため、偶然wireとstripとのCoincidenceが成立してしまいトリガーが発行される。更にこのノイズは連続的に発生することがあるため、複数バンチに渡り連続してトリガーを発行していた。そのためSLからMUCTPIへ連続してトリガーを送ることになり、ROD busyがRUN1の間に複数回発生していた。これはATLAS実験でのデータ損失に繋がるため、RUN2ではこのような事態を防ぐ必要があった。

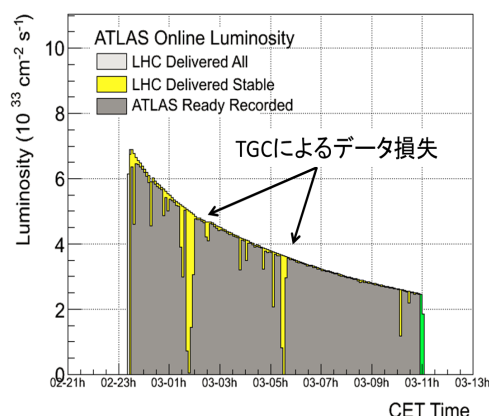


図 5.9 ROD busy の例

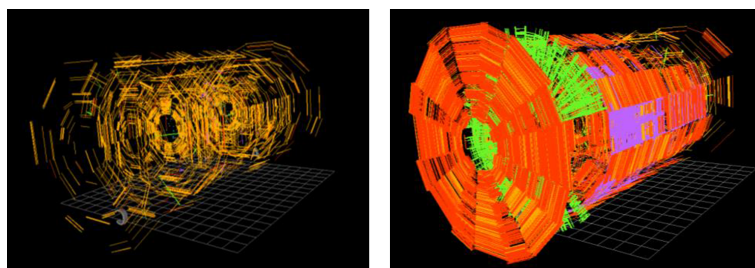


図 5.10 イベントディスプレイ

(左: 通常時 右: バースト時)

5.3.2 バーストへの対策

ROD Busy が起こる前にバーストによる連続トラックをトリガー候補から外しデータ損失を防ぐため、Burst Stopper というロジックをSLに追加した。そのBurst Stopperの機能を説明する。

- Burst Stopper

バースト有無の判定には、BWからのWire信号をDecoderで論理和したものを使用する("hpt trg"信号)。Burst Stopperでは"hpt trg"信号が連続Mバンチ中にN回以上検知された場合、バーストが起きたと見な

す VETO 信号 (“Burst Flag” 信号) を出力する。M、N はレジスタによって変更でき、0~31 までの数を設定することができる。例えば、M=10、N=3 という設定の場合、最新の連続 10 バンチの中に含まれるトラック数をカウントし、3 以上であれば、“Burst Flag” 信号を出力する。Burst Stopper での処理の流れを以下で述べる。

1. Decoder から、“hpt trg” 信号を受けて M bit の幅を持つシフトレジスタにその信号を渡す
2. ”hpt trg” 信号とシフトレジスタの (M-1) bit 目に格納された値を参照し、表 9 に従ってカウンタを回す。これにより連続 M バンチ中のトラック数をカウントすることができる。
3. カウンタに収められた値 ($n, 0 \leq n \leq M$) と、レジスタによって指定された値 ($N, 0 \leq N \leq 31$) を比較し $N \leq n$ であれば “Burst Flag” 信号を出力する。

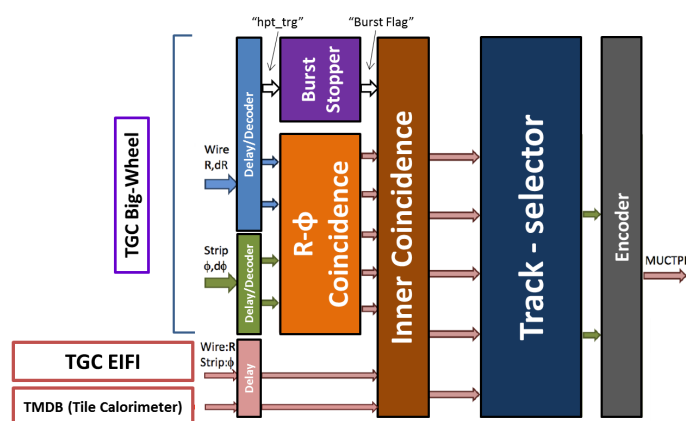


図 5.11 SL 機能モジュールブロックダイヤグラム (Burst Stopper)

表 9 Burst Stopper 内のカウンタ

hpt_trg	シフトレジスタ (M-1 bit 目)	カウンタ
1	1	値の保持
1	0	+1
0	1	-1
0	0	値の保持

Burst Stopper は“hpt trg”信号を受けてから “Burst Flag” 信号を出力するまでに 2clock 消費するが、 $R - \phi$ Coincidence と同じ clock 数でかつ並列して動作しているためレイテンシーに影響を与えない。Inner Coincidence は “BurstFlag” 信号を受けた時、そのトラックをトリガー候補から外す。

- Burst Monitoring

Burst Stopper に加えてバースト情報をモニタリングする機能を SL FPGA に実装した。

1. VETO bunch(2^{16} までカウント可)・・・Burst Stopper によってトリガーを落としたバンチ数= ” Burst Flag ” が出力された回数をカウントする。dead time が計算できるがバーストが何回起きたかは分からない。

例)25nsec の RUN で 1μ sec の間連続でバーストが 1 回発生した場合、カウント数は VETO bunch=40 となる

2. Burst Count(2^8 までカウント可)・・・バーストという現象が起きた回数をカウントする。” Burst Flag ” が複数バンチに渡って連続している間は 1 回のバーストが続いているものと見なし、バーストが起きた回数をカウントする。そのためバーストが起きていた時間は分からない。

例)25nsec の RUN で 1μ sec の間連続でバーストが 1 回発生した場合、カウント数は Burst Count=1 となる

それぞれレジスタにカウント数を記録し、VME 経由で読み出すことができる。表 10 では Burst monitoring の機能をまとめた。

表 10 Burst Monitoring 機能のまとめ

	VETO Bunch	Burst Count
Total で落としたトリガー数	○	×
Total dead time	○	×
各バーストの dead time(継続時間)	×	×
バーストの平均 dead time(平均継続時間)	両方使うと計算可	
バーストが発生した回数	×	○

5.3.3 Burst Marger Board

バーストの原因は正確に把握されていない。なぜならバーストが発生した時は ROD busy によってデータ取得が止まるため、その時の実データがないためである。そこで RUN2 に向けて、そのノイズの原因調査をするために Burst Marger Board(BMB) という新しいモジュールの開発がされている。それは全ての TGC から情報を一つのモジュールに集約することでバーストイベントを判断するためである。

そこで今回 Burst Stopper の入力信号である ”hpt trg” 信号を BMB にも送信するように HDL を変更した。それによって SL でトリガーを落としている間でも、 ”hpt trg” 信号を SL Board 後方の NIM 出力から BMB に送信できるようになった。

6 Tile Calorimeter を用いた新しい Coincidence の開発

6.1 Tile Muon Coincidence の概要

5章では EIFI Coincidence によるフェイクトリガーへの対策について述べたが、更なるフェイクトリガー削減のため Tile Calorimeter を用いた新しい Coincidence の開発をした。Inner Station の EI 部にはエンドキャプトロイド磁石が位置しているため、EI は ϕ 方向の約 40% しかカバーされていない (図 6.1)。そこで、 $1.05 < |\eta| < 1.3$ の領域において EIFI より衝突点側にある Tile Calorimeter(Tile Extended Barrel) にヒットしたミュオンの情報を SL に取り込むことでフェイクトリガーを削減する。そのような TGC の BW と Tile Calorimeter の間で Coincidence を取ることを Tile Muon Coincidence という。また Tile Muon Coincidence と EIFI Coincidence といった TGC の BW とそれより内側にある検出器との間での Coincidence を総称して Inner Coincidence と呼ぶ (図 6.2)。

また RUN3 では新たに SW の代わりとなる New Small Wheel(NSW) が設置される予定だが、EI 部はカバーしない。そのため RUN3 以降においても Tile Muon Coincidence が利用できるという利点がある。

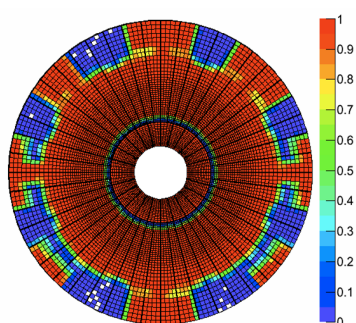


図 6.1 EIFI Coincidence を課した時のシミュレーションで予想した BW のヒット分布

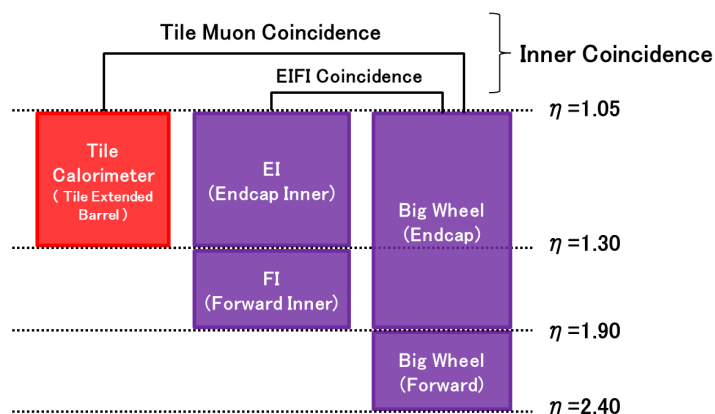


図 6.2 Inner Coincidence に用いる各検出器が占める η 分布の簡易図

Tile Calorimeter、BW、EIFI の配置を図 6.3 で表す。EI は $1.05 < |\eta| < 1.3$ 、FI は $1.3 < |\eta| < 1.9$ に位置している。Tile Muon Coincidence では Tile Calorimeter の中でも、 $1.05 < |\eta| < 1.3$ にあたる Tile Extended Barrel(Tile EB) の D5 セルと D6 セルを使用する (図 6.3 赤枠部)。Tile Calorimeter は本来ハドロンジェットのエネルギーを測定する検出器である。そのバックグラウンドとなるジェットの中からミュオンの情報を得ることができる理由は、衝突点由来のミュオンは MIP(Minimum Ionization Particle) としてふるまうためである。MIP とは電離によるエネルギー損失が最も小さい状態の荷電粒子のことである。そのためミュオンは Tile Calorimeter の最外層 (D-layer) ではジェットの影響を受けにくく、S/N(Signal to Noise) 比の高い信号を得ることができる (図 6.4)。S/N 比が高いほど伝送における雑音の影響が少ないことを表す。

また、既に Tile Calorimeter からレベル 1 ミュオントリガー用の信号が送信できるようにつくられてい

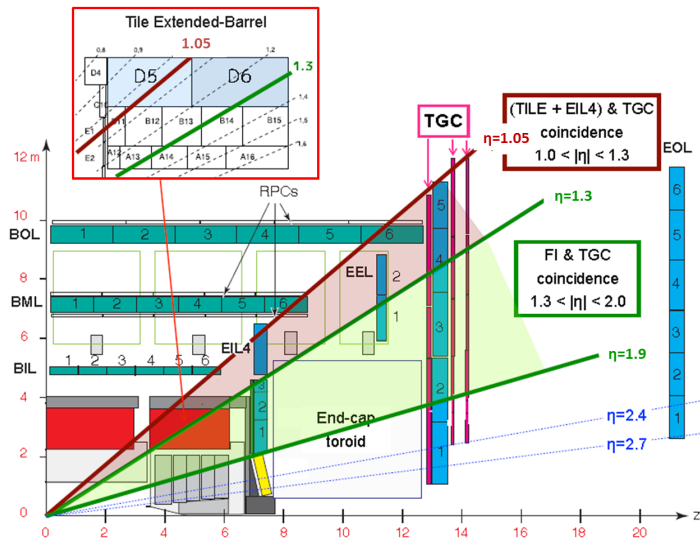


図 6.3 ATLAS 検出器 1/4 断面図

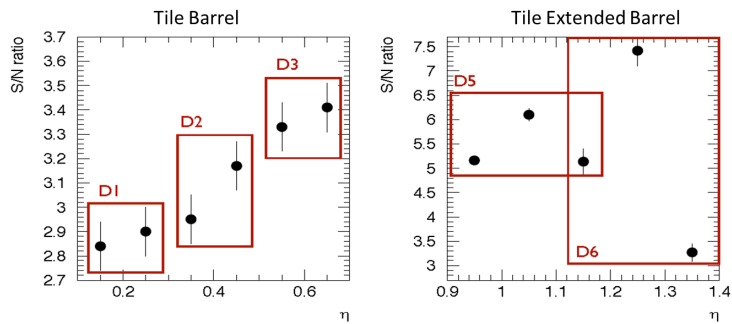


図 6.4 Tile Calorimeter を通過するミュオンの信号の S/N 比

たため Phase-0 Upgrade 中に導入することができた。バレル領域においては、Tile Calorimeter を使わなくても十分なトリガーパフォーマンスが得られているためこの信号は使わない。図 6.5 は L1 MU20 とそれに Coincidence を課した時のトリガーレートをシミュレーションによって予想したものである。その Inner Coincidence を課した時のフェイクトリガーの削減量は 43.1% になるとされている。

6.1.1 Tile Calorimeter 内の信号処理

Tile Calorimeter は主に Tile Barrel と Tile Extended Barrel (Tile EB) で構成され $|\eta| < 1.7$ をカバーする (図 2.22)。各 Barrel は ϕ 方向に 64 個のモジュールに分割されており、モジュールあたり $\Delta\phi = 0.1$ を占める。モジュールの構造を図 6.6 に示す。Tile Calorimeter はプラスチックシンチレータと、吸収体として鉄がサンドイッチ状に積層しているサンプリングカロリメータである。さらに各モジュールは図 6.3 の赤枠で示めたように複数のセルに分割されている。各セルのシンチレータで発光した光は両端の Wave Length Shifting(WLS) fiber を通り PMT(Photomultiplier Tube) で増幅され、電気信号に変換される。図 6.6 の右

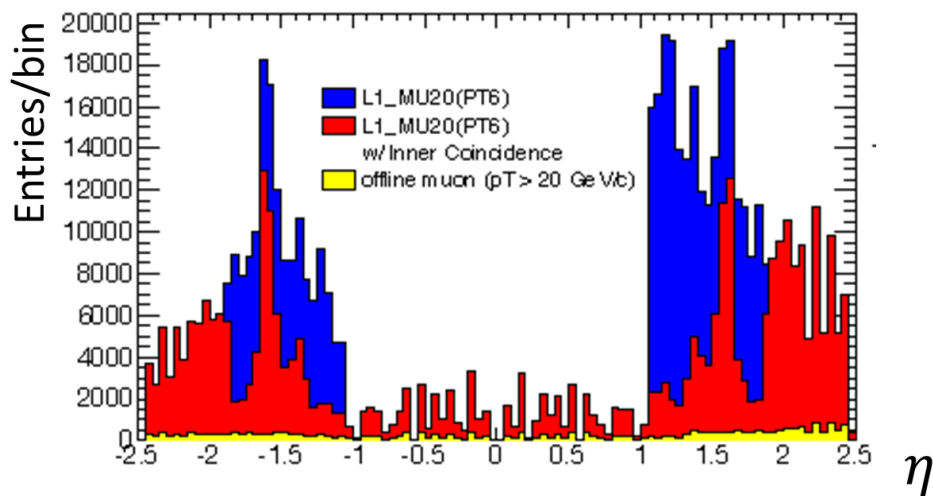


図 6.5 Inner Coincidence の導入効果 [26]

に示すように WLS fiber は Master plate(鉄) 間の小さな隙間に 4 本束になって PMT まで配線されている。WLS fiber は信号を受け取りたいセルでシンチレータと接触させ、他の 3 本の WLS fiber は Plastic channel の中に収納することで信号を受けないようにしている。

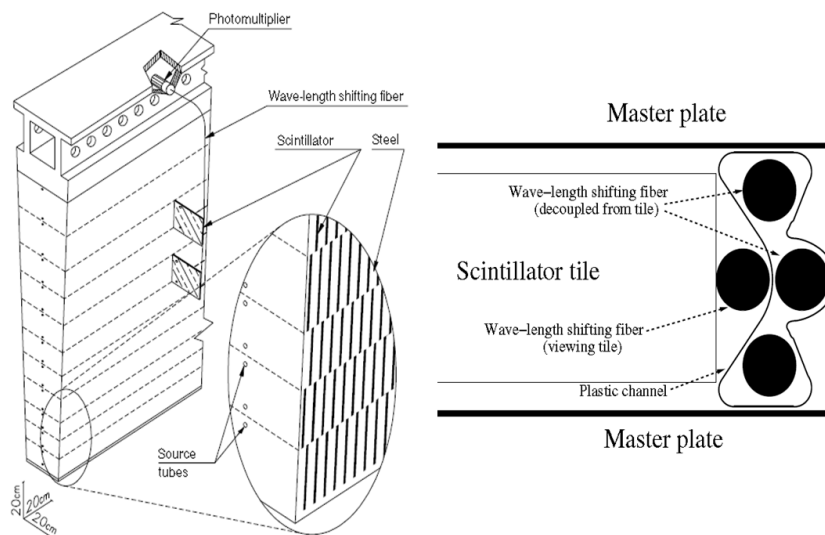


図 6.6 モジュールの構造 [28]

シンチレータは厚さ 5mm、鉄は厚さ 3mm

source tube はエネルギー較正する時 ^{137}Cs を差し込むためのものである。

6.1.2 Tile Muon Digitizer Board

PMT から送信されるアナログ信号は Tile Muon Digitizer Board(TMDB) でデジタル信号に変換される。TMDB は主に Analog Stage と Digital Stage の2つの機能に分かれる (図 6.7)。Analog Stage では7バンチ分のパルス高さをサンプリングしデジタル信号に変換する。Digital Stage では整合フィルタによってピーク高さと時間の算出をする。整合フィルタはS/N比を最大にするように最適化されている (図 6.8)。

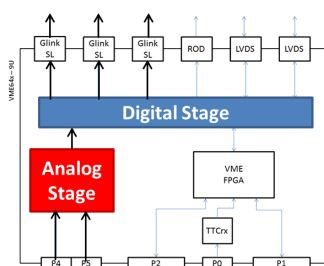


図 6.7 TMDB 機能ブロックダイアグラム

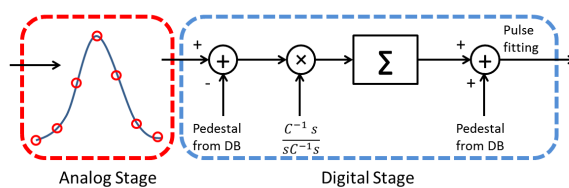


図 6.8 TMDB での主な信号処理

Tile Muon Coincidence ではミューオンのエネルギー閾値を 500MeV (Low) と 600MeV(High) の2種類設定している。図 6.9 はある Tile EB モジュールから TMDB への出力を emulation した時の結果の一例を示す。これは Tile Calorimeter からの実データを用いて TMDB の分解能や信号処理方法などから、荷電粒子 (ミューオンとは限らない) のエネルギーデポジットを再構成したものである。図 6.9 から、500MeV と 600MeV のどちらを使ってもノイズ (pedestal) を取り除けることがわかる。通常は High で閾値を設定するが、PMT のゲインが下がってきた時やケーブルの接触不良等によってシグナルの分布が低エネルギー側にシフトしてきた時のために Low の閾値を設けている。また High を 600MeV より高く (~800MeV) 設定しないのはミューオンが通過する η によっては Tile Calorimeter に落とすエネルギーがこれより低くなることが考えられるためこの閾値に設定している。

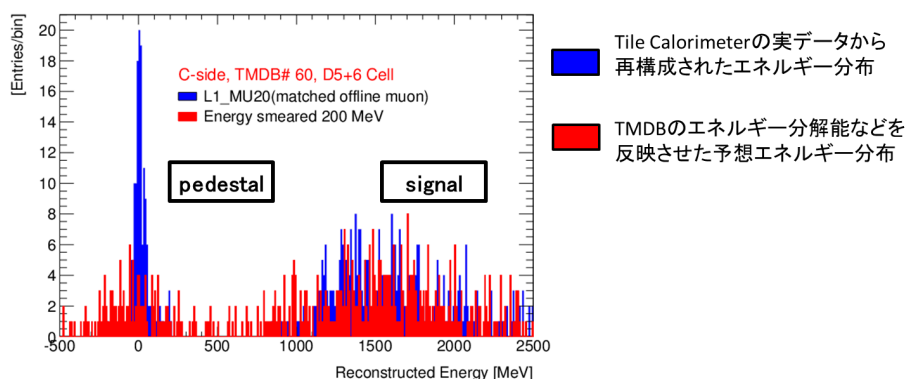


図 6.9 Tile Calorimeter を通過したミューオンのエネルギー分布の一例

6.1.3 入力信号 (Tile Calorimeter)

次に各 Tile EB モジュールと TMDB、SL の対応を図 6.10 に示す。

TMDB から SL へは 16bit のデジタル信号 (TMDB 信号) が表 11 のようなフォーマットで送信される。そのデジタル信号はモジュール番号と エネルギー閾値、ミューオンがヒットしたセルの情報を含む。”D5+6” はミューオンが D5 セルと D6 セルの両方を通過したことを表している。

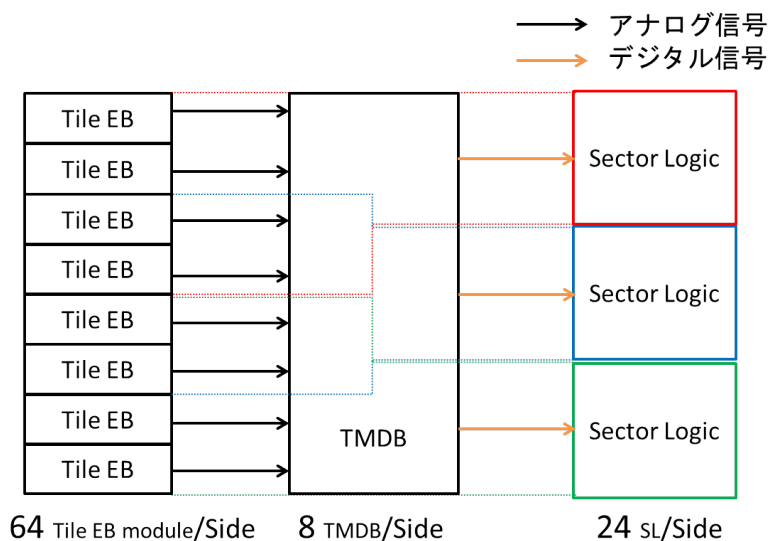


図 6.10 Tile EB モジュール-TMDB-SL の関係

Tile EB 8つのモジュールに対して TMDB は 1つ、SL は 3つに対応

表 11 TMDB 信号のデータフォーマット

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Module No.	Module 3				Module 2				Module 1				Module 0			
Threshold	H		L		H		L		H		L		H		L	
Cell	5+6	6	5+6	6	5+6	6	5+6	6	5+6	6	5+6	6	5+6	6	5+6	6

6.2 Inner Coincidence

6.2.1 Inner Coincidence 判定方法

Inner Coincidence は BW、EIFI、Tile Calorimeter からの信号が SL の clock に同期し、かつ同じバッチで生成された信号が入力されることで Coincidence を実行する中核となるロジックである。現段階では BW で $pT > 20\text{GeV}/c$ と判定された信号に対してのみ Inner Coincidence を課す予定である。それ以下の pT をもつミューオンに関しては BW だけでトリガー判定 ($R-\phi$ Coincidence) をして次の Track Selector に信号が送られる。図 6.11 は BW にヒットしたミューオンが $pT > 20\text{GeV}/c$ として判定された場合のブロックダイアグラムを表す。

Inner Coincidence は EI より Tile Calorimeter との Coincidence を優先的に取る。もし Tile CW にて

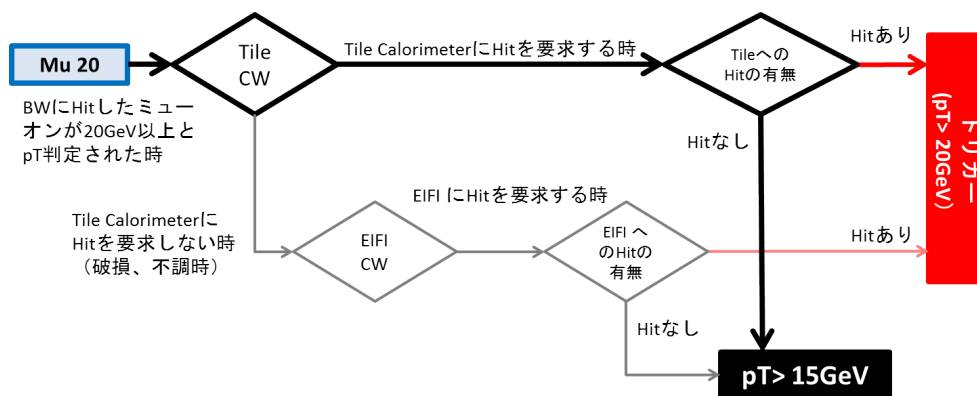


図 6.11 Inner Coincidence 判定ブロックダイアグラム

ヒットを要求しない、もしくはヒットを要求するモジュールが RUN 中に壊れるなどして Disable Flag を立てられた場合、EI にヒットを要求する (図 6.11 灰色線)。要求された Tile Calorimeter のモジュールにヒットがあった場合は $pT > 20\text{GeV}/c$ として、ヒットがなかった場合は $pT > 15\text{GeV}/c$ として次の Track Selector にデータを送る。EIFI でも同様にヒットがあった場合は $pT > 20\text{GeV}/c$ 、ヒットがなかった場合は $pT > 15\text{GeV}/c$ として判定する。ここで Inner Coincidence が取れなかった場合、トリガーを落とさずに $pT > 15\text{GeV}/c$ として処理する理由を述べる。Inner Coincidence は $pT > 20\text{GeV}/c$ の信号にしか課さないため、もしそこでトリガーを落とすと $20\text{GeV}/c$ 以上のトリガー効率が 2~3% 急に下がることになる。それによりデータ解析が複雑になることを防ぐためこのような処置を取った。ただし、Inner Coincidence が取れず $pT > 15\text{GeV}/c$ と判定されたデータには Coincidence が取れなかったことを表す 1bit のデータを付加する。今後、Inner Coincidence の適応範囲を $pT > 20\text{GeV}/c$ から $pT > 15\text{GeV}/c$ にする検討もしている。Disable Flag とは RUN 中にチェンバーが壊れたりゲインが下がるなどの不具合が生じた時、その要求を SSC 単位で切替するものである。これはコントロールレジスタによって行う。このレジスタは 19bit の幅を持ち、各 bit が各 SSC に対応している。

6.2.2 その他のロジックについて

図 6.12 は SL の FPGA 内で実行される信号処理の流れを書いたものである。図の赤枠が Tile Muon Coincidence の開発に伴って追加、変更したロジックを示す。ここでは上記で説明した Inner Coincidence 以外の 2 つのロジックについて説明する。

- Delay Tile

TMDB 信号を半整数 clock ずつ Inner Coincidence に入るタイミングを遅らせるロジック。RUN 前に予め信号遅延量 (Delay 値) を設定しており、これによって信号遅延を吸収する。Delay 値は VME 経由でレジスタによって変更する。

- Tile Coincidence window(TC) Reader

FPGA の Block RAM に記憶されている CW を電源起動時またはリセットした時に読み出すロジック。

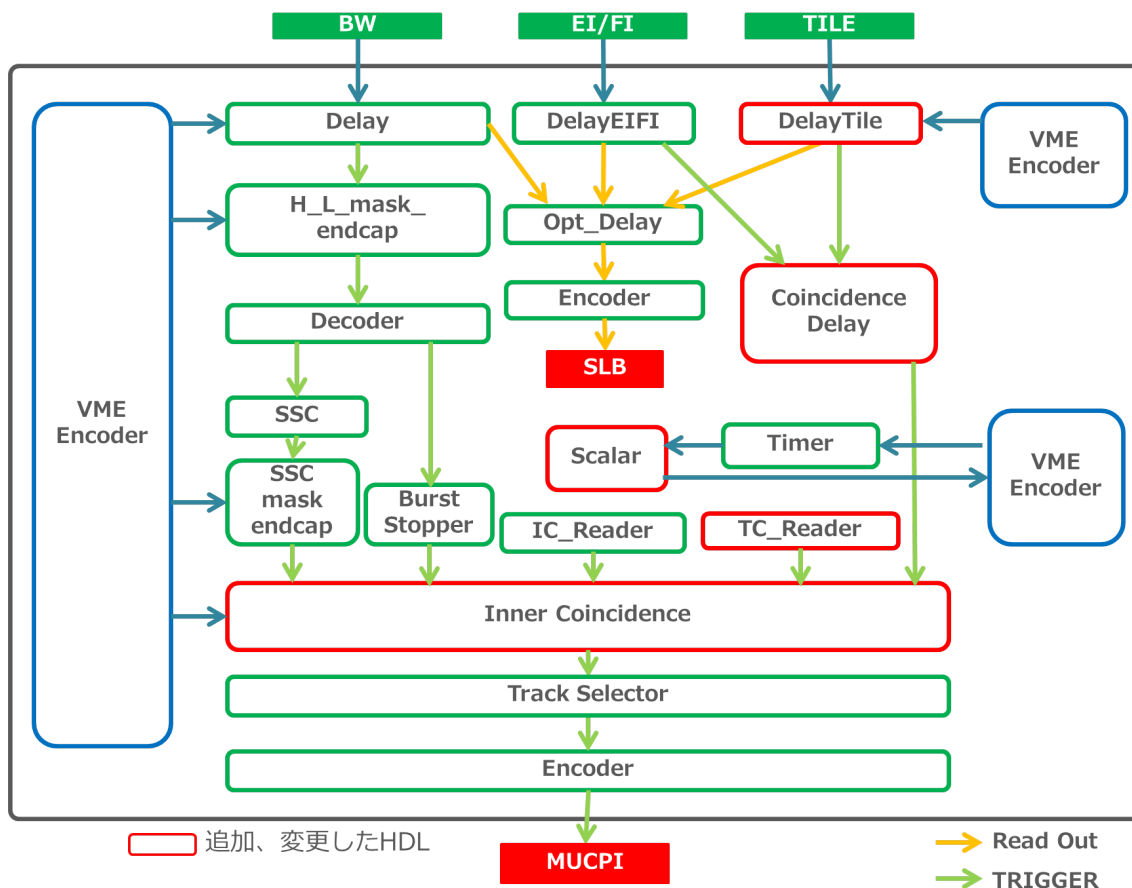


図 6.12 SL 機能モジュールブロックダイアグラム (全体)

6.3 タイミング検出ロジック

TGC と Tile Calorimeter はそれぞれ別固体の TTC から clock が分配されている。また Tile Calorimeter から TMDB にかけてのケーブルは配置によって様々な長さを持つ。そのため、Tile Calorimeter からの信号はそれぞれ異なるタイミングで SL に入力されるため Inner Coincidence 実行前までに Delay Tile で遅延する必要がある。図 3.18 のように Tile Calorimeter の方が BW より SL に近く、BW 信号は PS Board や Hpt で信号処理されるのに時間がかかるため同バンチで発生した信号は TMDB 信号の方が先に SL に届く。そのため TMDB 信号の方を遅延するが、Delay Tile に設定する信号遅延量 (Delay 値) の予想がしにくい。Delay 値の調整は RUN 前に行われるビーム衝突を用いて各トリガーセクター毎にするため、時間がかかりビームの無駄遣いにもつながる。そのため今回 Delay 値を効率的に検出するための新しいロジックを開発した。

6.3.1 Tile Signal Search

Tile Signal Search は TMDB 信号が Inner Coincidence に入るタイミングを検出するために開発したロジックである。これは遅延量が異なる信号を同時に Inner Coincidence に入力し、トリガー数をカウントすることで設定すべき Delay 値を特定するものである。

動作原理を図 6.13 を用いて説明する。丸印は各検出器からくる信号で、白丸は同じバンチ衝突で発生したミュオンを表す。通常何も調整しなければ TMDB と BW から信号は値がわからない Δt の時間差をもって SL に入力される。そのため、たとえ同一イベントで発生したミュオンが Tile Calorimeter と BW の両方で検出された場合でもこのままでは Inner Coincidence が取れずトリガーが発行されない。そのため TMDB 信号に遅延をかけ $\Delta t = 0$ にする。これが Delay Tile の役割となる。しかし、Delay Tile には Δt を検出する機能は備わっておらず、また半整数 clock ずつしか遅延量を変更できない。そのため Δt が予想よりも大きい場合、タイミング調整をするのに時間がかかるという課題があった。そこで今回複数の Delay 値を同時に確認できる Tile Signal Search を開発した。図 6.13 の場合 8 つの Delay 値を同時にスキャンし、それぞれのトリガー数をカウントすることでどの Delay 値でタイミングが一致するかわかる。ここでは Delay=2 の時 Inner Coincidence に入るタイミングが揃いトリガーが発行できる。

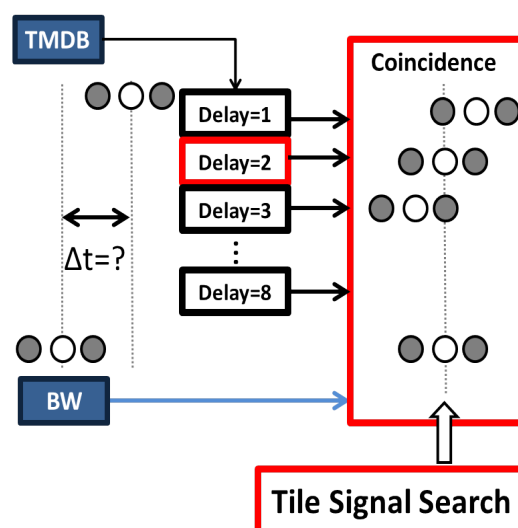


図 6.13 Tile Signal Search の動作原理

6.4 動作確認

新しく開発したロジックが ATLAS 実機の SL に実装する前に設計通りの動作をするか確認した。

6.4.1 シミュレーションによる動作確認

シミュレーションソフト (Xilinx ISim) を用いて新しく開発したロジックが設計通りに動作するか確認した。以下にシミュレーションの例を示す。

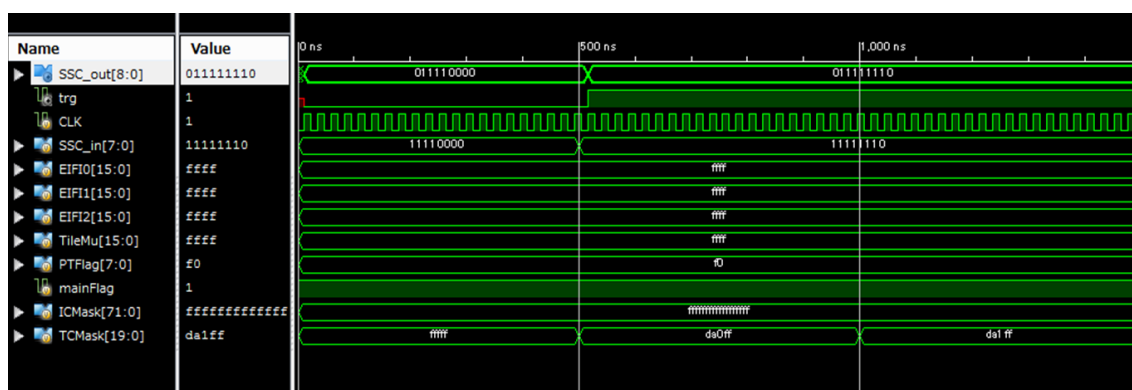


図 6.14 Inner Coincidence のシミュレーション結果

シミュレーションの time scale の設定は $1\text{sec}/1\text{psec}=1$ ユニット当たりの時間/時間分解能に設定

6.4.2 Excel による動作確認

Inner Coincidence には複数の入力信号があり、全部で 64 個の出力パターンが考えられる。このように入出力が多く複雑なロジックのシミュレーションではチェック漏れ等の人為的ミスを招きかねない。その対策として Excel によるロジックの確認をした。Inner Coincidence に信号を入力した時、予想される結果と HDL で記述した論理式を Excel の関数によって再現し、それらの結果が一致するか確認した。

6.4.3 テストベンチによる動作確認

動作確認に用いるテストベンチを図 6.15 のように構築した。テストベンチは CERN の Building175 と高エネルギー加速器研究機構 (KEK) の南実験棟にある。シミュレーションでは機能モジュール単位でしか動作確認をできない。そのため SL FPGA の入力から出力まで全体を通した動作確認をする必要があった。そこでレベル 1 ミューオントリガーエレクトロニクスを簡易的に模擬したテストベンチを用いて動作確認をしている。

テストベンチでは衝突点由来の粒子による信号の代わりに擬似信号を Pulse Pattern Generator (PPG) から SL へ送信する。PPG は任意のテストパターンを LVTTTL 方式の電気信号で生成するため、それを G-link Tx for SL というモジュールによって G-link 方式の光信号に変換し SL に送信する。SL でトリガー処理されたデータは L1A 信号が到着するまでの間 SL に搭載されている SLB ASIC のバッファに貯められる。ATLAS 検出器実機では L1A 信号は CTP から TTC システムを介して送られてくるが、テストベンチでは簡易的に

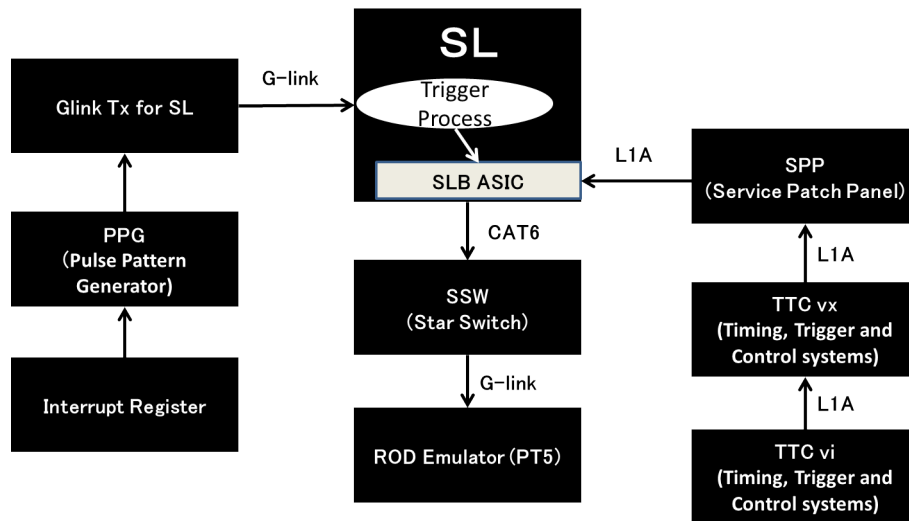


図 6.15 テストベンチ概略図

TTCvi で L1A 信号を任意の周波数で生成し、SPP を経由して SL に送っている。今回 L1A 信号は 10kHz の間隔で送信した。L1A 信号が SL に届いたとき SLB ASIC のバッファに貯められたデータは CAT6 ケーブルを通して SSW に送信され、ROD の Emulator である Protocol5(PT5) で読み出される。PT5 で受信したデータはコンピュータで処理され出力される。

主に以下の動作確認をした。

■ Inner Coincidence の動作確認

以下のような条件を想定したテストパルスを用いて動作試験をした。まず Tile calorimeter/EIFI にヒットを要求する RoI について、Tile CW/EIFI CW で指定した場所にヒットがなければトリガーが落とされるか確認した。(それぞれの期待されるトリガー判定結果は図 6.11 を参照)。

1. BW(Endcap) に $pT > 20\text{GeV}/c$ のヒットが有り、その CW で要求する EIFI もしくは Tile calorimeter にヒットが有る場合
2. BW(Endcap) に $pT > 20\text{GeV}/c$ のヒットが有り、その CW で要求する EIFI もしくは Tile calorimeter にヒットが無い場合
3. BW(Endcap) に $pT > 20\text{GeV}/c$ のヒットが無く、その CW で要求する EIFI もしくは Tile calorimeter にヒットが有る場合
4. BW(Endcap) に $pT > 20\text{GeV}/c$ のヒットが無く、その CW で要求する EIFI もしくは Tile calorimeter にヒットが無い場合

次に TMDB 信号が SL で正しく処理され Inner Coincidence が取られているか確認するために以下の 4 項目を実施した (TMDB 信号の内訳は表 11 を参照)。

1. Tile CW で Tile Calorimeter にヒットが要求され、すべてのモジュールにヒットが有る場合

2. Tile CW で Tile Calorimeter にヒットが要求され、すべてのモジュールにヒットが無い場合
3. Tile CW でモジュール 3 のみヒットが要求されて、モジュール 3 からヒット信号が有る場合
4. Tile CW でモジュール 3 のみヒットが要求されて、モジュール 3 からヒット信号が無い場合

その結果、設計通りに SL が処理していることがわかった。

■ Tile Signal Search の動作確認

以下のように 2 種類の条件を想定したテストパルスで動作試験をした。

1. BW 信号が SL に入力されるタイミングに対して Delay 値 0~7(0~87.5nsec) の範囲内で TMDB 信号が SL に届く場合
2. BW 信号が SL に入力されるタイミングに対して 87.5nsec 以上遅れて TMDB 信号が遅く SL に届く場合

Delay 値 0~7 の遅延で BW からの信号とタイミングが揃う場合、図 6.16(上) のように出力される。この場合 Delay=4 にすると Coincidence が取れる。ところが図 6.16(下) の場合は Delay=7 まで設定してもタイミングは揃わないが Delay 値を 8 以上に設定するとカウントされる部分が表れる。この作業を繰り返すことで設定すべき Delay 値を特定することができる。

※ Tile Signal Search で検出できる範囲は HDL の変更によって更に広範囲にわたってスキャンできる。

これらの作業によって SL FPGA に実装するロジックの動作確認が完了した。

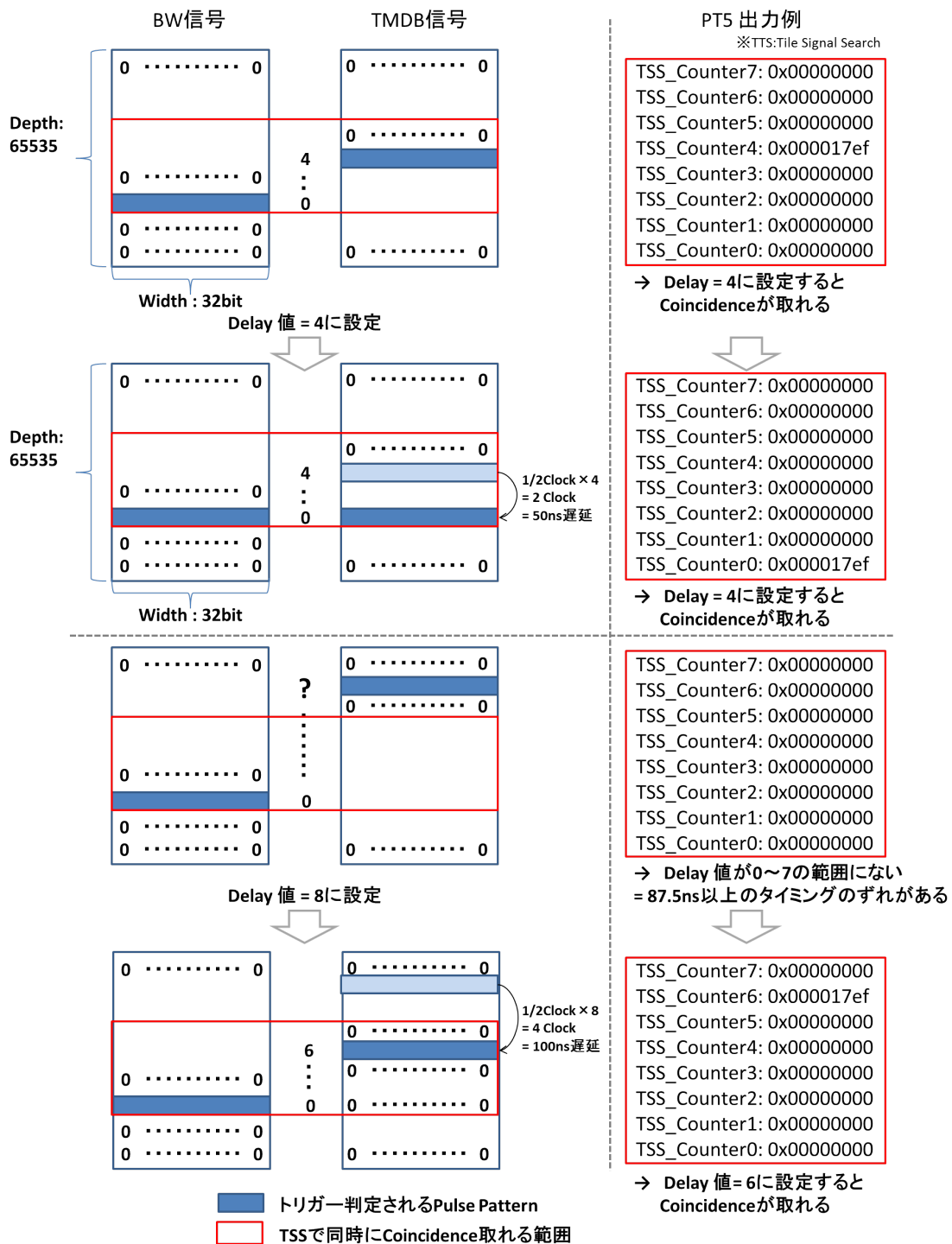


図 6.16 Tile Signal Search の動作確認結果

6.5 Connection Test

G-link は3章で述べたように、信号の送受信を保証するものだが、G-link Chip のサプライヤである Agilent 社が G-link chip の生産を終了した。そのため G-link Tx chip の emulation を FPGA で実施することになった。その G-link Tx Emulator は Xilinx 社の Virtex5 を実装した GTP transceiver で構築している。しかし、この G-link Tx Emulation FPGA と G-link Rx 間の通信の実績がないため Connection Test を行い信頼性評価をした。

6.5.1 試験方法と結果

まず最初に Connection Test で用いたテストベンチの構成を図 6.18 に示す。

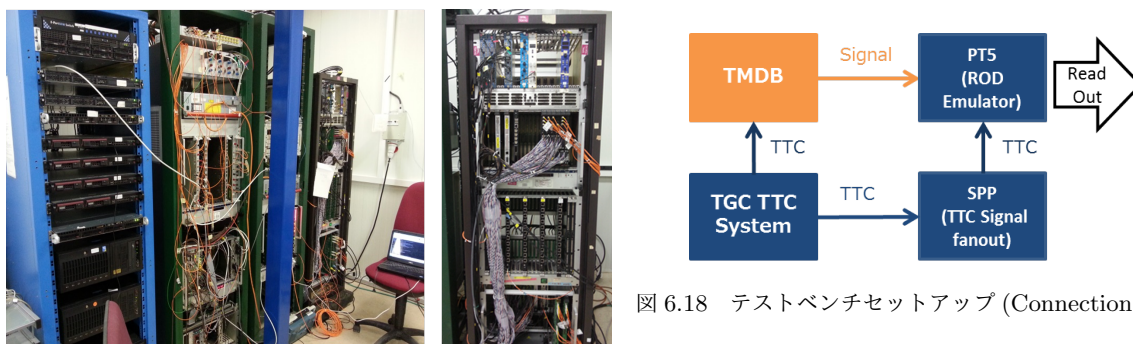


図 6.17 テストベンチ写真 (左:全体 右:TGC Bench)

G-link Tx から SL への入力信号にはトリガー情報 (W-Field) に加えて、トリガー情報以外のデータ (C-Field) があり、それを G-link Rx が識別することで信号の安定性を図っていることを4章で述べた。今回 TMDB の FPGA(G-link Tx Emulator) で G-link Tx で行われている処理を再現しようとしているが、その全てを知ることはできない。そのため TMDB の G-link Tx Emulator FPGA が G-link と同じ信号処理をしているか確認する必要がある。しかし SL FPGA に備わっているレジスタでは入力信号の中でもトリガー情報しか読み出すことができない。トリガー情報以外のデータも確認する必要があるため PT5 という ROD Emulator を用いて動作確認をした。ただし、PT5 でも C-Field をそのまま読み出すことはできない。PT5 で読み出せるのは G-link Rx が出力するエラー信号とトリガー情報、Optical Receiver が出力する Signal Detect(SD) 信号である。ここでエラー信号と SD 信号を合わせて付加信号と呼び、付加信号に対してトリガー情報を持つデータのことをトリガー信号とこの論文では呼ぶことにする。PT5 の出力例と付加信号の内訳を図 6.19 に示す。

- sd(Signal Detect) …光信号を受信している時 “1”
- rxready… SLB に 128Word バッファ中 rxerror が一度も “1” にならなかったら “1”
- rxerror…DataWord , ControlWord , IdleWord 以外の C-Field を受信したときに “1”
- rxdslip…送り側の clock と受け手の clock がずれたときに “1”

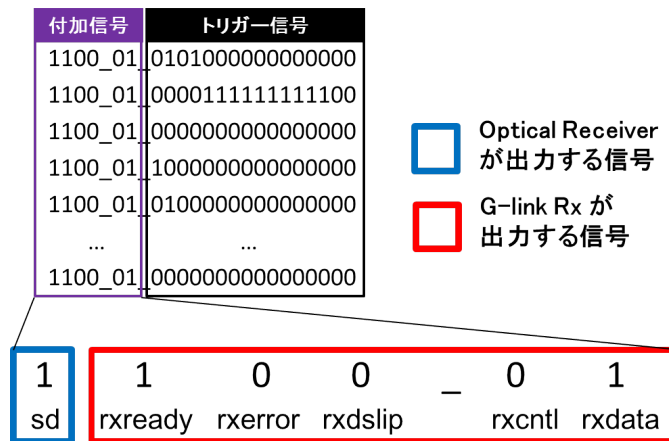


図 6.19 PT5 読出し結果の例と付加信号の内訳

- rxcntl…Control Word を受信している時に “1”
- rxdata…Data Word を受信している時に “1”

よって、PT5 からの出力が安定状態、つまり rxready= “1”、 rxerror= “0”、 rxdslip= “0” rxcntl= “0”、 rxdata= “1” となっているか確認した。その結果 TMDB から安定状態の信号が送信されていることが分かった。

また 4 章で述べたように G-link には数種類の Flag が設けられており、TMDB の G-link Tx Emulation も SL と同様の設定にした。

6.5.2 耐久試験

前述の試験を長時間にわたり実施した際、付加信号が安定状態を示しているのにも関わらずテストパターンと異なる結果が PT5 から読み出されることがあった。図 6.20 は TMDB から 0x5555(=1010101010101010) というテストパターンを送信した時の PT5 における受信パターンで、赤字はテストパターンと異なるビットを表す。このような不規則に送信パターンと異なる信号とそれと同じ信号が繰り返される現象を”ビット振動”と呼んでいる。

もし RUN 中にビット振動が発生すると、誤ったトリガー情報で SL がトリガー判定してしまう。そこで、このビット振動の原因を調査するために耐久試験を実施した。試験方法は前節と同様だが、ビット振動はテストベンチ周辺の電源使用度に関わる可能性があったため試験時間は夜中を挟んで行った。この耐久試験の結果、現段階で各モジュールに供給される clock の安定性がこのビット振動に影響していることがわかった。

TMDB の clock を生成する論理回路は、Clocking Wizard という GUI によって自動的に作成され、Place & Route が行われる。Place & Route とは HDL から FPGA の論理素子の配置とそれらを結ぶ配線経路を確定するものであり、今回その設定が誤っていたためビット振動が発生していた。また、TTC から分配される clock は SPP という FAN OUT モジュールを通るが、その SPP が不調になるとエラーが発生することがわかった。また、Delay 値は半整数 clock 単位 (positive/negative edge に対応) で変更することができるが、どちらのエッジで TMDB 信号を受信するかによってもビット振動が減少し、これらを解決することでビット振動は収まった。現在 TMDB の正規版が製作され、それが完成次第最終確認を行う予定である。

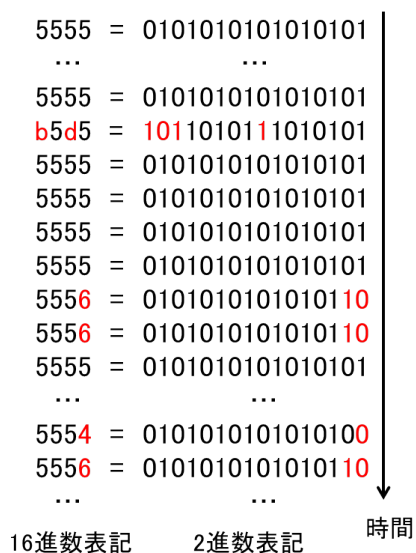


図 6.20 ビット振動の様子の一例

7 結論

ATLAS 実験のレベル 1 ミューオントリガーでは RUN1 においてフェイクトリガーという現象が生じ、今後のアップグレードによるリソースの圧迫が懸念されたため Inner Coincidence を導入する。この Inner Coincidence の導入により、フェイクトリガーが 43.1% 削減できるとシミュレーションで予想されている。本研究はその実現に向けて、エンドキャップ領域におけるレベル 1 ミューオントリガーの最終判定をするトリガープロセッサの改良を行った。

本研究はまず最初にその論理回路の作成、実装、動作試験をすることによって、SL 単体で Inner Coincidence が達成できることを確認した。その次に、SL の上流に位置する新しいモジュールである TMDB との間で、正しく通信が行われるか確認した。具体的に言えば、TMDB に搭載した G-link Tx Emulation FPGA が G-link 方式に沿った信号を送信しているのか確認した。今後、TMDB の正規版が完成次第、最終確認を行いその採否を判断する。また、その TMDB や SL の新しい論理回路を ATLAS 検出器に導入する際の準備として、Tile Signal Search という新しい論理回路を作成し、効率的にタイミング調整を行えるようにした。以上が本研究の大きな流れであり、それぞれの具体的なまとめをする。

- Inner Coincidence を実現する論理回路を FPGA に実装し、ATLAS 実機に導入する前に SL 単体でそれが設計通りに動作するか確認した。現段階では、BW でミューオンが $pT > 20\text{GeV}/c$ と判定された信号に対し Inner Coincidence を課すが、今後 $pT > 15\text{GeV}/c$ のものに対しても課す可能性がある。ミューオン検出器の EI だけではトロイド磁石が配置されているため全 ϕ 領域をカバーできなかったが、本研究で開発した Tile Muon Coincidence を用いることで Inner Coincidence の使用領域を広げることが成功した。その論理回路の動作確認が完了しているため、SL 単体での Inner Coincidence が実現できる。
- TMDB と SL 間の G-link 信号の信頼性評価をするため Connection Test を実施した。Tile Calorimeter からの信号を SL で処理できるように今回新しく TMDB が開発されたが、G-link Tx を FPGA で Emulation するため正しく信号が送信されるか確認する必要がある。そこで、PT5 という ROD Emulator を用いて TMDB 信号を読み取り、G-link 方式に沿ったデータが正しく送られていることを確認した。しかし、長時間同じパターンの信号を送り続けていると、時々意図していないパターンが送信される問題が発生したが、clock の分配や生成する時の設計が原因ということがわかり、現在 TMDB の正規版が製作されている。
- 各検出器から SL への入力信号のタイミングを検知する Tile Signal Search を作成した。各検出器からの入力信号は各モジュール内の伝送距離も含めた配線長さの違いにより、異なるタイミングで SL に送信される。そのままでは Inner Coincidence は取れないため Tile Calorimeter からの信号に遅延をかけてタイミングを調整するが、その遅延量は正確に分からない。そこで Tile Signal Search という新しいロジックを実現することで遅延量を効率的に検出することが可能となった。

今後は新しく開発した論理回路や TMDB を ATLAS 実機に導入し、最終的な動作試験をする必要がある。また、各検出器からの信号のタイミング調整を行い、Inner Coincidence の実現を目指していく。

謝辞

本研究は多くの方々からの協力を頂くことで遂行することができました。世界トップクラスの実験、研究者と関わる機会を与えてくださり、御指導をして頂きました指導教官の藏重久弥教授に心から深く感謝いたします。物事の上辺しか理解していない私に研究内容や物理についての本質を教えてくださいました。また理解し難いことがあっても何度も親身になってご教授頂きました。誠に感謝しています。

山崎祐司准教授はいつも私のレベルに合わせた質問への回答、説明をして頂き理解を深めることができました。越智敦彦助教授、清水志真助教授、前田順平助教授には研究を行う上で多くの御指導をして頂きました。矢ヶ部遼太氏、陳叶氏とは切磋琢磨しながら研究をすることができ励みになりました。高エネルギー加速器研究機構 (KEK) の佐々木修教授には研究で困難に直面したとき多くの助言を頂きました。心から深く感謝申し上げます。来見田史恵様には本研究をする上で基礎となることを教えてくださいました。大変有難うございました。ATLAS Japan グループに所属されている石野雅也氏、青木雅人氏、隅田土詞氏、坂本宏氏、戸本誠氏、堀井泰之氏には多くの助言やサポートをして頂き、大変お世話になりました。また二ノ宮陽一氏、田代拓也氏、山内克弥、加藤千曲氏、救仁郷拓人氏、小野木宏太、鈴木翔太氏には多くのサポートをして頂きました。心より感謝致します。Yuan Li 様、岸本巴氏、稲丸由夫輝氏には研究について御指導をしていただきました。KEK 秘書の本田由子様には出張時の手続きをして頂き有難うございました。また神戸大学粒子物理学研究室の皆様のおかげで明るい研究生活を送ることができました。有難うございました。秘書の横山有美様には出張時の手続きや日程の管理をして頂き感謝致します。

物理の研究をするために退職させて頂いた会社の皆様には背中を押してもらい、心置きなく前を向いて研究することができました。本当に有難うございました。最後に、社会人から大学院生になることを許して頂き、生活面のサポートまでしていただいている家族に対して感謝の意を述べて謝辞とさせていただきます。

2015 年 2 月 6 日

参考文献

- [1] ATLAS EXPERIMENT, <http://atlas.ch>
- [2] ATLAS EXPERIMENT Photos, <http://www.atlas.ch/photos/detector-site-surface.html>
- [3] ATLAS EXPERIMENT - Public Results, [https://twiki.cern.ch/twiki/bin/view/AtlasPublic/](https://twiki.cern.ch/twiki/bin/view/AtlasPublic/AtlasPublic/)
- [4] CMS EXPERIMENT , <http://cms.web.cern.ch>
- [5] LHCb EXPERIMENT, <http://lhcb-public.web.cern.ch/lhcb-public/>
- [6] ALICE EXPERIMENT, <http://aliceinfo.cern.ch/Public/Welcome.html>
- [7] ATLAS EXPERIMENT, " ATLASLevel-1Trigger:TDR" , [http://atlas.web.cern.ch/Atlas/](http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/TDR/tdr.html)
[GROUPS/DAQTRIG/TDR/tdr.html](http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/TDR/tdr.html)
- [8] The ATLAS Collaboration," Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC" , Phys. Lett. B 716 (2012) 1-29,31 July 2012.
- [9] The ATLAS Collaboration, " Evidence for the spin-0 nature of the Higgs boson using ATLAS data" , Phys. Lett. B 726 (2013) 120-144, 7 October 2013.
- [10] ATLAS Higgs Physics Public Results ,[https://twiki.cern.ch/twiki/bin/view/AtlasPublic/](https://twiki.cern.ch/twiki/bin/view/AtlasPublic/HiggsPublicResults)
[HiggsPublicResults](https://twiki.cern.ch/twiki/bin/view/AtlasPublic/HiggsPublicResults)
- [11] ATLAS EXPERIMENT INNER DETECTOR ,<http://www.fsp101-atlas.de/e197881/>
- [12] ATLAS DETECTOR ,<http://www.lhc-facts.ch/>
- [13] ATLAS Magnet System,<http://atlas-magnet.web.cern.ch/atlas-magnet/>
- [14] ATLAS Level-1 Trigger Group, "ATLAS Level-1 Trigger Technical Design Report" , ATLAS TDR - 12, August 20 1998.
- [15] Latest Results from ATLAS Higgs Search,[http://www.atlas.ch/news/2012/](http://www.atlas.ch/news/2012/latest-results-from-higgs-search.html)
[latest-results-from-higgs-search.html](http://www.atlas.ch/news/2012/latest-results-from-higgs-search.html)
- [16] Observation of a New Particle with a Mass of 125GeV ,[http://cms.web.cern.ch/news/](http://cms.web.cern.ch/news/observation-new-particle-mass-125-gev)
[observation-new-particle-mass-125-gev](http://cms.web.cern.ch/news/observation-new-particle-mass-125-gev)
- [17] ATLAS Collaboration. " ATLAS Photos " <http://www.atlas.ch/photos/index.html>
- [18] "Testing of the HP G-Link chip set for an event builder application", O.Sasaki et.al, IEEEon Nuclear Science 42 (1995) 882 - 886
- [19] 一宮亮, 神戸大学修士学位論文," ATLAS 実験前後方ミュオントリガ用 Sector Logic の開発" , 2001
- [20] 早川俊, 神戸大学修士学位論文," LHC シングルビームを用いた ATLAS 実験前後方ミュオントリガーシステムの性能評価" ,2009
- [21] 門坂拓哉, 神戸大学修士学位論文," ATLAS 前後方ミュオントリガーシステム Sector Logic 及びオンラインソフトウェアの開発" , 2008
- [22] 山内克弥, 名古屋大学修士学位論文," LHC-ATLAS 実験ミュオン粒子検出器の精密アライメントによるトリガー効率の改善" , 2013
- [23] 谷和俊, 神戸大学修士学位論文," アトラス実験 Phase0 アップグレードに向けたレベル 1 ミュオントリガーの改良" , 2013
- [24] 来見田吏恵, 神戸大学修士学位論文," ATLAS 実験 RUN2 に向けたレベル 1 ミュオントリガー回路の開

- 発”,2014
- [25] 稲丸由夫輝, 神戸大学修士学位論文,”アトラス実験 RUN2 に向けたレベル 1 ミューオントリガーの改良”, 2014
 - [26] 矢ヶ部遼太, 神戸大学修士学位論文,”ATLAS 実験 RUN2 に向けたハドロンカロリメータを用いるレベル 1 ミューオントリガーの性能評価”,2015
 - [27] 来見田吏恵, 日本物理学会 2013 秋季大会発表,” ATLAS 実験 RUN2 に向けたレベル 1 ミューオントリガーへの新しいアルゴリズム導入”
 - [28] 『At the Leading Edge: the ATLAS and CMS LHC experiments』,Dan Green,(World Scientific),2010
 - [29] 『Particle Physics THIRD EDITION 』,B.R Martin and G.Shaw,(WILEY),2008
 - [30] 『ヒッグス粒子の見つけ方質量の起源を追う』, 戸本誠, 花垣和則, 山崎祐司, (丸善出版),2012
 - [31] ”Agilent HDMP-1032A/1034A Transmitter/Receiver Chip Set Data Sheet”,Agilent Technologies Inc.,2001
 - [32] 超伝導体中の “ヒッグス粒子” の性質を解明,<http://www.nict.go.jp/press/2014/07/11-1.html>